

Ocena velikosti parazitnih parametrov tiskanega vezja enosmernega vmesnega tokokroga

Andraž Rihar¹, Tim Novak¹, Peter Zajec¹

¹Fakulteta za elektrotehniko, Univerza v Ljubljani
E-pošta: andraz.rihar@fe.uni-lj.si

Estimation of parasitic parameters of a DC link printed circuit board

Modern applications due to their ever-increasing demands require operation at high switching frequencies and with high dynamic. Consequently, negative effects of parasitic parameters of active components, as well as printed circuit boards (PCBs) are becoming increasingly evident and thoroughly studied. The paper presents estimation of parasitic parameters in a DC link PCB with distributed capacitors, performed by simulation with Ansys Q3D Extractor. Extracted parameters are cross-checked with results of dedicated measurements with approximately 10 % of detected deviation. Results verify the suitability of the proposed approach, showing good potential for future use in the study of multi-leg DC/DC converter asymmetry.

1 Uvod

V zadnjih desetletjih smo na številnih področjih (avtomobilska industrija, bela tehnika, težka industrija) priča pospešeni elektrifikaciji. Aplikacije postajajo naprednejše, zahtevnejše, posledično pa kompleksnejše. Te zahteve naslavljamo z uporabo pretvornikov električne energije, najsi bodo to razsmerniki, usmerniki, presmerniki, itn.

Večina močnostnih pretvornikov vključuje nekaj bistvenih sklopov in sicer običajno logično-krmilni sklop, močnostni del (stikalni elementi), merilni del ter enosmerni vmesni tokokrog (angl. DC link). Pasivne in aktivne komponente so običajno razporejene in nameščene na tiskano vezje (angl. Printed Circuit Board), kjer so povezane z vezicami različnih gabaritov.

Ob nenehnem povečevanju obratovalnih frekvenc in dinamike preklopov stikalnih pretvornikov, s čimer se poskuša povečati kompaktnost in izkoristek naprav, prihajo vedno bolj do izraza parazitni parametri posameznih komponent, kot tudi vplivi samega tiskanega vezja. Prihaja lahko do pomembnih odstopanj v delovanju naprav, morebitnih neenakomernih obremenitev komponent, hitrejšega staranja, itn.

Odstopanja med idealnim (načrtovanim) in realnim (izvedenim) stanjem se ocenjuje na različne načine. Najzanesljivejši pristop je izvedba meritev prototipov, a je ta način v primeru postopka optimizacije v več korakih lahko časovno, predvsem pa finančno zahteven.

Kot alternativa se porajata analitični in numerični pristop s simulacijami. Analitični pristop se opira na Maxwel-

love enačbe in Biot-Savartov zakon, vendar je praktično vedno podvržen predpostavkam poenostavitev geometrije, s čimer dosežemo, da so izračuni še obvladljivi [1].

Pristop z numeričnimi simulacijami zahteva občutno računsko moč, vendar omogoča enostavno prototipiranje, celovite parametrične analize in razmeroma dobro točnost rezultatov. V tem oziru na področju optimizacije razporeditve komponent na tiskanem vezju v smislu zmanjševanja parazitnih parametrov (induktivnosti in upornosti) prednjačijo programi na osnovi metode končnih elementov (angl. Finite Element Analysis), predvsem programa Ansys Q3D Extractor [2] ter PathWave Advanced Design System (Keysight Technologies) [3].

Avtorji med drugim poročajo o uporabi Q3D Extractorja za oceno parazitnih parametrov modulov močnostnih tranzistorjev [2], posameznih tranzitorskih vej [4] in celotnih razsmernikov [5].

Pristop je uporaben za minimizacijo parazitnih parametrov zbiralk enosmernega vmesnega tokokroga (angl. DC link busbars), o čemer poroča več avtorjev. Alizadeh *et al.* uporabijo Q3D za optimizacijo zbiralk DC linka, kjer pa se osredotočijo na celokupno nadomestno impedanco. Parazitno upornost, induktivnost in kapacitivnost DC linka ocenijo na priključkih, kar validirajo z meritvijo impedance z Bode100 analizatorjem [6]. Podobno s Q3D parazitne induktivnosti laminiranih večslojnih zbiralk ovrednotijo tudi Popova *et al.* ter Chen *et al.*, vendar se osredotočajo bolj na komutacijske zanke dvoj[7] in večnivojskih razsmernikov [8].

Pregled področja pokaže, da je uporaba Q3D za oceno parazitnih parametrov tiskanin že zrela in razmeroma dobro raziskana tema. Opisane so številne aplikacije, rezultati pa so zanimivi in uporabni. V nedavnih člankih avtorji opisujejo analizo DC linka z vidika minimizacije celokupnih parazitnih parametrov in obravnavajo DC link kot celoto, tudi kadar je izведен z distribuiranimi kondenzatorji [9]. Žal tako analiza ne podaja vpogleda v razdelitev tokov skozi posamezne kondenzatorje, v pojavi morebitnih asimetrij in neenakomernih obremenitev.

Da bi osvetlili še to področje, članek predлага uporabo Q3D Extractorja za oceno parazitnih parametrov tiskanega vezja enosmernega vmesnega tokokroga z distribuiranimi kondenzatorji s poudarkom na upoštevanju vseh priključnih sponk in ovrednotenju morebitne asimetričnosti povezav.

Tabela 1: Matrike izračunanih in izmerjenih parazitnih parametrov tiskanega vezja.

	Izračunane upornosti [mΩ]							
	48V_1	48V_2	48V_3	48V_4	GND_1	GND_2	GND_3	GND_4
48V_1	0,530	0,280	0,470	0,770	0	0	0	0
48V_2	0,280	0,420	0,250	0,560	0	0	0	0
48V_3	0,500	0,250	0,450	0,330	0	0	0	0
48V_4	0,710	0,480	0,330	0,600	0	0	0	0
GND_1	0	0	0	0	0,430	0,240	0,420	0,680
GND_2	0	0	0	0	0,240	0,360	0,220	0,490
GND_3	0	0	0	0	0,440	0,220	0,380	0,280
GND_4	0	0	0	0	0,630	0,430	0,280	0,490

	Izmerjene upornosti [mΩ]							
	48V_1	48V_2	48V_3	48V_4	GND_1	GND_2	GND_3	GND_4
48V_1	0,470	0,240	0,365	0,593				
48V_2	0,263	0,388	0,254	0,424				
48V_3	0,432	0,247	0,378	0,255				
48V_4	0,577	0,430	0,264	0,528				
GND_1					0,374	0,177	0,338	0,457
GND_2					0,187	0,311	0,244	0,349
GND_3					0,359	0,243	0,369	0,206
GND_4					0,461	0,357	0,205	0,433

	Izračunane induktivnosti [nH]							
	48V_1	48V_2	48V_3	48V_4	GND_1	GND_2	GND_3	GND_4
48V_1	34,45	24,50	17,49	13,67	32,21	23,05	16,54	12,87
48V_2	24,40	27,06	22,08	19,43	23,16	25,17	20,97	18,51
48V_3	17,49	22,07	29,32	28,67	13,61	20,93	27,41	27,31
48V_4	13,67	19,43	28,67	40,88	12,86	18,40	27,22	38,46
GND_1	32,21	23,16	16,61	12,87	33,95	24,07	17,41	13,72
GND_2	23,05	25,20	20,93	18,40	24,07	26,53	21,86	19,36
GND_3	16,54	20,97	27,41	27,23	17,41	21,86	28,94	28,50
GND_4	12,87	18,51	27,31	38,46	13,72	19,36	28,50	40,58

Ob uvozu tiskanega vezja v Q3D program avtomatsko izriše cilindrične spajke na izbrana mesta priključkov. Priporočljiv je podrobnejši pregled, če so bile izrisane vse spajke in po potrebi ročno dodajanje manjkajočih. V naslednjem koraku se ponovno izvede določitev ponorov (angl. sink) in izvorov (angl. source) toka in razporeditev v mreži (angl. net). Isto mrežo predstavljajo vse medsebojno povezane prevodne vezi. Program zahteva, da ima vsaka mreža samo en ponor toka, saj to poenostavi izračune parametrov. Program namreč skozi vsakega od izvorov vsili tok proti ponoru in nato za vse točke povezav izmeri ustrezne padce napetosti.

V nadaljevanju preverimo ustreznost mrež (angl. validation check) in če je vse ustrezno, lahko izvedemo simulacijo. Simulacijski tek je običajno dolgotrajen, trajanje je odvisno od kompleksnosti modela. Rezultat simulacije je RLGC matrika, ki vključuje parazitne parametre tiskanega vezja med posameznimi priključki.

Izračunane vrednosti matrike induktivnosti, kapacitivnosti in prevodnosti so v programu podane takšne, kot so neposredno izmerljive na fizičnem prototipu. Vrednosti matrike upornosti pa so podane v dveh delih, kot celokupne lastne upornosti in kot medsebojne delne upornosti

posameznih odsekov, ki jih je treba med seboj sešteati (na primer medsebojna upornost povezav med točkama 1 in 3 se določi kot vsota upornosti med 1 in 2 ter 2 in 3).

2.3 Meritve parazitnih parametrov tiskanega vezja

Ustreznost rezultatov simulacije smo ocenili z meritvijo parazitnih parametrov. Za lažjo izvedbo meritve smo na tiskano vezje brez pasivnih komponent prispevali pet priključkov BNC (širje izhodni na Veja 1 - Veja 4 in vhodni na DC_{IN}, slika 1), s čimer smo zagotovili zanesljiv kontakt med meritvijo ter minimalne parazitne vplive.

Prve meritve smo izvedli z impedančnim analizatorjem Omicron Bode100. Ovrednotili smo kapacitivnost tiskanega vezja med pozitivnim in negativnim polom tako, da smo pri t.i. One-Port meritvi vzbujali vhodni priključek, na izhodni strani tiskanine pa so bile odprte sponke. Nato smo prilagodili vezavo in smo vhodni BNC priključek kratkostičili. Z One-Port meritvijo smo vzbujanje analizatorja priključili na vsakega od izhodov in izmerili induktivnosti posameznih vej (slika 2). Izvedli smo pet meritov in izračunal povprečje.

Upornost prevodnih povezav vezja smo izmerili z UI metodo. Vezje smo napajali s 5 A enosmernega toka, nato

pa smo z voltmetrom (HP 34401A) izmerili padce napetosti med različnimi točkami na vezju (slika 3). Upornosti smo določili kot kvocient med padci napetosti in tokom.

Prečno prevodnost vezja, torej prevodnost med zgornjim in spodnjim slojem bakra smo izmerili preko časovne konstante RC člena. Med pozitivni in negativni pol tiskanega vezja smo priključili enosmerno napetost. To napetost smo hipoma odklopili in z osciloskopom opazovali potek napetosti na tiskanem vezju. Sloja bakra z vmesnim slojem dielektrika namreč tvorita kondenzator, parameter prevodnosti pa opisuje prečni tok takega kondenzatorja. Ker gre za RC člen, napetost na kondenzatorju upada po eksponentni krivulji s časovno konstanto RC. Prevodnost izračunamo z upoštevanjem izmerjene kapacitivnosti, kot tudi upornosti in kapacitivnosti uporabljene pasivne napetostne sonde 10:1 ter osciloskopa.

3 Rezultati in razprava

Rezultati izračunanih in izmerjenih upornosti (tabela 1) kažejo ujemanje obeh pristopov z odstopanjem do približno 10 %, kar je lahko posledica vpliva omejene ločljivosti meritnih instrumentov pri meritvi majhnih padcev napetosti. To bi lahko izboljšali z vsiljevanjem večjega toka, vendar se tu pojavi vprašanje tokovne zmogljivosti prisajkanih BNC priključkov.

Pri fizični meritvi induktivnosti v bistvu izmerimo razliko vsote lastnih induktivnosti in vsote medsebojnih induktivnosti. Na podlagi rezultatov iz tabele 1 lahko izračunamo pričakovane vrednosti induktivnosti za vse štiri veje in sicer: Veja 1 (3,980 nH), Veja 2 (3,230 nH), Veja 3 (3,440 nH) in Veja 4 (4,540 nH). Povprečne vrednosti meritve za vse štiri veje z upoštevanjem induktivnosti kratkostičnega BNC priključka (1,21 nH) in BNC priključka na strani Bode 100 (0,22 nH) znašajo: Veja 1 (4,349 nH), Veja 2 (4,008 nH), Veja 3 (4,318 nH) in Veja 4 (4,93 nH). Primerjava rezultatov pokaže približno 10 % - 20 % odstopanje, kar je po naših predvidevanjih predvidoma posledica meritnega pristopa in meritne negotovosti uporabljenih instrumentov.

Izračunana kapacitivnost tiskanega vezja je 315,21 pF, povprečna izmerjena vrednost pa 339,34 pF.

Izračunana prevodnost tiskanega vezja znaša 0,110 μ S medtem, ko izmerjena prevodnost ob upoštevanju vplivov osciloskopa in napetostne sonde znaša 0,128 μ S.

4 Sklepne ugotovitve

V sklopu študije je bil pripravljen simulacijski model tiskanega vezja enosmernega vmesnega tokokroga, ki je omogočil oceno parazitnih parametrov tiskanega vezja. Primerjava simulacijskih rezultatov z rezultati meritve potrjuje ustreznost pristopa, saj so navkljub manjšim odstopanjem številčne vrednosti v praktično enakem meritnem območju.

Bistvena omejitev študije so relativno nizke vrednosti parametrov in posledično precejšen vpliv ločljivosti meritnih instrumentov na skupen pogrešek.

V sklopu nadaljnjega dela je predvidena integracija podatkov v simulacijski model večavnega DC/DC pre-

tvornika za oceno dinamičnih odzivov in simetričnosti obremenitve posameznih kondenzatorjev.

Zahvala

Delo sofinancira ARRS (programska skupina P2-0258).

Literatura

- [1] A. Letellier, M. R. Dubois, J. P. F. Trovao, and H. Maher, "Calculation of printed circuit board power-loop stray inductance in GaN or high di/dt applications," *IEEE Transactions on Power Electronics*, vol. 34, no. 1, pp. 612–623, 2018.
- [2] T. Skuber, A. Sesek, and J. Trontelj, "Modeling and optimization of power module for 48V high power inverter," *Informacije MIDEM*, vol. 51, no. 4, pp. 243–251, 2021.
- [3] T. Liu, R. Ning, T. T. Wong, and Z. J. Shen, "A new characterization technique for extracting parasitic inductances of fast switching power MOSFETs using two-port vector network analyzer," in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*. IEEE, 2017, pp. 403–406.
- [4] B. Sun, Z. Zhang, and M. A. Andersen, "Research of PCB parasitic inductance in the GaN transistor power loop," in *2019 IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia)*. IEEE, 2019, pp. 1–5.
- [5] B. Aberg, R. S. K. Moorthy, L. Yang, W. Yu, and I. Husain, "Estimation and minimization of power loop inductance in 135 kW SiC traction inverter," in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*. IEEE, 2018, pp. 1772–1777.
- [6] R. Alizadeh, M. Schupbach, T. Adamson, J. C. Balda, Y. Zhao, S. Long, K. Jung, C. R. Kharangate, M. Asheghi, and K. E. Goodson, "Busbar design for distributed DC-link capacitor banks for traction applications," in *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*. IEEE, 2018, pp. 4810–4815.
- [7] C. Chen, X. Pei, Y. Chen, and Y. Kang, "Investigation, evaluation, and optimization of stray inductance in laminated busbar," *IEEE Transactions on power electronics*, vol. 29, no. 7, pp. 3679–3693, 2013.
- [8] L. Popova, T. Musikka, R. Juntunen, M. Polikarpova, M. Lohtander, and J. Pyrhönen, "Design and modeling of low-inductive busbars for a three-level ANPC inverter," *International Review of Electrical Engineering*, vol. 9, no. 1, pp. 7–15, 2014.
- [9] J. Stewart, J. Neely, J. Delhotal, and J. Flicker, "DC link bus design for high frequency, high temperature converters," in *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*. IEEE, 2017, pp. 809–815.