

ADAPTIVNA STRUKTURA S POLJI PROGRAMIRNIH VEZIJ ZA IZVEDBO NEREKURZIVNIH DIGITALNIH SIT

Davorin Osebik, Rudolf Babič, Mitja Solar

Fakulteta za elektrotehniko računalništvo in informatiko, Univerza v Mariboru,
Maribor, Slovenija

Ključne besede: asinhrono vezje, fundamentalni način, procesna algebra, preverjanje modelov, ACTL

Izveček: V članku so opisane izvedbe digitalnih FIR sit s polji programirnih FPGA vezij, ki so primerna za uporabo v adaptivnih aplikacijah digitalnih sistemov. Prikazana je analiza kompleksnosti aparturne izvedbe adaptivnih struktur digitalnih FIR sit. Podali smo primerjavo vzporedne oblike digitalnega FIR sita v strukturi porazdeljene aritmetike z digitalnim FIR sitom v strukturi koncentrirane aritmetike izvedenim z uporabo zaporedne logike za izvajanje aritmetično logičnih operacij. Za obe strukturi smo opravili analizo naraščanja aparturne kompleksnosti v odvisnosti od stopnje sita. Z dobljenimi rezultati smo pokazali primernost izvedbe digitalnih FIR sit v strukturi koncentrirane aritmetike z uporabo zaporedne logike za izvajanje aritmetično logičnih operacij.

The Adaptive Structure with FPGA Circuits for Adaptive FIR Digital Filter Realization

Key words: digital signal processing, FIR digital filter, distributed arithmetic, direct calculation of partial products, bit serial multiplier, MAC - Multiply and Accumulate, digit serial FIR filter, FPGA implementation

Abstract: In this article the two mode of hardware implementation of digital FIR filter in adaptive structure implemented with field programmable gate arrays XC4000 is presented. Implementations of digital FIR filter with programmable logic cell array circuits can be realized using different structures. Adaptive application of digital FIR filters requires low complexity and quick enough entry of coefficients and calculation of output word $y(k)$.

These conditions are satisfied by implementation of digital FIR filter in the structure of concentrated arithmetic with distributed adders and implementation in the structure of distributed arithmetic in fully parallel form. The structure of distributed arithmetic in fully parallel form is shown in block diagram in figure 3 and digital FIR filter in the structure of concentrated arithmetic with distributed adders is shown in figure 1.

Fully parallel form of digital FIR filter in the structure of distributed arithmetic

The vector of directly calculated partial sums of coefficients $v(k-1)$ is calculated in circuit's unit for up-to-date calculation of partial sum of coefficients. Equation (10) describes calculation of the vector of partial sums of coefficients $v(k-1)$. Equations 5, 7 and 9 describe the relationship between input signal $u(k)$, vector of history of input signal $u(k)$ and vector $b_u(k-1)$, where the $b_{u(k-1),i}$ are the bits with values 0 or 1, $b_{u(k-1),B_u}$ is the sign bit and $b_{u(k-1),0}$ is the last significant bit (LSB). The vector $b_u(k-1)$ has dimension $B_u \times N$, where B_u is the number of bits of input signal $u(k)$ and N is the number of coefficients of FIR filter. The output word is calculated by equation (13). Tables 1 and 2 show the increase of the number of configuration logic blocks. The increase of configuration logic block depends on number of taps digital FIR filter and number of bits B_H . B_H describes quantization of the taps of digital FIR filter. The hardware complexity of the structure of fully parallel form of digital FIR filter increases with $(\text{const.} \times N \times B_H)^2$.

Digital FIR filter in the concentrated arithmetic

In this chapter the two mode hardware implementation of digital FIR filter in concentrated arithmetic is presented. This implementation of FIR filter uses parallel multipliers or serial multipliers. We constructed serial multiplier based on parallel multiplier. Figure 4 shows a diagram of parallel multiplier. Implementation of the parallel multiplier with two 16 bits long words needs 528 configuration logic blocks. Preliminary estimation of device utilization for part XC4013 is shown on table 3. The parallel multipliers take up the disproportionately large amount of the configuration logic blocks.

The serial multiplier is composed of one B_u+2 -input adder, one B_u -bit multiplexer, and two B_u -bit register. B_u is the number of bits of input word $u(k)$. One input h_i of this multiplier is in parallel form while other $u(k)$ is bit serial with the least significant bit $b_{u(k-1),0}$ presented first. h_i are the coefficients of digital FIR filter. The output is bit serial, with the least significant bit first. Figure 5 shows the structure of serial multiplier. B_u -bit multiplexer can be replaced by B_u -bit register. Figure 6 shows the structure of serial multiplier without multiplexers. Preliminary estimation of device utilization for part XC4013 of one is shown on table 4 and Preliminary estimation of device utilization for part XC4013 of sixteenth is shown on table 5.

All these hardware structures of digital FIR filter were constructed with OrCAD Express and Xilinx XACT 5.2. Fully parallel form of digital FIR filter with 16-taps in the structure of distributed arithmetic obtained equally hardware complexity than digital FIR filter with 16-taps in concentrated arithmetic.

1. Uvod

Digitalna FIR sita, ki jih uporabljamo v adaptivnih sistemih, morajo imeti takšno strukturo, da je možno spremeniti vse njihove koeficiente v času enega otipka vhodnega signala. Pri večini aplikacij digitalnega procesiranja signalov, kakor tudi pri digitalnih FIR sitih, so njihovi osnovni gradniki

množilniki. Žal so množilniki za aparturno izvedbo najkompleksnejši elementi. Pri digitalnih sitih z nespremenljivimi koeficienti učinkovito in enostavno rešujejo problem aparturne digitalnega FIR sita strukture porazdeljene aritmetike (DA, Distributed Arithmetic) / 1, 2/. Pri izračun izhodnega signala po postopku porazdeljene aritmetike uporabljamo tabele, v katerih so zapisane predhodno izračunane

delne vsote koeficientov (LUT, look up table). Algoritem, kjer poteka množenje po postopku porazdeljene aritmetike (DA) s pomočjo tabel (LUT) s predhodno izračunanimi delnimi vsotami koeficientov, se imenuje DALUT. Izhodna vrednost digitalnega FIR sita se izračunava s pomočjo algoritma množenja in akumuliranja (MAC, Multiply and Accumulate) /3/ izhodne vrednosti. Običajno delne vsote koeficientov zapišemo v zunanji pomnilnik

Opisan postopek je uporaben le za sita s približno $N=20$ koeficienti, saj potrebujemo za sito z N koeficienti 2^N pomnilniških lokacij.

Za izvedbo sit v porazdeljeni aritmetiki višjih stopenj obstaja več načinov za zmanjševanje aparaturne kompleksnosti vezja. Dosedanje raziskave so potekale v smeri zmanjšanja potrebnega pomnilnika za zapis predhodno izračunanih delnih vsot koeficientov. Pomnilnik za zapis delnih vsot koeficientov je možno zmanjšati z 2^N na $2^{N/2}$ pomnilniških lokacij z upoštevanjem simetričnosti koeficientov /4/. Na osnovi simetričnosti koeficientov smo razvili FIR sito z 32 koeficienti s 16 bitno vhodno besedo, dolžina aritmetične enote je bila med 16 in 24 bit. Izvedba in rezultati tako napravljenega sita so prikazani v /5/.

Z razdelitvijo FIR sita na kaskade dosežemo zmanjšanje potrebnih pomnilniških lokacij za zapis delnih vsot koeficientov z 2^N na $2^{N_1} + 2^{N_2} + \dots + 2^{N_m}$, pri tem je $N_1, N_2, \dots, N_m$ zapisano število koeficientov posamezne kaskadi. Pri tem mora biti vsota posameznih koeficientov kaskad enaka vsoti vseh koeficientov. Izdelano kaskadno obliko sita z 58 koeficienti, kjer smo še dodatno zmanjšala aparaturno kompleksnost sita z upoštevanjem simetričnosti koeficientov, smo skupaj z dobljenimi rezultati meritev predstavili v /6/.

Z razvojem zmogljivejših programirnih FPGA vezij se je pokazalo, da se je zunanjemu pomnilniku za zapis delnih vsot koeficientov možno izogniti /12/. Za ta namen lahko uporabimo strukture digitalnih FIR sit v porazdeljeni aritmetiki, kjer v več pomnilniške lokacije, ki se nahajajo v FPGA vezju, vpišemo le karakteristične delne vsote. Ostale delne vsote aritmetika digitalnega FIR sita izračunava sproti /8/. Izdelano digitalno FIR sito, ki je temeljilo na karakterističnih delnih vsotah koeficientov in dobljene rezultate smo prikazali v /9/. Takšna oblika digitalnega FIR sita je uporabna tudi v aplikacijah adaptivnih digitalnih FIR sit.

Za digitalna FIR sita v adaptivnih aplikacijah digitalnih sistemov, ki temeljijo na porazdeljeni aritmetiki, je uporaben postopek sprotnega izračuna delnih vsot koeficientov /10,11/. Ta oblika digitalnega FIR sita se imenuje tudi paralelna oblika digitalnega FIR sita v porazdeljeni aritmetiki (ang. fully parallel DA mode).

Pri adaptivnih digitalnih FIR sitih, kjer se koeficienti sita spremenijo v vsakem otipku, so zanimive strukture digitalnih FIR sit v koncentrirani aritmetiki, ki vsebujejo množilnike. V članku bosta predstavljena dva pristopa izvedbe digitalnega FIR sita s programirnimi FPGA vezji: digitalna FIR sita v strukturi porazdeljene aritmetike s sprotim izračunom

delnih vsot koeficientov in digitalna FIR sita v strukturi koncentrirane aritmetike. Pri predstavitvi FIR sit v koncentrirani aritmetiki bomo posebej nakazali možnosti izvedene z zaporedno logiko za izvajanje aritmetično logičnih operacij.

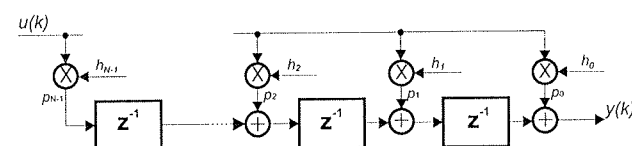
2. Digitalna FIR sita

Osnovno strukturo digitalnega nerekurzivnega digitalnega sita opisuje konvolucijska enačba,

$$y(k) = \sum_{i=0}^{N-1} h_i u(k-i). \quad (1)$$

Za izvedbo digitalnih FIR sit s programirnimi FPGA vezji imamo na razpolago več različnih struktur. Digitalna FIR sita, ki jih želimo uporabljati v adaptivnih aplikacijah, morajo ustrezati naslednjim zahtevam: imeti morajo dovolj majhno aparaturno kompleksnost, dovolj hiter vpis koeficientov v strukturo FIR sita, dovolj hiter izračun izhodne besede.

Poznani sta dve osnovni obliki nerekurzivnih digitalnih FIR sit, kjer izračun izhodne vrednosti $y(k)$ poteka po konvolucijski enačbi (1). Prva je struktura s porazdeljenim seštevalnikom, ki jo prikazuje slika 1.



Slika 1: Digitalno FIR sito v strukturi koncentrirane aritmetike s porazdeljenimi seštevalniki

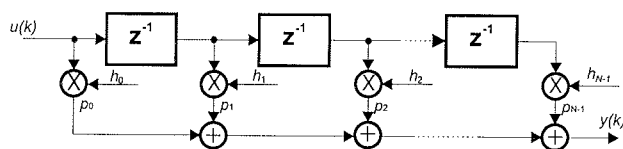
Fig. 1: The digital FIR filter in the structure concentrated arithmetic structure with distributed adders

Pri tej strukturi digitalnega FIR sita s porazdeljenim seštevalnikom običajno uporabljamo takšne algoritme za izvedbo aritmetično logičnih operacij, ki temeljijo na množenju in akumuliranju izračunane vrednosti (MAC, Multiply and Accumulate). Dobljene vrednosti posameznih produktov p_m ($m=0, 1 \dots N-1$) zakasnimo z uporabo zakasnilnih členov z^{-1} . Zaradi tega je za izračun vsake vsote posameznega produkta na razpolago celotna perioda vzorčenja vhodne besede. Skupaj z zakasnilnimi členi, je pri izračunu izhodne besede možno enostavno uporabiti postopek cevljenja.

Druga struktura je digitalno FIR sito s skupnim globalnim seštevalnikom na izhodu, ki jo prikazuje slika 2.

Pri tej strukturi digitalnega FIR sita s skupnim globalnim seštevalnikom je potrebno vse dobljene produkte p_i iz množilnikov v enem taktu sešteti, kar pri sitih višjih stopenj za aparaturno izvedbo ni enostavno.

Obe predstavljeni strukturi digitalnega FIR sita s slik 1 in 2 vsebujeta množilnike. Digitalna FIR sita potrebujejo za veliko slabljenje v zapornem pasu veliko število koeficientov,



Slika 2: Digitalno sito realizirano v strukturi koncentrirane aritmetike s skupnim globalnim seštevalnikom

Fig. 2: The digital FIR filter in the structure concentrated arithmetic with global adder

s tem pa posledično tudi veliko število množilnikov. Aparaturna kompleksnost digitalnega FIR sita v koncentrirani aritmetiki se zaradi množilnikov zelo poveča. Za digitalna FIR sita uporabljena v adaptivnih aplikacijah je možno zmanjšanje aparature kompleksnosti doseči z:

- izvedbo digitalnega FIR sita v strukturi porazdeljene aritmetike s sprotnim izračunom delnih vsot koeficientov in,
- z izvedbo digitalnega FIR sita v strukturi koncentrirane aritmetike z uporabo zaporedne logike za izvajanje aritmetično logičnih operacij /3/.

3. Digitalno FIR sito v strukturi porazdeljene aritmetike s sprotnim izračunom delnih vsot koeficientov

Digitalno FIR sito, ki se uporablja v adaptivnih aplikacijah digitalnih sistemov je možno izvesti v strukturi porazdeljene aritmetike s sprotnim izračunom delnih vsot koeficientov. Takšna oblika digitalnega FIR sita je poznana tudi kot paralelna oblika digitalnega FIR sita v strukturi porazdeljene aritmetike. To obliko FIR digitalnega sita smo že uspešno uporabili v adaptivnem digitalnem FIR situ s 16 koeficienti, s 16 bitno kvantizacijo vhodne-izhodne besede in med 16 in 24 bitno širino notranje aritmetične enote.

3.1. Matematični opis izračuna izhodne besede pri FIR situ v porazdeljeni aritmetiki

Pri aparaturnih izvedbah digitalnih FIR je vrednost izhodne besede $y(k)$ zakasnjena zaradi časa, ki ga zahteva digitalno procesiranje signala zakasnjena za en otipek. To zakasnitev opišemo z enačbo (2),

$$y(k) = \sum_{i=0}^{N-1} h_i \cdot u(k-1-i) \quad (2)$$

V enačbi (1) so h_i koeficienti digitalnega FIR sita, N je število vseh koeficientov in $u(k)$ je vhodna vrednost FIR sita. Konvolucijsko enačbo (2), ki podaja zvezo med izhodno vrednostjo $y(k)$, koeficienti FIR sita h_i in vhodno vrednostjo $u(k)$, lahko predstavimo tudi v vektorski obliki z enačbo (3),

$$y(k) = \mathbf{h}^T \mathbf{u}(k-1) \quad (3)$$

V enačbi (3) je $\mathbf{h}$ vektor koeficientov digitalnega FIR sita in $\mathbf{u}(k-1)$ je vektor predhodnih vrednosti otipkov vhodnega signala $u(k)$. Pri digitalnem FIR situ z N koeficienti enačba (4) so komponente obeh vektorjev podane z:

$$\mathbf{h} = \begin{bmatrix} h_0 \\ h_1 \\ \vdots \\ h_{N-1} \end{bmatrix} \text{ in } \mathbf{u}(k-1) = \begin{bmatrix} u(k-1) \\ u(k-2) \\ \vdots \\ u(k-N) \end{bmatrix} \quad (4)$$

Pri izračunu izhodne vrednosti $y(k)$ digitalnega FIR sita v porazdeljeni aritmetiki s sprotnim izračunom delnih vsot koeficientov izhajamo iz enačbe (3). Po postopku porazdeljene aritmetike je potrebno opraviti množenje vektorja koeficientov digitalnega FIR sita $\mathbf{h}$ in vektorja koeficientov vhoda $\mathbf{u}(k-1)$. Pri tem postopku vrednosti vhodnega signala $u(k)$ zapišemo v bitni obliki z dvojiškim komplementom. Zapis za B_U bitno kvantizacijo vhodnega signala $u(k)$ podaja enačba (5),

$$u(k) = -b_{u(k),0} + \sum_{i=1}^{B_U-1} b_{u(k),i} 2^{-i} \quad (5)$$

V enačbi (5) najbolj utežni bit $b_{u(k-1),0}$ predstavlja predznak k -tega otipka vhodne besede. Zaradi časa, ki je potreben za postopek digitalnega procesiranja izhodne besede digitalnega FIR sita $y(k)$, je potrebno pri opisu z enačbama upoštevati zakasnitev za vrednost enega otipka. Zakasnitev je predstavljena v enačbi (2). Z upoštevanjem te zakasnitve obravnavamo vrednost vhodnega signala digitalnega FIR sita $u(k)$ zakasnjena za en otipek. Zato enačba (5) za zapis vhodnega signala v bitni obliki preide v enačbo (6),

$$u(k-1) = -b_{u(k-1),0} + \sum_{i=1}^{B_U-1} b_{u(k-1),i} 2^{-i} \quad (6)$$

Trenutni otipek vhodnega signala $u(k)$ in njegove predhodne vrednosti $u(k-1)$, $u(k-2)$... lahko predstavimo z vektorjem vhodnega signala $\mathbf{u}(k)$. Vektor vhodnega signala $\mathbf{u}(k)$ v bitni obliki z dvojiškim komplementom predstavimo z naslednjimi komponentami, ki jih podaja enačba (7),

$$\mathbf{u}(k) = \begin{bmatrix} b_{u(k),0} + \sum_{i=1}^{B_U-1} b_{u(k),i} 2^{-i} \\ b_{u(k-1),0} + \sum_{i=1}^{B_U-1} b_{u(k-1),i} 2^{-i} \\ \vdots \\ b_{u(k-N+1),0} + \sum_{i=1}^{B_U-1} b_{u(k-N+1),i} 2^{-i} \end{bmatrix} \quad (7)$$

V enačbi (7) predstavlja zapis $b_{u(k),i}$ i -ti bit vhodne besede $u(k)$ digitalnega FIR sita. Pri tem je število bitov $b_{u,i}$ enako širini vhodne besede $u(k)$. V našem primeru jo označuje spremenljivka B_U . Z upoštevanjem zakasnitve vhodnega signala zaradi zaporedno vzporedne pretvorbe dobimo vektor vhodnega signala zakasnen za en otipek $\mathbf{u}(k-1)$. Ta

$$\mathbf{u}(k-1) = \begin{bmatrix} b_{u(k-1),0} + \sum_{i=1}^{Bu-1} b_{u(k-1),i} 2^i \\ b_{u(k-2),0} + \sum_{i=1}^{Bu-1} b_{u(k-2),i} 2^i \\ \vdots \\ b_{u(k-N),0} + \sum_{i=1}^{Bu-1} b_{u(k-N),i} 2^i \end{bmatrix} \quad (8)$$

vektor vhodnega signala zapišemo prav tako v bitni obliki z dvojiškim komplementom z enačbo (8),

Iz enačbe (8) izpišimo vrednosti bitov $b_{u,i}(k)$ za vsak otipek vhodne besede $u(k)$ in njihove predhodne vrednosti. Dobljene vrednosti bitov predstavimo z vektorjem bitnega zapisa $\mathbf{b}_u(k-1)$ vhodnega signala $u(k)$ in predhodnih vrednosti vhodnega signala $u(k-1)$.

$$\mathbf{b}_u(k-1) = \begin{bmatrix} b_{u(k-1),0} & b_{u(k-1),1} & \cdots & b_{u(k-1),Bu-1} \\ b_{u(k-2),0} & b_{u(k-2),1} & \cdots & b_{u(k-2),Bu-1} \\ \vdots & \vdots & \vdots & \vdots \\ b_{u(k-N),0} & b_{u(k-N),1} & \cdots & b_{u(k-N),Bu-1} \end{bmatrix} \quad (9)$$

Pri tem dimenzija vektorja bitnega zapisa $\mathbf{b}_u(k-1)$ predhodnih vrednosti vhodnega signala znaša $Bu \times N$. Bu je število bitov za zapis vhodne besede $u(k)$, N je število koeficientov digitalnega FIR sita. S produktom vektorja bitnega zapisa zgodovine vhodnega signala $\mathbf{b}_u(k-1)$ in vektorja koeficientov $\mathbf{h}$ dobimo vektor delnih vsot koeficientov $\mathbf{v}(k-1)$, ki ga podaja enačba (10),

$$\mathbf{v}(k-1) = \mathbf{b}_{u(k-1)}^T \mathbf{h} \quad (10)$$

Dobljeni vektor delnih vsot koeficientov $\mathbf{v}(k-1)$ ima N komponent, ki so predstavljene z enačbo (11),

$$\mathbf{v}(k-1) = \begin{bmatrix} v_0(k-1) \\ v_1(k-1) \\ \vdots \\ v_{N-1}(k-1) \end{bmatrix} \quad (11)$$

Vektor dobljenih delnih vsot $\mathbf{v}(k-1)$ je potrebno izračunati v vsaki k -ti taktu periodi vzorčenja vhodnega signala. Izhodno vrednost digitalnega FIR sita dobimo s pomočjo bitnega zapisa $\mathbf{b}_u(k-1)$ trenutnih in predhodnih vrednosti vhodnega signala $u(k)$. Pri tem lahko vektor $\mathbf{b}_u(k-1)$, ki ga opisuje enačba (9) razdelimo na posamezne vrstice i . Vsaka i -ta vrstica vsebuje vektor bitov $\mathbf{b}_{u(k-i)}$, ki je potreben za zapis otipka vhodne besede $u(k)$. Zapis tako razdeljenega vektorja $\mathbf{b}_u(k-1)$ na vektorje v posameznih i -tih vrsticah $\mathbf{b}_{u(k-i),bu}$ podaja enačba (12),

$$\mathbf{b}_{u(k-i)} = [b_{u(k-i),0} \quad b_{u(k-i),1} \quad \cdots \quad b_{u(k-i),Bu}] \quad (12)$$

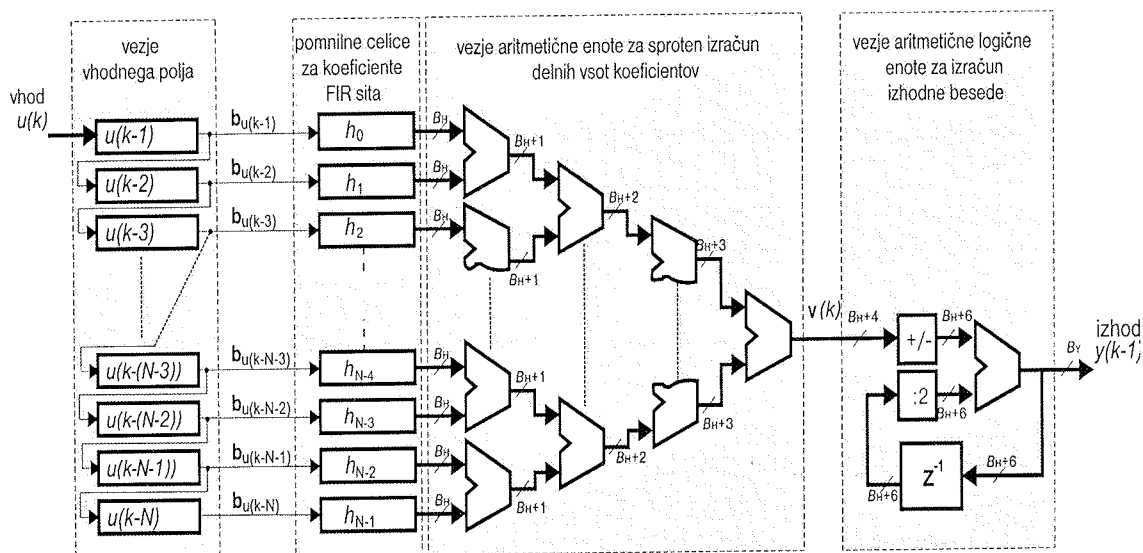
V enačbi (12) i teče od $i=1 \dots N$ in označuje i -te otipke vhodnega signala $u(k)$. Dobljeni vektor $\mathbf{b}_{u(k-i)}$ je osnova za izračun izhodne vrednosti digitalnega FIR sita $y(k)$. Izračun izhodne vrednosti digitalnega FIR sita poteka po enačbi (13).

$$y(k) = \sum_{i=1}^{Bu-1} v_i(k-1) 2^{-i} - v_{Bu}(k-1) \quad (13)$$

Enačba (13) opisuje izračun vseh delnih vsot koeficientov. Za izračun izhodne besede po enačbi (13) je potrebno Bu iteracij.

3.2. Izvedba in delovanje paralelne oblike digitalnega FIR sita v strukturi porazdeljene aritmetike

S programirnim FPGA vezjem smo realizirali paralelno obliko digitalnega FIR sita v strukturi porazdeljene aritmetike. Blokovno shemo prikazuje slika 3.



Slika 3: Vzoredna oblika digitalnega FIR sita v strukturi porazdeljene aritmetike

Fig. 3: Fully parallel form of digital FIR filter in the structure of distributed arithmetic

Digitalno FIR sito, ki ga prikazuje slika 3, smo izdelali s programirnim FPGA vezjem družine XC4000E. Predstavljeno vezje digitalnega FIR sita ima $N = 16$ koeficientov, vhodna beseda $u(k)$ je dolžine $B_U = 16$ bitov izhodna beseda $y(k)$ je dolžine $B_Y = 16$ bitov, koeficienti digitalnega FIR sita so dolžine $B_H = 16$ bitov in dolžina notranje aritmetične enote se zaradi robustnosti giblje med 16 in 22 biti.

Vzporedno obliko digitalnega FIR sita s slike 3 sestavljajo štiri različna vezja: vezje vhodnega polja, vezje pomnilnih celic za koeficiente FIR sita, vezje aritmetične enote za sprotni izračun delnih vsot koeficientov in vezje aritmetične enote za izračun izhodne besede. Tabela 1 prikazuje naraščanje kompleksnosti posameznih vezij glede na število koeficientov digitalnega FIR sita N , kvantizacijo vhodne besede B_U oziroma kvantizacijo zapisa koeficientov digitalnega FIR sita B_H .

Tabela 1: Kompleksnost posameznih vezij v vzporedni obliki FIR sita v strukturi porazdeljene aritmetike

Table 1: The complexity of particular circuits in the fully parallel form of digital FIR filter realization in distributed arithmetic

Ime vezja	Kompleksnost vezja
vezje vhodnega polja	konst. $xNxB_U$
vezje pomnilnih celic koeficientov sita	konst. xNB_H
vezje aritmetične enote za sprotni izračun delnih vsot koeficientov	$(\text{konst. } xNB_H)^2$
vezje aritmetične lo	konst. xB_H

Iz tabele 1 je razvidno, da kompleksnost vezja aritmetične enote za sprotni izračun koeficientov narašča eksponentialno, zaradi tega je takšna oblika digitalnega FIR sita primerna le za aparaturne izvedbe sit z manj kot $N = 20$ koeficientov.

Pri predstavljeni vzporedni obliki digitalnega FIR sita v strukturi porazdeljene aritmetike je dosežen čas izračuna izhodne besede $y(k)$ pri frekvenci osnovne ure 32 MHz znašal 1 μ s. V tabeli 2 podajamo kompleksnost predstavljenega vzporednega digitalnega FIR sita v porazdeljeni aritmetiki izvedenega s programirnim FPGA vezjem družine XC4000E.

Tabela 2: Zasedenost programirnega FPGA vezja pri izvedbi vzporedne oblike digitalnega FIR sita v strukturi porazdeljene aritmetike

Table 2: The programmable FPGA device utilization for fully parallel form of digital FIR filter in the structure of distributed arithmetic

Preliminary estimate of device utilization for part 4013EPG223:

55% utilization of I/O pins.	(105 of 192)
82% utilization of CLB FG function generators.	(946 of 1152)
3% utilization of CLB H function generators.	(20 of 576)
92% utilization of CLB flip-flops.	(1058 of 1152)
17% utilization of bus resources.	(16 of 96)

4. Digitalna FIR sita v strukturi koncentrirane aritmetike z uporabo zaporedne logike za izvajanje aritmetično logičnih operacij

Množilniki so eden najpomembnejših elementov v algoritmih za digitalno procesiranje signalov. Pri digitalnih FIR sitih s konstantnimi koeficienti, postopek porazdeljene aritmetike elegantno reši izvedbo produkta dveh matrik. Za digitalna FIR sita višjih stopenj v adaptivnih sistemih je uporaba porazdeljene aritmetike zaradi naraščajoče aparaturne kompleksnosti zahtevna. Zato so zanimiva v adaptivnih aplikacijah za digitalno procesiranje signalov digitalna FIR sita izvedena v strukturi koncentrirane aritmetike z uporabo množilnikov.

Pri digitalnih FIR sitih izvedenih v strukturi koncentrirane aritmetike je potrebno pri vsakem otipku opraviti produkt vektorjev koeficientov digitalnega FIR sita h^T in vektorja koeficientov vhodnega signala $u(k)$, po enačbi (3). Za izvedbo tega produkta potrebujemo pri FIR digitalnem situ z N koeficienti N množilnikov. Za izvedbo teh množilnikov je možno uporabiti zaporedno logiko za izvajanje aritmetično logičnih operacij / 1/. S tem močno zmanjšamo aparaturno kompleksnost izvedbe takšnega sita, pri tem se čas izračuna izhodne besede bistveno ne spremeni. Pri uporabi zaporedne logike za izvajanje aritmetično logičnih operacij, ločimo različne izvedbe množilnikov glede na obliko zapisa množenca in množitelja: oba množenec in množitelj sta zapisana v vzporedni obliki in množenec je zapisan v zaporedni obliki, množitelj je zapisan v vzporedni obliki.

Uporaba zaporedne logike za izvajanje aritmetično logičnih operacij v digitalnem FIR situ ima naslednje prednosti pred paralelno obliko digitalnega FIR sita v strukturi porazdeljene aritmetike:

- kompleksnost aparaturne opreme narašča linearno s številom koeficientov sita,
- zaradi narave seštevalnikov v programirnih FPGA vezjih je čas izračuna izhodne besede $y(k)$ digitalnega FIR sita primerljiv s časom izračuna v vzporedni obliki digitalnega FIR sita v strukturi porazdeljene aritmetike in
- v primeru uporabe digitalnih FIR sit v adaptivnih aplikacijah je ugoden zaporedni prenos koeficientov v strukturo digitalnega FIR sita. Zato z uporabo zaporedne logike za izvajanje aritmetično logičnih operacij ne potrebujemo pretvornikov za pretvorbo zaporedne oblike koeficientov FIR sita v vzporedno obliko koeficientov FIR sita, kar še dodatno zmanjšuje aparaturna kompleksnost vezja.

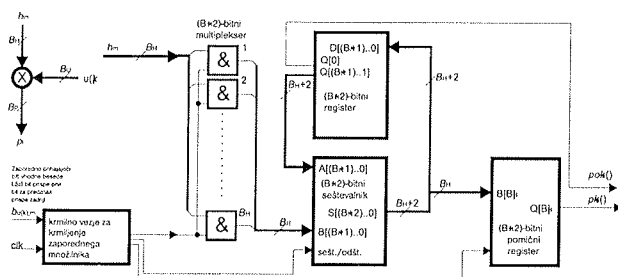
Predstavili bomo dve obliki množilnikov, ki jih je možno izvesti s programirnimi FPGA vezji: vzporedni množilnik, pri katerem sta množenec in množitelj zapisana v vzporedni obliki in zaporedni množilnik, kjer je množenec zapisan v vzporedni obliki množitelj pa je podan v zaporedni obliki.

4.2. Zaporedni množilek pri digitalnem FIR situ v koncentrirani aritmetiki

Izvedba množilnikov v zaporedni obliki močno zmanjša aparaturno kompleksnost vezja. Čas izračuna izhodnega produkta p_m je odvisen od frekvence osnovne ure s katero deluje zaporedni množilek in od kvantizacije B_U množitelja $u(k)$. S primerno izbiro ure in kvantizacije vhodne besede, se čas izračuna izhodnega produkta p_m v zaporednem množilniku bistveno ne razlikuje od časa izračuna produkta p_m v vzporednem množilniku. Pri vzporednem množilniku poteka izračun produkta p_m po enačbi (14). Če v enačbi (14) zamenjamo zapis vhodnega signala $u(k)$ z bitno obliko zapisa vhodnega signala $u(k)$, ki ga podaja enačba (5) potem lahko zapišemo s končno enačbo (18) izračuna produkta p_m z zaporednim seštevalnikom.

$$p_m(k) = h_m \left(-b_{u(k)} \lambda_0 + \sum_{i=1}^{B_u-1} b_{u(k)} \lambda_i 2^{-i} \right) \quad m = 0, 1, 2, \dots, N-1 \quad (18)$$

V enačbi (18) je množenec h_i zapisan v vzporedni obliki z B_H biti, množitelj $u(k)$ je zapisan v zaporedni obliki z B_U biti. Dobljena izhodna vrednost produkta p_m je v zaporedni obliki predstavljena z $B_H + B_U$ biti. Blokovno shemo množilnika v zaporedni obliki prikazuje slika 5.

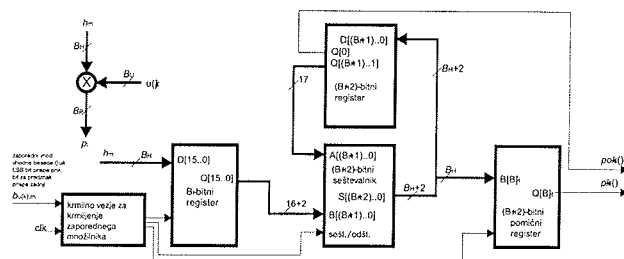


Slika 5: Blokovna shema zaporednega množilnika

Fig. 5: A plan of serial multiplier

Pri deljenju z 2 ostane na izhodu Q[0] 18-bitnega registra vrednost ostanka $po_m(k)$, ki je dolžine B_U bitov. Ta ostanek je v zaporedni obliki, zato ima prikazani zaporedni množilek na sliki 5 ima za izhodno vrednost produkta p_m dva izhoda: izhod zgornjega dela besede $pc_m(k)$ dolžine B_H bitov in izhod spodnjega dela besede $po_m(k)$ dolžine B_U bitov. Takšna oblika zaporednega množilnika potrebuje le en seštevalnik, multiplexer dolžine B_H bitov, ki ga sestavlja B_H dvovhodnih IN vrat in zadrževalnik vmesnih vsot v_i . Slika 5 prikazuje m -ti množilek za n -ti koeficient digitalnega FIR sita. Izhodni produkt $p_m(k)$ je vsota obeh produktov $pom(k)$ in $pcm(k)$ iz predstavljenega zaporednega množilnika v zaporedni obliki dolžine $B_U + B_H$ bitov.

Pri izvedbi zaporednega množilnika je smiselno nadomestiti multiplexer dolžine B_H bitov s krmiljenimi pomnilniškimi celicami. Izvedba takšnega zaporednega množilnika je prikazana na sliki 6.



Slika 6: Blokovna shema zaporednega množilnika brez uporabe multiplexorjev

Fig. 6: A plan of serial multiplier without multiplexers

Na osnovi blokovne sheme prikazane na sliki 6 smo v programirnem FPGA vezju realizirali zaporedni množilek. Zasedenost programirnega FPGA vezja za aparaturno izvedbo enega zaporednega množilnika prikazuje tabela 4.

Tabela 4: Zasedenost programirnega FPGA vezja pri implementaciji zaporednega množilnika s 16 bitnima vhodnima besedama.

Table 4: The programmable FPGA device utilization for 16-bit serial multiplier

Preliminary estimate of device utilization for part 4013EPG223:

11% utilization of I/O pins.	(21 of 192)
8% utilization of CLB FG function generators.	(94 of 1152)
1% utilization of CLB H function generators.	(5 of 576)
8% utilization of CLB flip-flops.	(88 of 1152)

Realiziran množilek ima dva 16 bitna vhoda, kjer je množitelj $u(k)$ dolžine $B_U = 16$ bitov in množenec h_i je dolžine $B_H = 16$ bitov, ter dvojno izhoda za zmnožka $pc_m(k)$ dolžine $B_U = 16$ bitov in $po_m(k)$ dolžine $B_H = 16$ bitov. Del logičnih konfiguracijskih blokov v FPGA vezju zahteva krmilno logiko zaporednega množilnika. Pri implementaciji več zaporednih množilnikov v isto FPGA vezje lahko uporabimo skupno krmilno vezje. Na osnovi razlike, ki nastane med implementacijo enega množilnika in šestnajstih množilnikov v istem programirnem FPGA vezju, lahko ugotovimo kolikšen del konfiguracijskih logičnih blokov je namenjen krmilni logiki in kolikšen del jih je namenjen množilnikom. V tabeli 5 je podana zasedenost enakega programirnega FPGA vezja v katerem je implementiranih 16 zaporednih množilnikov s 16-bitnima vhodnima besedama in 16 bitno izhodno besede.

Tabela 5: Zasedenost programirnega FPGA pri implementaciji šestnajstih zaporednih množilnikov s 16 bitnimi vhodnima besedama

Table 5: The programmable FPGA device utilization for sixteen 16-bit serial multiplier

Preliminary estimate of device utilization for part 4013PG223:

19% utilization of I/O pins.	(36 of 192)
97% utilization of CLB FG function generators.	(1122 of 1152)
1% utilization of CLB H function generators.	(5 of 576)
73% utilization of CLB flip-flops.	(838 of 1152)

Iz tabel 4 in 5 je razvidno, da potrebujemo za implementacija samo enega zaporednega množilnika v programirnem vezju 67 konfiguracijskih logičnih blokov. Krmilna logika potrebuje 30 konfiguracijskih logičnih blokov. Implementaciji šestnajstih množilnikov v eno programirno FPGA vezje doseže enako aparaturno kompleksnost, kot implementacija vzporedne oblike digitalnega FIR sita v strukturi porazdeljene aritmetike. Za digitalna FIR sita z adaptivno strukturo, ki imajo več kot 16 koeficientov, je za aparaturno izvedbo primernejša izvedba digitalnega FIR sita v strukturi koncentrirane aritmetike z uporabo zaporednih množilnikov.

5. Zaključek

V prispevku smo podali pregled načinov izvedbe digitalnih FIR sit s polji programirnih logičnih FPGA vezij. Pri tem smo podrobno opisali strukturi, ki sta primerni za uporabo digitalnih FIR sit v aplikacijah adaptivnih digitalnih sistemov. Aparaturna izvedba digitalnih FIR v teh aplikacijah s programirnimi logičnimi FPGA vezji je zaradi vsebovanih množilnikov precej zahtevna, zato je potrebno uporabiti takšne strukture digitalnih FIR sit, ki omogočajo v času enega otipka vhodnega signala zamenjavo vseh njegovih koeficientov. Takšne strukture digitalnih FIR sit imenujemo tudi adaptivne strukture digitalnih FIR sit. Izvedbe adaptivnih struktur digitalnih FIR sit v programirnih logičnih vezjih so zanimive zaradi možnosti enostavnega povečanja stopnje sita z uporabo večjih programirnih logičnih vezij ali z dodajanjem novih programirnih logičnih vezij.

V prispevku je opisana vzporedna oblika digitalnega FIR sita v strukturi porazdeljene aritmetike. Podane so njene prednosti in slabosti glede na strukture digitalnih FIR sit v koncentrirani aritmetiki.

Pri digitalnih FIR sitih v strukturi koncentrirane aritmetike smo nakazali možnosti njihove izvedbe z uporabo množilnikov. Predstavili smo dve vrsti izvedb množilnikov s programirnimi logičnimi vezji, ki jih je možno uporabiti v digitalnem FIR situ z adaptivno strukturo: vzporedni množilnik, ker sta množenec in množitelj zapisana v vzporedni obliki in zaporedni množilnik, kjer je množitelj podan v zaporedni obliki, množenec pa v vzporedni obliki.

S pomočjo dobljenih rezultatov smo podali analizo aparaturne kompleksnosti izvedbe digitalnih sit z adaptivno strukturo. Analizo smo opravili za primer, kjer je bila vhodna beseda dolžine $B_U=16$, koeficienti sita so bili dolžine $B_H=16$ bitov in izhod digitalnega FIR sita je bil dolžine $B_Y=16$. Pri tem smo notranje aritmetične enote v FIR sitih zaradi zahtev izvedli s 16 do 24 bitno dolžino. Vsa sita smo načrtali s programskim paketom OrCAD 9.0 implementacijo v programirna FPGA vezja družine XC4000E smo izvedli s programskim paketom XACT 5.0 firme Xilinx.

Z rezultati smo pokazali, da izvedba digitalnih FIR sit v koncentrirani aritmetiki narašča linearno s številom koeficientov pri tem je aparaturna kompleksnost za sita z $N=16$ koeficienti po aparaturni kompleksnosti enaka vzporedni obliki digitalnega FIR sita v strukturi porazdeljene aritmetike.

6. Literatura

- /1/ R. S. Grover, W. Shang, Q. Li, A Faster Distributed Arithmetic Architecture for FPGAs, Tenth ACM International Symposium on Field Programmable Gate Arrays Monterey, California, USA February 24-26, 2002
- /2/ Martinez-Peiro, M.; Valls, J.; Sansaloni, T.; Pascual, A. P.; Boemo, E. I., A comparison between lattice, cascade and direct form FIR filter structures by using a FPGA bit-serial distributed arithmetic implementation, Electronics, Circuits and Systems, 1999. Proceedings of ICECS '99. The 6th IEEE International Conference on , Volume: 1 , 5-8 Sept. 1999 Page(s): 241 -244 vol.1
- /3/ Ohsang Kwon, Kevin Nowka, Earl E., A 16-Bit by 16-Bit MAC Design Using Fast 5:3 Compressor Cells, The Journal of VLSI Signal Processing—Systems for Signal, Image, and Video Technology, June 2002
- /4/ Les Mintzer, "FIR Filters with Field-Programmable Gate Arrays", Journal of VLSI Signal Processing, vol. 6, pp. 119-127, 1993
- /5/ OSEBIK, Davorin, JARC, Bojan, SOLAR, Mitja, BABIČ, Rudolf. A 30 tap FIR filter realization with FPGA circuits. V: 5th International Workshop on Systems, Signals and Image Processing, June 3-5, 1998, Zagreb. Proceedings IWSSIP'98. Zagreb: University of Zagreb, Faculty of Electrical Engineering and Computing, 1998, str. 86-89.
- /6/ OSEBIK, Davorin, SOLAR, Mitja, BABIČ, Rudolf. Kaskadna izvedba nerekurzivnega digitalnega sita z 58 koeficienti s programirljivim poljem logičnih vezij, Zbornik šeste Elektrotehniške in računalniške konference ERK '97, 25. - 27. september 1997, Portorož, Slovenija. Ljubljana: IEEE Region 8, Slovenska sekcija IEEE, 1997, str. A/69-72
- /7/ Kaluri, K.; Wen Fung Leong; Kah-Howe Tan; Johnson, L.; Soderstrand, M.; Signals, Systems and Computers, 2001. Conference Record of the Thirty-Fifth Asilomar Conference on , Volume: 2 , 4-7 Nov. 2001 Page(s): 1340 -1344 vol.2
- /8/ Bill Allaire, Bud Fischer, Block Adaptiv Filter, XAPP 055, January 9, 1997 (Vrsion 1.1)
- /9/ OSEBIK, Davorin, BABIČ, Rudolf. Izvedba FIR digitalnega sita v porazdeljeni aritmetiki z adaptivno strukturo, Zbornik osme Elektrotehniške in računalniške konference ERK '99, 23. - 25. september 1999, Portorož, Slovenija. Ljubljana: IEEE Region 8, Slovenska sekcija IEEE, 1999, zv. A, str. 59-62.
- /10/ Steve Knapp, FPGAs furnish fast, furious FIR filters, Personal engineering, December 1998
- /11/ Rolf Enzler, Tobias Jeger, Didier Cottet and Gerhard Troster, High-Level Area and Performance Estimation of Hardware Building Blocks on FPGAs, R. W. Hartenstein and H. Grunbacher (Eds.) FPL 2000, pp. 512-534 2000, Springer-Verlag Berlin Heidelberg 2000
- /12/ Kaluri, K.; Wen Fung Leong; Kah-Howe Tan; Johnson, L.; Soderstrand, M.; Signals, Systems and Computers, 2001. Conference Record of the Thirty-Fifth Asilomar Conference on , Volume: 2 , 4-7 Nov. 2001 Page(s): 1340 -1344 vol.2

mag. Davorin Osebik, tel.: (02) 220-7238, e-mail: davorin.osebik@uni-mb.si

izr. prof. dr. Rudolf Babič, tel.: (02) 220-7230, e-mail: rudolf.babic@uni-mb.si

doc. dr. Mitja Solar, tel.: (02) 220-7232, e-mail: mitja.solar@uni-mb.si

Univerza v Mariboru
Fakulteta za elektrotehniko, računalništvo in informatiko
Smetanova 17, 2000 Maribor
tel.: (02) 220-7000, Fax: (02) 251-1178