

53256



UNIVERZA V LJUBLJANI
FAKULTETA ZA ELEKTROTEHNIKO

Uroš Bizjak

**RAZVOJ OPTIMALNE ARHITEKTURE
MERILNEGA DELA TRIFAZNEGA ŠTEVCA
ELEKTRIČNE ENERGIJE**

DOKTORSKA DISERTACIJA

Mentor: doc. dr. Drago Strle

Ljubljana, 2006

dr/525



0 53256/7. 7. 2006

Zahvala

Zahvaljujem se mentorju doc. dr. Dragu Strletu za pomoč, strokovna mnenja in pripombe pri izdelavi doktorske disertacije.

Sodelavcem Vojku Strletu, Milanu Kosmaču, dr. Miru Rozmanu in dr. Stanislavu Grudnu se zahvaljujem za pomoč pri reševanju najrazličnejših problemov in za ideje, ki sem jih dobil v pogovoru z njimi.

Zahvaljujem se ženi Sonji, sinu Andražu in hčerki Ajdi za ves čas, ki sem ga lahko namenil dokončanju tega dela.

Nazadnje bi se zahvalil še mojim staršem, ki so mi pomagali v času študija in me podpirali pri mojih odločitvah.

Povzetek

Razvoj mikroelektronike v zadnjih letih je omogočil izdelavo kompleksnih integriranih vezij, ki na eni silicijevi rezini združujejo učinkovita analogno-digitalna vezja, zmogljiv digitalni signalni procesor, komunikacijska in nadzorna vezja. Zaradi možnosti integracije celotnega merilno-komunikacijskega sistema in možnosti izračuna različnih parametrov energetskega omrežja s pomočjo digitalne obdelave signalov temelji sodobna izvedba zmogljivih števecv električne energije na metodi ločenega zajema analognih signalov napetosti in toka in njihovi pretvorbi iz analogne v digitalno obliko.

Sodobne podmikronske tehnologije CMOS so prilagojene predvsem optimalnemu delovanju digitalnih vezij, zato imajo odpornost sigma-delta modulatorja na preklopni šum elementov v vezju, odpornost na vpliv neželenih parazitnih elementov in odpornost na visoke tolerance elementov velik vpliv pri izbiri optimalne arhitekture analogno-digitalnega pretvornika. Osnovni elementi analognega dela zavzemajo v primerjavi z osnovnimi elementi digitalnega dela precej veliko površino, hkrati pa se neučinkovito skalirajo v tehnologije manjših dimenzij, zato želimo analogno-digitalno pretvorbo opraviti z najpreprostejšim sigma-delta modulatorjem – sigma-delta modulatorjem 1. reda.

V tem delu pokažemo, katere lastnosti gradnikov merilnega sistema vplivajo na točnost izmerjene električne energije. Ena od lastnosti sigma-delta modulatorjev je kvantizacijski šum; spekter kvantizacijskega šuma modulatorja 1. reda je diskreten ter močno odvisen od amplitude in frekvence vhodnega signala. Na točnost meritve vpliva predvsem harmonska komponenta kvantizacijskega šuma na osnovni frekvenci tokovnega signala, ki po množenju s soležno frekvenčno komponento napetostnega signala neposredno vpliva na izmerjene rezultate. Simulacije celotnega analogno-digitalnega sistema pokažejo, da šum, ki ga dodamo vhodnemu signalu, zmanjša vpliv kvantizacijskega šuma, vendar pa v merilni frekvenčni pas vnese merilno negotovost. S pomočjo simulacije določimo optimalni nivo vhodnega šuma kot kompromis med preostalo napako meritve električne energije in raztrosom merilnih rezultatov.

Z modeliranjem neidealnosti osnovnih gradnikov sigma-delta modulatorja izboljšamo sistemski simulacijski model celotnega analogno-digitalnega sistema. Ker digitalno procesiranje moduliranih signalov izvedemo s površinsko učinkovitimi gradniki, izvedenimi v sigma-delta prostoru (kjer je frekvenca prekopov digitalnih struktur pet velikostnih redov

večja od frekvence merjenega signala), lahko vpliv parametrov digitalnih elementov na dobljeni rezultat analiziramo le s pomočjo dolgotrajnih simulacij. Čas izvajanja simulacij pospešimo z učinkovitim simulacijskim modelom sigma-delta struktur, za analizo filtrov v sigma-delta prostoru pa izpeljemo še malosignalni model digitalnega sigma-delta integratorja.

Sistemske simulacije celotnega sistema podajo osnovne karakteristike analognih sklopov, te pa so vodilo pri izbiri arhitekture in pri izračunu sestavnih elementov izvedbe v tehnologiji CMOS. Na osnovi šumnih razmer v vezju modeliramo šumne vire celotnega analognega vezja, z modelom vhodnega šumnega vira z Gaussovim šumnim generatorjem pa na osnovi sistemske simulacije potrdimo, da vezje deluje v optimalnih šumnih razmerah.

Enokanalni sigma-delta modulator nadgradimo v večkanalni multipleksirani sigma-delta modulator. Predstavljena sta principa hitrega in počasnega multipleksiranja merilnih kanalov, s sistemsko simulacijo pa pokažemo, da izvedba s sigma-delta modulatorjem 1. reda ni primerna za počasno multipleksiranje signalov. Multipleksirani sigma-delta modulator za hitro multipleksiranje izvedemo z nadgradnjo analognih sklopov enokanalnega modulatorja, kjer predstavimo tudi ustrezno vezje za krmiljenje stikal v multipleksiranem sistemu in nekaj multipleksiranih digitalnih struktur.

Rezultati simulacij kažejo, da predstavljeni analogni sklop ustreza zahtevam števca električne energije IEC razreda 1. Predstavljeno integrirano vezje smo izvedli v $0.35\mu\text{m}$ tehnologiji CMOS znanega proizvajalca integriranih vezij, rezultati testiranj števecv električne energije, izdelanih s predstavljenim enofaznim integriranim vezjem, pa potrjujejo rezultate simulacij.

Ključne besede: sigma-delta modulacija, kvantizacijski šum, šumna analiza, merjenje električne energije, digitalna obdelava signalov, digitalni filtri, simulacije v mešanem načinu, multipleksiranje signalov

Abstract

Due to recent developments in the field of microelectronics, efficient analog structures, high performance analog-to-digital converters, digital communication circuits and a powerful digital signal processor can be integrated together in a relatively small space on a single silicon chip. The design of a modern electronic watt-hour meter is based on architecture, where current and voltage signals are sampled separately, converted into their digital form and further processed in the digital domain, mainly for the possibility to calculate various parameters of the power distribution system by an integrated digital signal processor.

Modern submicron CMOS technologies are optimized for a digital design. To overcome the effects of reduced quality of analog building blocks, analog-to-digital converters, based on sigma-delta modulation should be employed. The robustness of sigma-delta modulators against circuit noise, unwanted parasitic elements and tolerances, is a key factor when choosing optimal architecture of an analog-to-digital converter of an electronic watt-hour meter. Compared to digital cells, analog building blocks do not scale well to smaller geometries of current CMOS technologies, so it is desirable to convert signals from analog to digital domain by the simplest form of a sigma-delta modulator, the first order sigma-delta modulator.

In this work, the influences of various sub-circuit non-idealities to the measured electrical energy are shown. When current signal is multiplied by voltage signal, measurement error depends primarily on the noise component that has the same frequency as the input current signal. One of the properties of a sigma-delta modulator is its quantization noise; the spectrum of the first order modulator's quantization noise is discrete and depends significantly on the amplitude and frequency of its input signal. Some quantization noise spectral components are generated at the frequency of the input signal and consequently affects the result.

As confirmed by system simulations, input noise with Gaussian distribution substantially reduces the effect of quantization noise, but introduces uncertainty into measurement bandwidth. Based on this conclusion, optimum input noise level is determined by system simulation as a compromise between remaining measurement error and spreading of measured results. System simulation is further refined by involving various non-idealities of building blocks into the system model.

Modulated signals are processed by area efficient digital blocks, implemented in sigma-delta domain. Simulation of these processing elements is a very time consuming task (the clock frequency of digital blocks is five orders of magnitude greater than input signal frequency), so effective simulation models of digital blocks are developed in order to decrease simulation time. A small-signal model of a digital sigma-delta integrator is also introduced.

Basic requirements of analog blocks are obtained from system level simulation results. Concerning these requirements, an adequate CMOS architecture of an analog block is chosen and the properties of its components are calculated to fulfill the required characteristics of the circuit. In order to determine equivalent input noise, various noise sources of an analog circuit are calculated. Optimum input noise level is confirmed by a system simulation, where input noise is approximated by a Gaussian noise source.

A single-channel sigma-delta modulator is upgraded to a multi-channel multiplexed sigma-delta modulator. The results of fast and slow type multiplexing of input channels are obtained by a system simulation and it is decided that the first order sigma-delta modulator is not suitable for the implementation of a circuit with slow type multiplexing. On the other hand, upgraded analog circuits of a single-channel sigma-delta modulator were found out as adequate for the implementation of a multi-channel fast type multiplexed sigma-delta modulator. Finally, an appropriate switch control circuitry is shown, together with multiplexed digital structures.

As proved by simulations, IEC class 1 watt-hour meter could be constructed using shown analog circuits. An integrated circuit was fabricated in 0.35 μ m CMOS technology, a watt-hour meter application was build using this integrated circuit and the results of its tests comply with the simulations.

Keywords: Sigma-delta modulation, Quantization noise, Noise analysis, Electrical energy measurement, Digital signal processing, Digital filters, Mixed-mode simulation, Signal multiplexing

Kazalo

1	UVOD	1
1.1	Merjenje električne energije	1
1.2	Tehnologija CMOS	2
1.3	Problemi sistema na integriranem vezju	3
2	OSNOVE NAČRTOVANJA VLSI VEZIJ	5
2.1	Pasivni elementi v MOS tehnologiji	5
2.1.1	Upor	5
2.1.2	Kondenzator	8
2.2	MOS transistor	9
2.2.1	Osnovne enačbe	9
2.2.2	Učinek potenciala substrata (body effect)	11
2.2.3	Enačbe malosignalnega MOS modela	12
2.2.4	Kapacitivnosti v MOS transistorju	13
2.2.5	Šumni viri v MOS transistorju	14
2.2.6	MOS transistor kot stikalo	15
2.3	Problemi pri načrtovanju končne geometrije elementov	16
2.4	Operacijski ojačevalnik	18
2.4.1	Značilnosti operacijskega ojačevalnika	18
2.4.2	Diferencialna stopnja	20
2.4.3	Kaskodna stopnja	23
2.4.4	Povratna zanka skupnega načina	25
2.5	SC vezja	26
2.6	Literatura k 2. poglavju	27
3	SIGMA-DELTA MODULATOR	28
3.1	Analiza kvantizacijskega šuma kvantizatorja in sigma-delta modulatorja	30
3.2	Vpliv reda sigma-delta modulatorja	40
3.3	Vpliv neidealnosti elementov	44
3.3.1	Vpliv neidealnosti integratorja	45
3.3.2	Vpliv neidealnosti stikal	51
3.3.3	Vpliv neidealnosti kondenzatorjev	54
3.3.4	Vpliv neidealnosti primerjalnika	55
3.3.5	Vpliv neidealnosti napetostne reference	56
3.3.6	Vpliv notranjih šumnih virov v sigma-delta modulatorju	56

3.4	Decimatorji	59
3.4.1	Digitalni filtri v sigma-delta prostoru	60
3.4.2	Štirikvadrantni sigma-delta množilnik	61
3.4.3	Generator sigma-delta sekvenc	64
3.4.4	Digitalni sigma-delta integrator	65
3.5	Literatura k 3. poglavju	66
4	MERJENJE ELEKTRIČNE ENERGIJE	69
4.1	Merjenje delovne moči z ločenim merjenjem $u(t)$ in $i(t)$	69
4.1.1	Vpliv parametrov $u(t)$ in $i(t)$ na izračun delovne moči	70
4.2	Generacija impulzov in kalibracija števecv	71
4.3	Izračun dinamike tokovnega in napetostnega kanala števca	73
4.4	Vpliv šuma tokovnega in napetostnega kanala na raztros impulzov	74
4.5	Vpliv kvantizacijskega šuma A/D pretvornika	79
4.6	Vpliv šuma, dodanega vhodnemu signalu, na kvantizacijsko napako	85
4.7	Funkcionalna simulacija števca električne energije	87
4.8	Literatura k 4. poglavju	89
5	PROTOTIPNA ANALOGNA VHODNA STOPNJA ENOFAZNEGA ŠTEVCA	91
5.1	Operacijski ojačevalnik z diferencialnim izhodom	91
5.1.1	Struktura operacijskega ojačevalnika	92
5.1.2	Sinteza operacijskega ojačevalnika	92
5.1.3	Izvedba operacijskega ojačevalnika	103
5.1.4	Povzetek rezultatov simulacij	104
5.2	SC vhodno vezje	105
5.2.1	Signalna veja vhodnega SC vezja	107
5.2.2	Referenčna veja vhodnega SC vezja	110
5.2.3	Ukrepi za zmanjšanje injeciranega naboja v signalno pot	111
5.2.4	Temperaturna kompenzacija SC vezij	112
5.2.5	Izvedba nastavljivega ojačanja	113
5.3	Integrator s CDS ničanjem	114
5.3.1	CDS ničanje šuma	114
5.3.2	Šum operacijskega ojačevalnika	116
5.3.3	Šum SC stopnje	120
5.4	Predojačevalnik tokovnega kanala	122
5.4.1	Odstranjevanje nične napetosti s sekanjem signala	124
5.5	Sekanje signala celotne tokovne signalne verige	126

5.6	Sinhroni primerjalnik	128
5.7	Generator krmilnih signalov stikal	131
5.8	Protizgibni vhodni filter	134
5.9	Literatura k 5. poglavju	134
6	MULTIPLEKSIRANA VHODNA STOPNJA TRIFAZNEGA ŠTEVCA	137
6.1	Vpliv multipleksiranja na merjeni signal	139
6.2	Princip počasnega multipleksiranja	142
6.3	Princip hitrega multipleksiranja sigma-delta signalov	147
6.4	Digitalne multipleksirane strukture	149
6.5	Dinamična poraba digitalnih multipleksiranih struktur	151
6.6	Multipleksiranje analogne vhodne stopnje	153
6.7	Injeciranje naboja v integracijske kondenzatorje	155
6.8	Generacija neprekrivnih signalov multipleksiranega sistema	157
6.9	Literatura k 6. poglavju	159
7	REZULTATI	161
7.1	Simulacije operacijskega ojačevalnika	161
7.2	Simulacije SC vhodne stopnje	167
7.3	Simulacije sinhronnega primerjalnika	172
7.4	Šumne razmere v integratorju	174
7.5	Šumna analiza predojačevalnika	180
7.6	Model vhodnega šuma z Gaussovim šumnim generatorjem	181
7.7	Literatura k 7. poglavju	182
8	IZVEDBA ENOFAZNEGA INTEGRIRANEGA VEZJA V 0.35 μm TEHNOLOGIJI CMOS	183
8.1	Testiranje vezja	185
8.2	Eksperimentalni rezultati	187
8.3	Literatura k 8. poglavju	193

9	IZVEDBA MULTIPLEKSIRANEGA INTEGRIRANEGA VEZJA V 0.35 μm TEHNOLOGIJI CMOS	194
9.1	Eksperimentalni rezultati	195
10	SKLEP	200
10.1	O predstavljenem delu	200
10.2	Sklep	202
10.3	Možnosti za nadaljnje delo	202
	IZVIRNI PRISPEVKI K ZNANOSTI	204

Seznam uporabljenih kratic

CDS	Korelirano dvojno vzorčenje (correlated double sampling)
DFA	Polni seštevalnik delta signalov (delta full adder)
DSP	Digitalno procesiranje signalov (digital signal processing)
FFT	Hitra Fourirjeva transformacija (fast Fourier transform)
FIR	Končni impulzni odziv (finite impulse response)
FS	Polno območje vhodnega signala (full scale)
FPGA	Field programmable gate array
OSR	Razmerje prevzorčenja (oversampling ratio)
OTP	Enkratno programabilen (one time programmable)
RMS	Koren srednje kvadratične vrednosti (root mean square)
SC	Vezje stikalo-kondenzator (switched capacitor)
SD	Sigma-delta
SPI	Serijsko periferno vodilo (serial peripheral bus)
SR	Izhodna odzivnost ojačevalnika (slew-rate)
SNR	Razmerje signal-šum (signal to noise ratio)
SNDR	Razmerje signal-šum s popačenjem (signal to noise and distortion ratio)
TDM	Časovno multipleksiranje (time division multiplex)
THD	Skupno harmonsko popačenje (total harmonic distortion)
USB	Univerzalno serijsko vodilo (universal serial bus)

Seznam uporabljenih simbolov

A_0	Odprtozančno ojačanje operacijskega ojačevalnika v integratorju
A_d	Diferencialno ojačanje operacijskega ojačevalnika
A_{in}	Amplituda vhodnega signala v modulator
A_v	Napetostno ojačanje diferencialne stopnje
B	Ekvivalentna šumna pasovna širina
β_i	Faktor povratne vezave integratorja v fazi integriranja
β_s	Faktor povratne vezave integratorja v fazi vzorčenja
C_C	Kompenzacijski kondenzator
C_{eq}	ekvivalentna kapacitivnost veje
C_L	Bremenska kapacitivnost
C_I	Integracijski kondenzator
C_{inp}	Vzorčevalni kondenzator v signalni veji
C_{ox}	Kapacitivnost oksida pod krmilno elektrodo
C_{ref}	Vzorčevalni kondenzator v referenčni veji
C_z	Konstanta števca električne energije
Δ	Območje vhodnega signala brez prekrmljenja kvantizatorja
e	Pogrešek meritve
$\bar{e}$	Povprečna napaka vzorca meritev
e_n	Napaka kvantizatorja
e_{rms}^2	Srednja kvadratična vrednost šuma v območju Δ
f_0	Zgornja frekvenčna meja signalnega pasu
f_{clk}	Frekvenca takta digitalnih struktur
f_D	Decimacijska frekvenca
f_K	Zgornja mejna frekvenca $1/f$ šuma
f_p	Frekvenca pola protizgibnega filtra
f_s	Frekvenca vzorčenja
f_{sig}	Frekvenca signala
f_t	Mejna frekvenca ojačanja operacijskega ojačevalnika
γ	Koeficient učinka substrata (body effect)
φ	Fazni kot med merjenim tokom in merjeno napetostjo v sistemu
g_0	Ojačanje integratorja pri nizkih frekvencah
g_{ds}	Malosignalna konduktanca kanala MOS transistorja
g_m	Malosignalna transkonduktanca MOS transistorja
g_{mb}	
I_n	Nazivni tok sistema
I_{max}	Maksimalni tok sistema
$\hat{I}_K$	Amplituda K-te harmonske komponente tokovnega signala
I_{ss}	Mirovni tok diferencialne stopnje
L	(2) Dolžina krmilne elektrode MOS transistorja
L	(7) Število kanalov multiplekserja
λ	Koeficient modulacije kanala
N	Število izmerjenih vzorcev
N_{OpAmp}	Ekvivalentna šumna moč operacijskega ojačevalnika

N_{SW}	Ekvivalentna šumna moč SC vezja
$\bar{P}$	Povprečna moč v časovni periodi T
p_0	Kotna frekvenca dominantnega pola
p_{cl}	Kotna frekvenca dominantnega pola v zaprti zanki
P_e	Moč kvantizacijskega šuma v signalnem pasu
P_s	Moč sinusnega signala
P_T	Ekvivalentna šumna moč termičnega šumnega vira
PM_d	Fazna varnost operacijskega ojačevalnika v diferencialnem načinu
Q_{ch}	Naboj kanala MOS transistorja
R	Red decimacijskega filtra
R_{eq}	Ekvivalentna upornost veje
R_{DS}	Upornost kanala MOS transistorja
R_{out}	Izhodna upornost kaskode
ρ_i	Statična napaka povratne vezave integratorja v fazi integriranja
ρ_s	Statična povratne vezave integratorja v fazi vzorčenja
$S(f)$	Močnostna gostota šumnega vira
S_{th0}	Močnostna gostota širokopasovnega termičnega šuma ojačevalnika
SNR_{max}	Maksimalno razmerje signal/šum
σ_e	Koren srednje kvadratične vrednosti napake vzorca meritev
t_d	Čas linearnega spreminjanja izhoda ojačevalnika
t_f	Čas spusta signala
T_H	Čas držanja signala
T_M, M	Perioda in število vzorcev cikla multipleksiranja
T_N, N	Perioda in število vzorcev multipleksiranega kanala
t_r	Dvižni čas signala
T_S	Čas vzorčenja signala
θ_i	Preostala napaka prehodnega pojava integriranja
θ_s	Preostala napaka prehodnega pojava vzorčenja
U_n	Nazivna napetost sistema
$\hat{U}_K$	Amplituda K-te harmonske komponente napetostnega signala
$V_{in,FS}$	Napetost maksimalnega dosega vhodnega signala
$V_{N(rms)}$	Koren srednje kvadratične vrednosti ekvivalentnega vhodnega šumnega generatorja
V_{OpAmp}	Nivo šuma operacijskega ojačevalnika v signalnem pasu
$V_{out,CM}$	Izhodna napetost skupnega načina
$V_{SW,dif}$	Nivo šuma SC vezja v signalnem pasu
V_{th0}^2	Močnostna gostota širokopasovnega termičnega šuma ojačevalnika
W	⁽²⁾ Širina krmilne elektrode MOS transistorja
W	⁽³⁾ Energija v časovni periodi T
W_{DUT}	Izmerjena energija
W_{ref}	Referenčna izmerjena energija
ω_0	Kotna frekvenca signala
ω_t	Kotna mejna frekvenca ojačanja operacijskega ojačevalnika

Seznam slik

Slika 1: Polisilicijev plastni upor	6
Slika 2: Napetostna odvisnost difuzijskega upora	7
Slika 3: Struktura MOS transistorja	9
Slika 4: Elementi nizkofrekvenčnega malosignalnega MOS modela	13
Slika 5: Kapacitivnosti v MOS transistorju	13
Slika 6: Vzorčevalno vezje	15
Slika 7: Dodajanje elementov na robovih strukture	17
Slika 8: Slika common-centroid strukture	17
Slika 9: Diferencialna stopnja	20
Slika 10: VF malosignalna shema diferencialne stopnje	21
Slika 11: Kaskodna stopnja	23
Slika 12: Izračun izhodne upornosti kaskode	23
Slika 13: VF malosignalna shema kaskodne stopnje	24
Slika 14: Sigma-delta modulator 1. reda in njegov linearni model	28
Slika 15: Kvantizacijska napaka dvonivojskega kvantizatorja	30
Slika 16: Ekvivalentna modela sigma-delta modulatorja 1. reda	33
Slika 17: Amplitudni spekter moduliranega signala pri vhodnem signalu 0.001 FS	36
Slika 18: Amplitudni spekter moduliranega signala pri izmeničnem vhodnem signalu z dodano enosmerno komponento	37
Slika 19: Vpliv nične napetosti signalne verige na amplitudno napako osnovne frekvenčne komponente vhodnega signala	38
Slika 20: Vpliv nične napetosti signalne verige na amplitudno napako osnovne frekvenčne komponente vhodnega signala pri dodanem vhodnem šumu s $\sigma_{in} = 0.002$ FS	39
Slika 21: Linearni model sigma-delta modulatorja 1. reda	41
Slika 22: Linearni model sigma-delta modulatorja 2. reda	42
Slika 23: SC izvedba sigma-delta modulatorja	44
Slika 24: K izračunu vpliva neidealnosti elementov	45
Slika 25: SNDR krivulja sigma-delta modulatorja 1. reda pri različnih ojačanjih operacijskega ojačevalnika	47
Slika 26: SNDR krivulje sigma-delta modulatorja 1. reda pri različnih frekvencah dominantnega pola	49
Slika 27: Časovni odziv ojačevalnika na vhodno stopnico pri različnih SR	50
Slika 28: SNDR krivulje sigma-delta modulatorja 1. reda pri različnih SR operacijskega ojačevalnika	51
Slika 29: Vpliv injeciranja naboja	53
Slika 30: K izračunu šuma vzorčevalnega SC vezja	57
Slika 31: Polni seštevalnik delta signalov	61
Slika 32: Štirikvadrantni množilnik sigma-delta signalov	63
Slika 33: Digitalni sigma-delta integrator	65
Slika 34: Obremenilne krivulje števecv električne energije s podanimi mejami, $I_n = 2$ A	73
Slika 35: Histogram šuma po množenju dveh sinusnih signalov z dodanim šumom	77
Slika 36: Potek napake e v času	79
Slika 37: Amplitudni spekter izhoda modulatorja pri sinusnem signalu $A_{in} = 0.001$ FS	80
Slika 38: Amplitudni spekter izhoda modulatorja v napetostnem kanalu pri sinusnem vhodnem signalu z amplitudo $A_{in} = 0.9$ FS	81
Slika 39: Amplitudni spekter izhoda modulatorja v tokovnem kanalu pri sinusnem vhodnem signalu z amplitudo $A_{in} = 0.001$ FS	82
Slika 40: Amplitudni spekter izhoda modulatorja pri sinusnem signalu $A_{in} = 0.001$ FS z dodanim šumom	85
Slika 41: Normirani histogram napake na 50 Hz komponenti	86
Slika 42: Osnovni bloki digitalnega števca električne energije	87
Slika 43: Histogram napak odčitane energije	89
Slika 44: Struktura popolnoma diferencialnega ojačevalnika	93
Slika 45: Pol-vezje diferencialnega vezja ojačevalnika	95
Slika 46: Vpliv C_{gs} na vhodno kapacitivnost	98

Slika 47: Vpliv C_{gd} na vhodno kapacitivnost	99
Slika 48: Ojačevalnik sofazne povratne zanke	101
Slika 49: Signalna veja vhodnega SC vezja	107
Slika 50: Nadomestno vezje vzorčne veje v fazi F_1	108
Slika 51: Referenčna veja vhodnega SC vezja	110
Slika 52: Nadomestno vezje referenčne veje v fazi F_1	111
Slika 53: Izvedba nastavljivega ojačanja v integratorju	113
Slika 54: Integrator s CDS ničanjem	114
Slika 55: Mostiček uporov predojačevalnika	122
Slika 56: Moduliranje $1/f$ šuma s sekanjem signala	124
Slika 57: Sekanje signala vhodne stopnje operacijskega ojačevalnika	125
Slika 58: Sekalnik signala celotne signalne verige	127
Slika 59: Sinhroni primerjalnik	129
Slika 60: Vezje za generacijo neprekrivanih signalov	131
Slika 61: Krmilni signali faz F_1 in F_2	132
Slika 62: Preklop stanj sekalnika	132
Slika 63: Generacija krmilnih signalov stikal	133
Slika 64: Generator zakasnitvenega signala	133
Slika 65: Protizgibni vhodni filter	134
Slika 66: Multipleksirani integrator z eno signalno vejo	137
Slika 67: Multipleksirani integrator z več signalnimi vejami	138
Slika 68: Počasno multipleksirano vzorčenje	139
Slika 69: Amplitudni spekter multipleksiranega vzorčenja pri $L = 4$, $N = 256$, $f_{vz} = 512$ kHz.	141
Slika 70: Uteži sinc^2 filtra za $N = 8$	143
Slika 71: Počasno 4-kanalno multipleksiranje z neprekrivnim sinc^2 decimacijskim filtrom	143
Slika 72: Amplitudni spekter s prekrivnim sinc^2 filtrom	144
Slika 73: Amplitudni spekter z neprekrivnim sinc^2 filtrom	144
Slika 74: Amplitudni spekter izhoda decimatorja multipleksiraneg sigma-delta modulatorja 1. reda pri $L = 2$	146
Slika 75: Amplitudni spekter izhoda decimatorja multipleksiranega sigma-delta modulatorja 1. reda pri $L = 4$	146
Slika 76: Hitro multipleksirano vzorčenje	147
Slika 77: Multipleksirani integrator s primerjalnikom in izhodnimi registri	148
Slika 78: 4-kanalna multipleksirana pomnilna celica	150
Slika 79: Tristanjski inverter	150
Slika 80: Generator krmilnih impulzov multipleksne pomnilniške celice	151
Slika 81: Krmilni impulzi multipleksirane pomnilniške celice	151
Slika 82: Simulacija prečnih tokov pomnilniške celice	152
Slika 83: Predojačevalnik vhodne stopnje pri hitrem multipleksiranju vhodov	154
Slika 84: Nesimetrično vzorčenje signala predojačevalnika	154
Slika 85: Zmanjšanje injeciranja naboja v integracijske kondenzatorje	156
Slika 86: Krmiljenje stikal integracijskih kondenzatorjev	157
Slika 87: Vezje za generacijo neprekrivnih krmilnih signalov multipleksiranega integratorja	158
Slika 88: Vezje za generacijo multipleksiranih krmilnih signalov signalne veje	158
Slika 89: Krmilni signali posameznih vzorčevalnih vej	159
Slika 90: Struktura popolnoma diferencialnega ojačevalnika	162
Slika 91: Simulacijsko okolje operacijskega ojačevalnika	164
Slika 92: Tranzientna analiza operacijskega ojačevalnika	165
Slika 93: Izmenična analiza operacijskega ojačevalnika	166
Slika 94: Ocena vpliva injeciranega naboja SC vezja	167
Slika 95: Simulacija vpliva injeciranega naboja SC vezja	168
Slika 96: Simulacija temperaturne odvisnosti vhodnega SC vezja	169
Slika 97: Prehodni pojav pri vklopu vhodnih stikal	170

Slika 98: Prehodni pojav pri vklopu izhodnih stikal	171
Slika 99: Sinhroni primerjalnik	172
Slika 100: Potek signalov pri proženju sinhronnega primerjalnika	173
Slika 101: Osnovna in nekaj zgibnih prevajalnih funkcij ničanja CDS	175
Slika 102: Gostota šumne moči termičnega šuma po ničanju CDS	176
Slika 103: Gostota šumne moči $1/f$ šuma po ničanju CDS	177
Slika 104: Gostota šumne moči skupnega šuma po vzorčenju	178
Slika 105: Mikrofotografija analognega vhodnega vezja	183
Slika 106: Elementi sistema za zajem signala SD modulatorja	185
Slika 107: Uporabniški vmesnik programa za testiranje integriranih vezij	186
Slika 108: Merilna shema testiranja prototipnega enofaznega števca električne energije	187
Slika 109: Testno vezje z dvokanalnim tokovnim vhodom in generatorjem V_{otp}	188
Slika 110: Obremenilna krivulja števca pri merjenju delovne energije	190
Slika 111: Obremenilna krivulja števca pri merjenju jalove energije	191
Slika 112: Frekvenčna odvisnost pogreška izmerjene energije pri različnih bremenskih tokovih	192
Slika 113: Odvisnost pogreška izmerjene energije od priključene napetosti	193
Slika 114: Mikrofotografija multipleksiranega analogno-digitalnega pretvornika	194
Slika 115: Obremenilna krivulja multipleksiranega modulatorja v fazi R pri ojačanju 32	195
Slika 116: Obremenilna karakteristika multipleksnega modulatorja v R fazi pri ojačanju 8	196
Slika 117: Vpliv napetosti sosednjih faz trifaznega sistema na pogrešek izmerjene energije v fazi T	197
Slika 118: Vpliv tokov sosednjih faz trifaznega sistema na pogrešek izmerjene energije v fazi T	198
Slika 119: Napetostna odvisnost pogreška izmerjene energije v fazi T	199

Seznam tabel

Tabela 1: Lastnosti difuzijskih in plastnih uporov v VLSI vezjih	6
Tabela 2: Simulacijski pogoji analize vplivov neidealnosti integratorja	46
Tabela 3: Simulirana frekvenčna odvisnost napake	66
Tabela 4: Simulirana amplitudna napaka na 50Hz frekvenčni komponenti	84
Tabela 5: Vpliv različnih nivojev dodanega šuma	86
Tabela 6: Rezultati simulacije pri različnih amplitudah tokovnega kanala	88
Tabela 7: Rezultati simulacij pri različnih nivojih vhodnega šuma	88
Tabela 8: Optimalne velikosti transistorjev operacijskega ojačevalnika	104
Tabela 9: Ostale lastnosti operacijskega ojačevalnika	105
Tabela 10: Stanja NOR SR flip-flopa	130
Tabela 11: Vpliv različnih nivojev dodanega šuma na kvantizacijsko napako 50 Hz komponente	147
Tabela 12: Zahtevane lastnosti operacijskega ojačevalnika	161
Tabela 13: Optimalne velikosti transistorjev operacijskega ojačevalnika	163
Tabela 14: Lastnosti operacijskega ojačevalnika	163
Tabela 15: Podatki pri izračunu šumnih razmer integratorja	174
Tabela 16: Prispevek šumnih virov ojačevalnika k gostoti šumne moči integratorja	178
Tabela 17: Prispevek šumnih virov SC vezja k gostoti šumne moči integratorja	179
Tabela 18: Gostota šumne moči integratorja, preračunana na vhod integriranega vezja	179
Tabela 19: Gostota šumne moči predojačevalnika, preračunana na vhod integriranega vezja	180
Tabela 20: RMS vrednost ekvivalentnega vhodnega šumnega vira v frekvenčnem pasu $0 - f/2$	181
Tabela 21: Normiran vhodni šum sigma-delta modulatorja	181
Tabela 22: Vpliv različnih nivojev dodanega šuma	182
Tabela 23: Parametri meritve prototipnega števca	189
Tabela 24: Parametri meritve prototipnega multipleksiranega vezja pri ojačanju 32	196

1 UVOD

1.1 Merjenje električne energije

Porabo električne energije merimo na mestu odjema energije iz javnega električnega omrežja s števci električne energije. Običajno so odjemalci z manjšimi priključnimi močmi (gospodinjski odjem posameznih stanovanj v večstanovanjskem bloku, manjše individualne hiše) priključeni na enofazni odjem, odjemalci z večjo priključno močjo (tako gospodinjski, kot industrijski odjem) pa so na elektrodistribucijsko omrežje priključeni s trifaznim odjemom. Tema dvema tipoma priključitve sta namenjena dva različna tipa števca električne energije – enofazni števec in trifazni števec.

Uvedba elektronskega števca električne energije je omogočila nove možnosti zajema in obdelave merjenih električnih veličin. Ločeno merjenje toka v vodniku in napetosti na porabniku z analogno-digitalnim pretvornikom je odprlo pot digitalni obdelavi signalov, ki s klasičnim elektromehanskim števcem, oziroma z elektronskim števcem na osnovi Hallovega elementa ni bila mogoča.

Sodobni števci električne energije poleg osnovnega merjenja porabljene delovne energije omogočajo tudi izračun jalove in navidezne energije v posamezni fazi sistema, izračun efektivnih vrednosti toka in napetosti, pojavljajo pa se tudi zahteve po harmonski analizi merjenih napetosti in tokov. Z dodatnim merjenjem toka v ničelnem vodniku elektronski števci zagotavljajo tudi določeno zaščito proti kraji električne energije.

Vsa dodana funkcionalnost pa komplicira izvedbo števca. Z dodano tarifno napravo, komunikacijskim modulom, LCD zaslonom in nadzornim mikroprocesorjem, postane števec kompleksen sistem za zajem, obdelavo in posredovanje merjenih veličin. Seveda mora biti vsa ta funkcionalnost izvedena na čim cenejši način, brez degradacije točnosti in skrajšanja življenjske dobe števca. Le pod takšnimi pogoji je izdelan števec še lahko konkurenčen na trgu.

1.2 Tehnologija CMOS

Tehnologija CMOS izdelave integriranih vezij je danes izredno razširjena in izpopolnjena. Množica proizvajalcev ponuja množično proizvodnjo uporabniško načrtanih integriranih vezij (ASIC, application specific integrated circuit) po zelo konkurenčnih cenah, deloma tudi zaradi napredka na področju tehnologije izdelave integriranih vezij, ki omogoča vedno manjše osnovne gradnike integriranega vezja. Zaradi ničelnega vhodnega toka v krmilna vrata in kratkih preklopnih časov transistorjev porabijo osnovna logična vezja zelo malo energije, to pa hkrati z manjšanjem osnovnih gradnikov omogoča zelo veliko integracijo elementov.

Transistorji v tehnologiji CMOS imajo takšne lastnosti, da omogočajo izdelavo analognih vezij. Z MOS transistorji lahko sestavimo operacijske ojačevalnike z zelo visoko vhodno upornostjo, zaradi česar se kondenzatorji, priključeni na takšne vhode, ne praznijo. MOS transistorje lahko uporabimo kot stikala, ki imajo ob izklopu prav tako zelo visoko upornost. Sodobni analogni CMOS procesi omogočajo izdelavo več različnih tipov kondenzatorjev, s kapacitivnostjo od nekaj 100 fF pa vse do nekaj 10 pF, z natančno definiranimi medsebojnimi geometrijami. Takšni kondenzatorji so še posebej pomembni pri raznih SC (switched capacitor) vezjih. Z dodatnimi plastmi lahko izdelamo upore vseh velikostnih razredov, od difuzijskih uporov z upornostjo nekaj ohmov, do uporov z upornostjo nekaj $M\Omega$, ki jih izvedemo v plasti polisilicija z visoko plastno upornostjo. V tehnologiji CMOS, oziroma v razširjeni tehnologiji BiCMOS, lahko izdelamo tudi diode in bipolarne transistorje, vendar ti elementi v teh tehnologijah nimajo tako dobrih lastnosti, kot v pravih bipolarnih tehnologijah.

Tehnologija CMOS je v preteklih desetletjih začela prevladovati tudi pri analognih integriranih vezjih, saj je prav tako kot v digitalnem, tudi v analognem svetu osnova za cenena in zmogljiva vezja. Čeprav imata bipolarna in GaAs tehnologija še vedno svojo tržno nišo, je CMOS proces z možnostjo integracije tako analognih, kot digitalnih vezij na istem substratu, postal edini način za cenovno ugodno realizacijo kompleksnih mešanih analogno-digitalnih integriranih sistemov.

Hkrati z razvojem tehnologije je napredovala tudi metodologija načrtovanja analognih vezij. Vezja, kjer nekaj deset transistorjev pri relativno visoki napetosti in ob veliki porabi energije obdeluje predvsem zvezne signale majhnih amplitud, so postopoma nadomestila vezja, ki pri nizki napetosti in pri majhni porabi energije obdelujejo diskretne signale relativno visokih amplitud.

Našteti razlogi so vplivali na odločitev, da integrirano vezje števca električne energije izvedemo v tehnologiji CMOS, saj je vodilo množične proizvodnje v pogojih popolne konkurence, ob zagotovljeni kakovosti in življenjski dobi, predvsem cena končnega izdelka.

Pri odločitvi za tehnologijo CMOS smo izhajali iz naslednjih kriterijev:

- Konkurenčna cena izdelave integriranega vezja v velikih količinah, hkrati pa možnost izbire med več proizvajalci (tudi kot drugi vir, »second source«)
- Možnost integracije analognega in digitalnega dela na istem vezju
- Majhna poraba energije
- Nizka napajalna napetost, kar hkrati z majhno porabo energije omogoča izdelavo cenejšega napajalnika
- Možnost integracije celotnega sistema v sistem na integriranem vezju

1.3 Problemi sistema na integriranem vezju

Razvojem na področju mikroelektronike z manjšanjem transistorjev omogočil, da sistem, zgrajen iz več ločenih integriranih vezij, združimo na enem samem integriranem vezju. Takšno integrirano vezje predstavlja zaključen sistem v malem, vsebuje pa tako procesor, več tipov pomnilnika, vhodno-izhodne enote, uporabniško načrtane digitalne in analogne podsklope, ne nazadnje pa lahko sistem vsebuje tudi kompletno sistemsko programsko opremo.

Korak k »sistemu na integriranem vezju« – System on a Chip (SoC) je združitev funkcij zajema in obdelave merjenih veličin na enem samem analogno-digitalnem integriranem vezju. S tem pristopom razbremenimo osrednji mikroprocesor, ki tako prevzame le vlogo upravitelja sistema, v nekaterih izvedbah števec z mehanskim številčnikom pa je možno tudi samostojno delovanje takšnega merilnega vezja brez podpore mikroprocesorja.

Pri realizaciji sistema na integriranem vezju se srečamo z naslednjimi problemi:

a) velik vpliv šuma digitalnega dela na merilni del

Množica digitalnih preklopnih elementov povzroča šum, ki se prenaša po skupnem substratu integriranega vezja, ta šum pa moti delovanje občutljivih analognih sklopov. Tokovni sunki, ki jih povzročajo preklopi CMOS celic na napajalnih linijah, prav tako vplivajo na delovanje analognih sklopov. Pri zasnovi sistema zato uvedemo arhitekture z zmanjšano generacijo šuma v digitalnem delu, v analognem delu pa vpliv digitalnega šuma zmanjšamo z diferencialnimi strukturami vezij. Sodobne mikroelektronske tehnologije omogočajo medsebojno ločitev posameznih sklopov z uvedbo električno ločenih »otočkov« na skupnem substratu, najnovejše tehnologije silicija na izolatorju (silicon on insulator – SoI) pa lahko ta problem skoraj v celoti odpravijo.

b) visoka poraba energije

Množica digitalnih elementov porabi relativno veliko energije, večja poraba energije pa zahteva močnejši in s tem kompleksnejši napajalnik. Integrirano vezje naj zato omogoča izključitev trenutno neaktivnih sklopov, tako v digitalnem, kot tudi v analognem delu.

c) prostorske zahteve na integriranem vezju

Analogni deli vezja zasedajo relativno veliko prostora, večkanalno merjenje pa porabo prostora še poveča. Z uvedbo multipleksiranja posameznih kanalov na digitalnem in analognem delu lahko zmanjšamo tako porabo prostora, kot porabo energije, s tem pa zmanjšamo tudi šum v vezju.

d) nepraktična funkcionalna simulacija celotnega analogno-digitalnega sistem

Funkcionalna simulacija sistema s klasičnimi analognimi simulatorji in digitalnimi simulatorji na nivoju logičnih vrat (verilog, VHDL) postane pri kompleksnih vezjih, sestavljenih iz množice elementov, precej nepraktična. Ena od možnosti je modeliranje delovanja celotnega vezja v C++, takšen opis pa s prevajalnikom prevedemo direktno v optimizirano strojno kodo procesorja, na katerem poganjamo simulacijo.

2 OSNOVE NAČRTOVANJA VLSI VEZIJ

2.1 *Pasivni elementi v MOS tehnologiji*

Upor in kondenzator sta elementa s širokim področjem uporabe pri načrtovanju analognih vezij, zato je zaželeno, da izbrani CMOS proces omogoča tudi izdelavo pasivnih elektronskih komponent. Žal pa najnovejše generacije podmikronskih tehnologij CMOS na začetku ne omogočajo izdelave zmogljivih analognih vezij. Zadnje generacije tehnologije CMOS so v prvi vrsti namenjene izdelavi digitalnih vezij, ponujajo pa le optimizirane PMOS in NMOS transistorje. Lahko traja več let in več nadgradenj procesa, da novi CMOS proces v popolnosti omogoči izdelavo pasivnih elektronskih komponent, s takšnim dodatkom pa proces postane t.im. »analogni proces«. Kljub temu pa načrtovalci analognih vezij tvegajo, da se lastnosti pasivnih elektronskih elementov drastično spremenijo praktično čez noč.

Povsem digitalni procesi v določeni meri omogočajo izdelavo nekaterih analognih sklopov, vendar le z uporabo posebnih uporabniško načrtanih struktur. Problem pri takšnem pristopu pa je variabilnost parametrov načrtanih struktur, saj v standardnem digitalnem procesu takšne strukture niso predvidene.

2.1.1 Upor

Uveljavljeni analogni procesi ponujajo več vrst uporov [1, str. 645-650], ki se medsebojno razlikujejo po plastni upornosti kvadrata, temperaturni odvisnosti, linearnosti in medsebojni skladnosti (matching) sosednjih elementov. Upore v grobem delimo na plastne upore, kamor štejemo razne vrste polisilicijevih plastnih uporov, in difuzijske upore, kjer je upor izveden v enem od $n+$ ali $p+$ aktivnih področij, oziroma v n -well področju.

upor	tip	upornost R_{sh}	napetostna odvisnost	temperaturna odvisnost	medsebojno ujemanje
NPLUS	difuzijski	srednja	nizka	srednja	dobro
P-body	difuzijski	visoka	srednja	srednja	dobro
LV/HV N-well	difuzijski	visoka	srednja	srednja	dobro
Silicided N+ Poly	plastni	nizka	zanemarljiva	srednja	slabo
Unsilicided N+ Poly	plastni	srednja	zanemarljiva	majhna	slabo
Unsilicided P+ Poly	plastni	srednja	zanemarljiva	majhna	slabo
Unsilicided HIPO Poly	plastni	visoka	zanemarljiva	srednja	slabo

Tabela 1: Lastnosti difuzijskih in plastnih uporov v VLSI vezjih

2.1.1.1 Plastni upor

V CMOS procesih polisilicij tvori krmilno elektrodo MOS transistorjev, v samoporavnanem (self-aligned) CMOS procesu, kjer področja izvora in ponora dopiramo šele po izdelavi krmilne elektrode, pa polisilicij dopiramo še s P, oz N dopantom. S tem dodatno znižamo upornost polisilicija na nekaj $100 \Omega/\square$, odvisno od dopantov v procesu. Sodobni digitalni CMOS procesi še dodatno znižajo upornost polisilicija (s katerim izdelamo krmilno elektrodo) s pomočjo dodatne tanke plasti titanovega silicida ali volframa, nanesene vrh polisilicija. Takšna plast, imenovana »silicidna plast« zniža upornost polisilicija na nekaj $10 \Omega/\square$. Čisti digitalni CMOS proces brez dodatnih mask tako omogoča samo izdelavo polisilicijevih plastnih uporov z upornostjo nekaj $10 \Omega/\square$. Omenimo še upornosti metalnih kovinskih povezovalnih plasti z upornostjo nekaj $10 \text{ m}\Omega/\square$, vendar teh plasti za izvedbo uporov v analognem svetu ne uporabljamo.

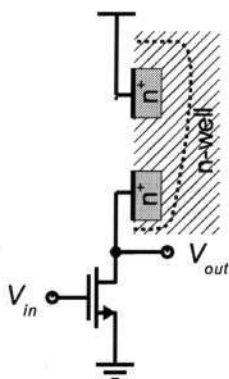


Slika 1: Polisilicijev plastni upor

Analogni CMOS procesi dodajo digitalnemu CMOS procesu nekaj dodatnih mask, s katerimi lahko izvedemo linearne upore večjih upornosti. Glede na to, da lahko upornost silicidne plasti odstopa tudi do $\pm 50\%$ se upori s silicidno plastjo le redko uporabljajo v analognih vezjih. Z dodatno masko lahko preprečimo nanos silicida na polisilicij, s čimer dobimo strukturo, prikazano na sliki 1, lahko pa dodamo posebno plast šibko dopiranega polisilicija (t.i. hiPoly), s katero izvedemo plastne upore z upornostjo nekaj $k\Omega/\square$.

2.1.1.2 Difuzijski upor

Pri izdelavi difuzijskih uporov v CMOS procesu izvedemo upore v področju n+ ali p+difuzije, v n-well procesu pa imamo dodatno na voljo še področje n-well difuzije. N-well difuzija nam s tipično plastno upornostjo $1k\Omega/\square$ omogoča izdelavo uporov z višjo upornostjo, vendar se lahko upornost zaradi parametrov procesa med posameznimi rezinami spreminja tudi za nekaj deset odstotkov.



Slika 2: Napetostna odvisnost difuzijskega upora

Slabost difuzijskih uporov sta predvsem njihova napetostna odvisnost oz. nelinearnost, ki je posledica tvorbe osiromašenega področja med substratom in telesom upora. S spreminjanjem napetosti na uporu se spreminja tudi širina osiromašenega področja, to pa s spreminjanjem debelino telesa upora d (slika 2) in s tem upornost upora R (enačba 2.1). S spreminjanjem debeline osiromašene plasti se spreminja tudi dokaj velika parazitna kapacitivnost takšnega upora.

$$R = \rho \frac{L}{Dd} \quad (2.1)$$

Če privzamemo, da sta substrat in telo upora homogeno dopirana, lahko iz enačb polprevodniškega spoja izpeljemo debelino osiromašene plasti x_R (enačba 2.2). Takšno enačbo lahko uporabimo zgolj kot približek, saj so plasti običajno dopirane nehomogeno, takšne enačbe pa niso vedno analitično rešljive. Poleg tega proizvajalci vezij profile dopiranja obravnavajo kot poslovno skrivnost, zato lahko napetostno odvisnost upora izračunamo le s pomočjo proizvajalčevih simulacijskih modelov. Debelina osiromašene plasti je odvisna od dopiranja substrata N_{SUB} , dopiranja telesa upora N_R , difuzijske napetosti diode PN spoja V_D in napetosti med uporom in substratom U_R .

$$x_R = \sqrt{\frac{2\epsilon}{q} \frac{N_{SUB}(V_D + U_R)}{N_R(N_R + N_{SUB})}} \quad (2.2)$$

Kljub nelinearnosti pa nekatere difuzijske upore uporabljamo v vezjih, kjer zahtevamo dobro medsebojno skladnost (matching) uporov. Vpliv nelinearnosti na signal zmanjšamo z uporabo vhodnih signalov nizkih amplitud, pri katerih se modulacija osiromašene plasti izraža v manjši meri.

2.1.2 Kondenzator

Z uvedbo dodatnih mask v CMOS procesih izvedemo nekaj različnih vrst kondenzatorjev [1, str. 650-653], z različnimi karakteristikami. Različni tipi kondenzatorjev se medsebojno razlikujejo po kapacitivnosti na enoto površine, parazitni kapacitivnosti proti substratu in nelinearnosti (napetostna odvisnost).

V analognih CMOS tehnologijah proizvajalci največkrat ponujajo »polisilicij-difuzija« tip strukture, saj lahko kondenzator s takšno strukturo izdelajo le z eno dodatno masko (dodatna maska n+ difuzije s katero izdelajo spodnjo ploskev kondenzatorja). Takšen kondenzator ima zaradi širjenja osiromašene plasti na meji med polisilicijem in oksidom ter zaradi širjenja osiromašene plasti na meji med difuzijo in oksidom, nekaj napetostne odvisnosti, ima tudi dokaj veliko parazitno kapacitivnost proti substratu, med 10 in 20 % lastne kapacitivnosti.

Nekateri CMOS procesi (proces z možnostjo izdelave EEPROM struktur) ponujajo strukture tipa »polisilicij-polisilicij«, ki zahtevajo dodatno masko in dodatne korake v procesu za izdelavo druge polisilicijeve plasti. Lastnosti takšnega kondenzatorja so približno enake kondenzatorju »polisilicij-difuzija«.

Napredni analogni CMOS procesi ponujajo kondenzatorje, izvedene s kapacitivnostjo med polisilicijem in kovinsko plastjo, oziroma med dvema kovinskima plastema. Obe izvedbi zahtevata dodaten nanos tankega oksida na spodnjo ploščo kondenzatorja. Dodatna plast silicida na polisiliciju preprečuje nastanek osiromašene plasti, zato lahko obe strukturi dosegata nelinearnosti reda nekaj ppm. Parazitna kapacitivnost polisilicijevega kondenzatorja je reda 10-20 % lastne kapacitivnosti, medtem ko je parazitna kapacitivnost kondenzatorja z dvema kovinskima ploščama le nekaj odstotkov lastne kapacitivnosti.

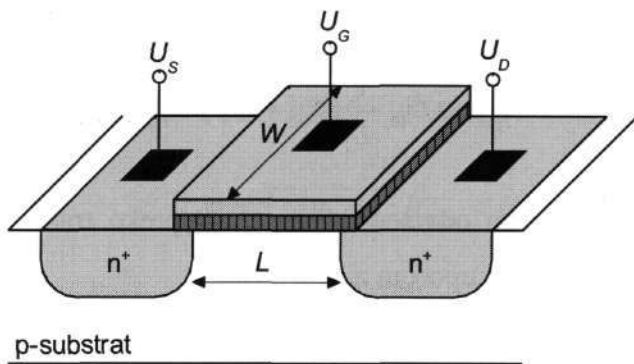
2.2 MOS transistor

2.2.1 Osnovne enačbe

Tok I_D v kanalu NMOS transistorja definira enačba [3],[4]:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(U_{GS} - U_T) U_{DS} - \frac{1}{2} U_{DS}^2 \right] \quad (2.3)$$

V enačbi (2.3) μ_n predstavlja mobilnost elektronov, C_{ox} kapacitivnost oksida pod krmilno elektrodo na enoto površine. Z W in L opišemo širino in dolžino področja pod krmilno elektrodo, U_{GS} je napetost krmilne elektrode proti izvoru, U_{DS} pa napetost ponora proti izvoru (slika 3).



Slika 3: Struktura MOS transistorja

Enačba (2.3) ima maksimum pri $\partial I_D / \partial U_{DS} = 0$, iz česar sledi $U_{DS} = U_{GS} - U_T$, s tem pa definiramo tok nasičenja:

$$I_{D\max} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (U_{GS} - U_T)^2 \quad (2.4)$$

S povečevanjem napetosti U_{DS} preko $U_{GS} - U_T$ preide transistor v področje nasičenja, inverzna plast pod krmilno elektrodo se pred ponorom prešči v točki $L' = L - \Delta L$. Za majhne ΔL lahko zapišemo:

$$\frac{1}{L - \Delta L} = \frac{1/L}{1 - \Delta L/L} \approx \frac{1 + \Delta L/L}{L} \quad (2.5)$$

Privzemimo odvisnost $\Delta L/L = \lambda V_{DS}$ in vstavimo L' v enačbo toka nasičenja (2.4):

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (U_{GS} - U_T)^2 (1 + \lambda U_{DS}) \quad (2.6)$$

V enačbi (2.6) označuje λ koeficient modulacije kanala. Modulacija kanala povzroči, da je naklon karakteristike toka nasičenja različen od nič, tok nasičenja je odvisen od relativne spremembe dolžine kanala pri podanem U_{DS} . Iz enačbe (2.5) sklepamo, da je λ za daljše kanale manjši.

V primeru, ko velja $U_{DS} \ll 2(U_{GS} - U_T)$, deluje transistor globoko v linearnem področju.

V tem primeru enačbo (2.3) poenostavimo v:

$$I_D \approx \mu_n C_{ox} \frac{W}{L} (U_{GS} - U_T) U_{DS} \quad (2.7)$$

Tok I_D v enačbi (2.7) je linearno odvisen od napetosti preko transistorja U_{DS} , zato lahko transistor nadomestimo z linearnim uporom z upornostjo:

$$R_{DS} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (U_{GS} - U_T)} \quad (2.8)$$

2.2.2 Učinek potenciala substrata (body effect)

V analizi delovanja NMOS transistorja smo U_T podali kot napetost, kjer je kanal invertiran, torej je »toliko n-tipa, kot je substrat p-tipa«. Ker smo predpostavili $U_{SB} = 0$ V, lahko zapišemo:

$$U_T = V_{MS} + 2V_F + \frac{Q_{dep}}{C_{ox}} \quad (2.9)$$

Pri tem V_{MS} označuje razliko potencialnih nivojev (difuzijsko napetost) krmilne elektrode in substrata, C_{ox} označuje kapacitivnost krmilne elektrode na enoto površine, Q_{dep} pa celoten naboj v osiromašenem področju:

$$Q_{dep} = \sqrt{4q\epsilon_{si}|V_F|N_{sub}} \quad (2.10)$$

V enačbah (2.9) in (2.10) V_F predstavlja potencialni nivo substrata:

$$V_F = (kT/q)\log(N_{sub}/N_i) \quad (2.11)$$

V primeru negativnega potenciala substratne sponke, mora naboj krmilne elektrode izničiti večji naboj v osiromašene plasti, preden se formira kanal. S tem, ko U_B pada, se povečuje Q_{dep} , po enačbi (2.9) pa tudi U_T . Spremembo U_T definira enačba (2.12):

$$U_T = U_{T0} + \gamma \left(\sqrt{|2V_F + U_{SB}|} - \sqrt{|2V_F|} \right) \quad (2.12)$$

Koeficient učinka potenciala substrata γ je s tem definiran:

$$\gamma = \sqrt{2q\epsilon_{si}N_{sub}} / C_{ox} \quad (2.13)$$

2.2.3 Enačbe malosignalnega MOS modela

Pri majhni spremembi napetosti priključkov MOS transistorja okrog delovne točke lahko model MOS transistorja za izmenične vhodne signale poenostavimo z njegovim malosignalnim modelom [2, str. 50-56]. Malosignalni MOS model je veljaven le za transistorje v področju nasičenja.

Malosignalni model idealnega MOS transistorja pri nespremenjenem U_{DS} izvedemo z napetostno krmiljenim tokovnim virom med izvorom in ponorom, krmiljenim z napetostjo med krmilno elektrodo in izvorom. Transkonduktanco g_m izračunamo iz enačbe (2.3):

$$g_m = \frac{\partial I_D}{\partial U_{GS}} = \mu_n C_{ox} \frac{W}{L} (U_{GS} - U_T) \quad (2.14)$$

Enačbi (2.14) in (2.3) združimo v:

$$g_m = \sqrt{\mu_n C_{ox} \frac{W}{L} I_D} \quad (2.15)$$

Zaradi modulacije dolžine kanala se I_D spreminja s spreminjanjem U_{DS} . Takšno zvezo lahko modeliramo z linearnim uporom, vezanim med ponorom in izvorom. Izhajamo iz enačbe (2.6):

$$r_o = \frac{1}{\partial I_D / \partial U_{DS}} = \frac{1}{\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (U_{GS} - U_T)^2 \lambda} \approx \frac{1}{\lambda I_D} \quad (2.16)$$

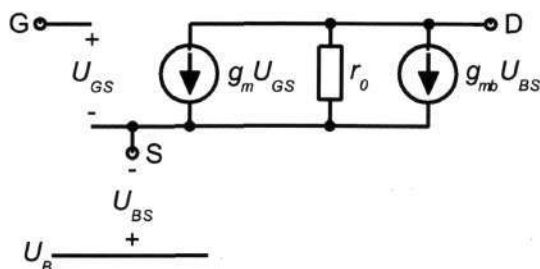
Modeliramo še vpliv substratnega potenciala U_{SB} na I_D . Izhajamo iz enačbe toka nasičenja (2.4) in enačbe učinka substrata (2.12):

$$g_{mb} = \frac{\partial I_D}{\partial U_{BS}} = \mu_n C_{ox} \frac{W}{L} (U_{GS} - U_T) \frac{\gamma}{2\sqrt{2V_F + U_{SB}}} \quad (2.17)$$

Enačbo (2.17) lahko poenostavimo z upoštevanjem enačbe (2.14):

$$g_{mb} = g_m \frac{\gamma}{2\sqrt{2V_F + U_{SB}}} = \eta \cdot g_m \quad (2.18)$$

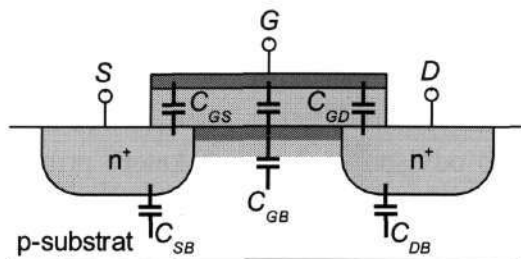
Enačba (2.18) kaže, da je napetostno krmiljen tokovni vir $g_{mb}U_{BS}$ vezan paralelno napetostno krmiljenim tokovnim virom $g_m U_{GS}$. Ker sta oba vira istega predznaka, lahko zaključimo, da ima dvigovanje potenciala krmilne elektrode isti učinek kot dvigovanje potenciala substrata. Slika 4 prikazuje vse elemente nizkofrekvenčnega malosignalnega MOS modela.



Slika 4: Elementi nizkofrekvenčnega malosignalnega MOS modela

2.2.4 Kapacitivnosti v MOS transistorju

Medsebojne kapacitivnosti priključkov MOS transistorja so odvisne od režima delovanja transistorja. C_{SB} in C_{DB} označujeta kapacitivnost zaporno polariziranega p-n spoja proti substratu. C_{GD} in C_{GS} označujeta kapacitivnosti do krmilne elektrode, obe pa se močno spreminjata glede na režim delovanja. Globoko v linearnem področju delovanja je kapacitivnost krmilne elektrode WLC_{ox} porazdeljena približno enako med C_{GD} in C_{GS} , v nasičenju pa C_{GD} zaradi učinka preščipnjenja kanala definira predvsem kapacitivnost prekrivanja krmilne elektrode z difuzijo ponora WC_{ov} . Kapacitivnost C_{GS} je v nasičenju zaradi razmer v kanalu in posledično nehomogenega električnega polja približno enaka $2WL_{eff}C_{ox}/3 + WC_{ov}$.



Slika 5: Kapacitivnosti v MOS transistorju

2.2.5 Šumni viri v MOS transistorju

V MOS transistorju sta prevladujoča šuma vira $1/f$ šum in termični šum [3, str. 332-345]. Termični šum je posledica upornosti kanala v aktivnem področju. V linearnem področju z upoštevanjem enačbe (2.8) termični šum izrazimo kot šum upora kanala R_{DS} :

$$\overline{I_n^2} = 4kTg_{ds} = \frac{4kT}{R_{DS}} \quad (2.19)$$

V enačbi (2.19) g_{ds} predstavlja konduktanco pri $U_{DS} = 0$ V, zato v tem primeru veljata tudi enačbi (2.7) in (2.8). Enačbi (2.8) in (2.14) kažeta, da pri transistorjih z dolgim kanalom velja enakost $g_m = 1/R_{ds} = g_{ds}$. Enačbo (2.19) lahko zapišemo tudi kot:

$$\overline{I_n^2} = 4kT\gamma g_m \quad (2.20)$$

Koeficient γ je odvisen od razmer v kanalu, saj pri transistorjih v nasičenju razmere v kanalu niso homogene. Koeficient ocenimo na vrednost $2/3$ za transistorje z dolgim kanalom, pri majhnih geometrijah se vrednost koeficienta povečuje.

Eden od razlogov za $1/f$ šum so razmere na meji med silicijem in silicijevim dioksidom. Na kristalni meji se atomi v silicijevem kristalu ne morejo pravilno povezati na svoje sosedje, zato se pojavijo dodatna energijska stanja v prepovedanem pasu polprevodnika. Na površini so prisotni atomi kisika, razne raze od poliranja, nečistoče in ostale nepravilnosti, vse to pa vpliva na naključne generacije in rekombinacije na kristalni meji. Takšni naključni pojavi povzročajo $1/f$ šum, ta šum pa modeliramo kot napetostni vir v seriji s krmilno elektrodo:

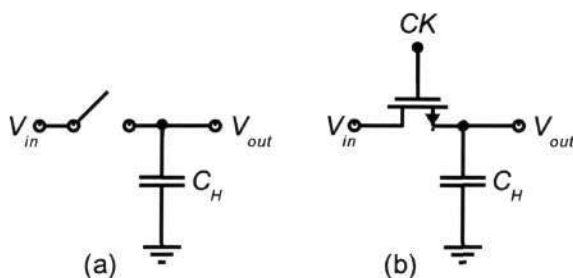
$$\overline{U_n^2} = \frac{K}{C_{ox}WL} \frac{1}{f} \quad (2.21)$$

V enačbi (2.21) je K procesno odvisna konstanta, s katero približno določimo šumno moč. Konstanta K je močno odvisna od parametrov procesa, razlikuje se že pri različnih šaržah istega procesa, lahko tudi med posameznimi elementi na isti rezini.

2.2.6 MOS transistor kot stikalo

MOS transistor lahko uporabimo kot stikalo zaradi dveh lastnosti [4]: (a) lahko je vključen, čeprav preko njega ne teče noben tok in (b) napetosti ponora in izvora nista vezani na napetost krmilne elektrode. Poleg tega tok preko MOS transistorja teče v obe smeri. Za razliko od MOS transistorja bipolarni transistorji nimajo teh lastnosti, zato izvedbe vzorčevalnih stikal z bipolarnimi transistorji potrebujejo kompleksna dodatna vezja.

Zaradi lastnosti MOS transistorjev lahko MOS stikala uporabimo kot stikala brez nične napetosti v »vzorči in drži« (sample and hold) vezjih (slika 6). Kadar je stikalo vključeno, izhodna napetost sledi vhodni napetosti, pri izključenem stikalu pa napetost na kondenzatorju ostane enaka vhodni napetosti v trenutku izklopa.



Slika 6: Vzorčevalno vezje

V primeru, ko vhodno napetost približamo krmilni napetosti, lahko razmere v vezju z NMOS transistorjem opišemo z enačbo:

$$C_H \frac{dV_{out}}{dt} = I_{D1} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DD} - V_{out} - U_T)^2 \quad (2.22)$$

Zanemarimo učinek potenciala substrata in privzemimo, da je izhodna napetost V_{out} v trenutku $t = 0$ enaka 0 V. Iz enačbe (2.22) izpeljemo:

$$V_{out} = V_{DD} - U_T - \frac{1}{\frac{1}{2} \mu_n \frac{C_{ox}}{C_H} \frac{W}{L} t + \frac{1}{V_{DD} - U_T}} \quad (2.23)$$

Enačba (2.23) kaže, da v primeru, ko izhodno napetost NMOS stikala V_{out} približamo $V_{DD} - U_T$, napetost krmilne elektrode zmanjšamo do nivoja, ko polnilni tok kondenzatorja pade do zanemarljivih vrednosti. Transistor takrat pride v področje pod pragovno napetostjo,

kjer tečejo le še majhni parazitni tokovi. Za tipične režime delovanja MOS stikal privzamemo, da napetost V_{out} ne preseže $V_{DD} - U_T$.

Enačba (2.23) kaže tudi na omejitev MOS stikal. Ko vhodni signal približamo $V_{DD} - U_T$, izhod NMOS transistorja ne more več slediti vhodu, ker se upornost MOS stikala v tem primeru precej poveča. Za normalno delovanje stikala mora biti MOS transistor daleč v nasičenju, torej mora biti vhodna napetost precej manjša od $V_{DD} - U_T$. Podobno velja za PMOS stikala: pri krmilni napetosti 0 V se upornost stikala znatno poveča, ko se vhodni signal zmanjša pod $|U_T|$ PMOS transistorja.

Hitrost vzorčenja je odvisna od dveh faktorjev – upornosti vključenega MOS stikala in kapacitivnosti priključenega kondenzatorja. Da dosežemo visoke hitrosti vzorčenja, uporabimo transistorje z visokim W/L razmerjem in majhne vzorčne kondenzatorje. Hkrati je po enačbi (2.8) upornost transistorja odvisna tudi od napetosti vhoda. Upornost stikal, sestavljenih z NMOS transistorjem, se tako veča, ko se izhodni signal približuje $V_{DD} - U_T$. Ta pojav dodatno daljša časovno konstanto polnjenja kondenzatorja, saj vhodno območje signala dodatno omeji hitrost vzorčenja.

Za razliko od NMOS stikal upornost PMOS stikal pada, ko vhodno napetost približuje V_{DD} . Če vezemo dve komplementarni MOS stikali v t.im. »transmission gate« strukturo povečamo vhodno območje signala, saj upornost stikala sedaj sestavlja paralelna vezava PMOS in NMOS transistorja:

$$R_{on,eq} = R_{on,N} \parallel R_{on,P} \quad (2.24)$$

Seveda moramo takšno stikalo krmiliti s komplementarnima krmilnima signaloma CK in $\overline{CK}$ s pravilno sinhroniziranimi prehodi.

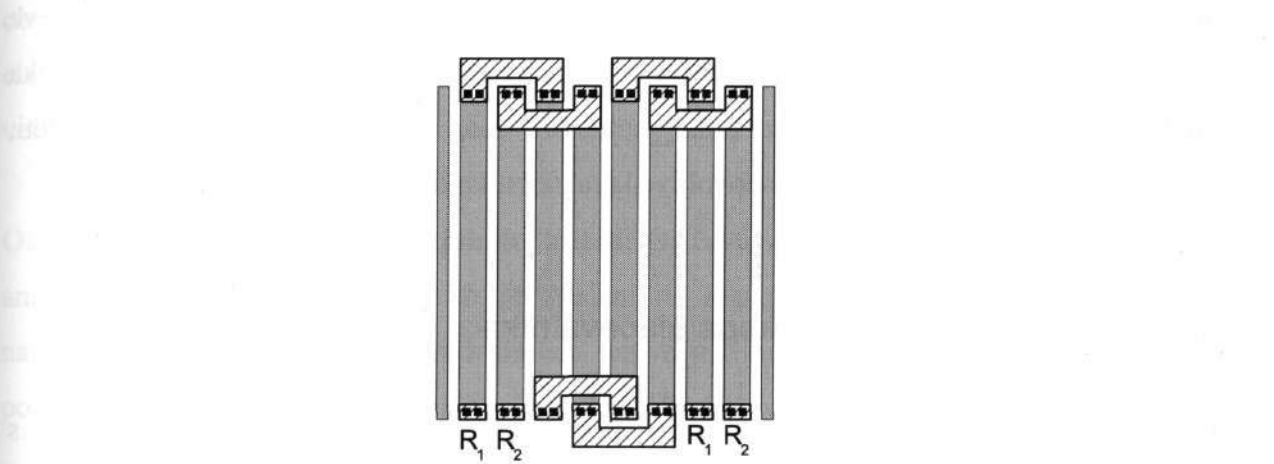
2.3 Problemi pri načrtovanju končne geometrije elementov

Že med načrtovanjem analognih vezij upoštevamo vpliv neidealnosti procesa pri izdelavi končne geometrije elementov [1, str. 631-676],[2, str. 82-124]. Med litografijo so dimenzije končne geometrije posameznih struktur podvržene raznim dvodimenzionalnim efektom, ti pa povzročijo, da se dimenzije fizičnih elementov razlikujejo od načrtanih. Primeri teh vplivov so npr. lateralna difuzija in neželeno jedkanje posameznih plasti pod zaščitno SiO_2 masko ter degradacija širine kanala transistorja s p+ difuzijo (t.im. channel-stop difuzija). Na končne dimenzije vplivajo tudi pogoji na robu elementa, na samo karakteristiko elementa pa med

drugimi tudi neenaka površina in različni gradientni pojavi na površini vezja (npr. različna debelina oksida, tudi vpliv različne temperature).

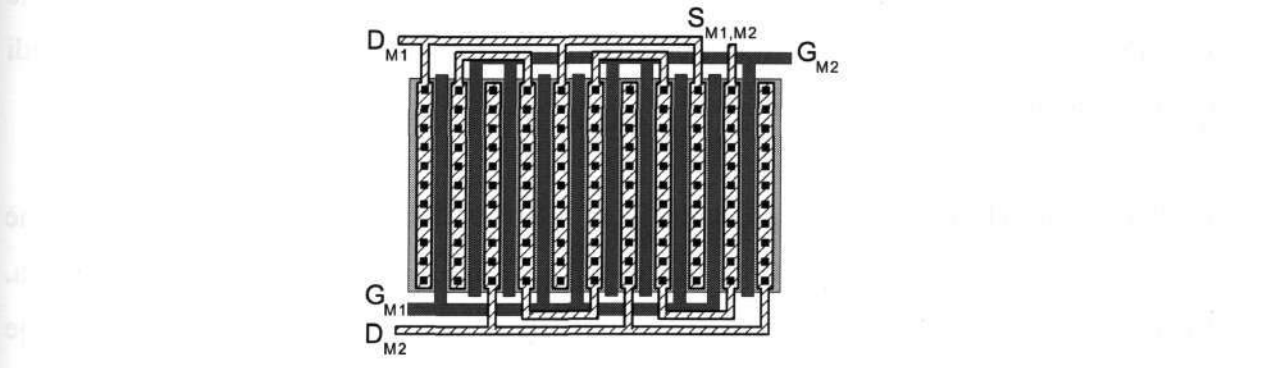
Zaradi vseh teh vplivov je absolutna vrednost parametrov elementa močno odvisna od procesa in se lahko spreminja tudi do $\pm 20\%$. Načrtovanje preciznih analognih sklopov zato zahteva arhitekture vezij, kjer so lastnosti vezja definirane z razmerji med njegovimi elementi, variacija vrednosti elementov pa ne sme biti kritična za delovanje vezja.

Elementi bodo kar najbolj skladni takrat, ko večje elemente sestavimo iz več enotskih elementov. Za kar najboljšo skladnost morajo biti tudi razmere na robu vseh enotskih elementov enake, kar pomeni dodajanje neuporabljenih (dummy) elementov na robovih strukture (slika 7).



Slika 7: Dodajanje elementov na robovih strukture

Gradientne pojave izničimo s prepletanjem enotskih elementov v t.im. common-centroid strukturo. Na tak način deloma izničimo gradientne pojave tako v x kot v y smeri (slika 8).



Slika 8: Slika common-centroid strukture

2.4 Operacijski ojačevalnik

Operacijski ojačevalniki so ključni elementi v analognih in mešanih analogno-digitalnih sistemih. Operacijski ojačevalniki različno kompleksnih izvedb v vezjih izvajajo različne funkcije, od generacije enosmernih napetosti, do visokofrekvenčnega ojačanja in filtriranja signala. Načrtovanje operacijskih ojačevalnikov je zahtevno delo, predvsem zaradi zahtev po čedalje nižjih napajalnih napetostih in manjših geometrijah, ki jih prinašajo vedno nove generacije tehnologij CMOS.

Operacijski ojačevalnik definiramo kot »diferencialni ojačevalnik z visokim ojačanjem«. Realno pa takšnega vsestransko uporabnega, idealnega bloka ni, saj je vsak operacijski ojačevalnik v vezju prilagojen točno določeni nalogi in skrbno načrtan glede na zahteve posameznega podsistema, v katerem deluje. Lastnosti operacijskega ojačevalnika predstavljajo kompromis med različnimi parametri, zato moramo pri načrtovanju vedeti, kateri kompromisi še omogočajo zadovoljive karakteristike delovanja celotnega sistema.

2.4.1 Značilnosti operacijskega ojačevalnika

Ojačanje: Odprtozančno ojačanje operacijskega ojačevalnika definira točnost sistema s povratno zanko, v katerega je operacijski ojačevalnik vključen. Z visokim odprtozančnim ojačanjem tudi zmanjšamo vplive nelinearnosti operacijskega ojačevalnika.

Malosignalna karakteristika: Malosignalna karakteristika je ključnega pomena pri visokih frekvencah. S povečevanjem frekvence delovanja se odprtozančno ojačanje prične zmanjševati, kar v sistemu s povratno zanko povzroči znatne napake ojačanja, hkrati pa tudi poveča vpliv nelinearnosti ojačevalnika.

Prehodni pojavi: Zaradi različnih nelinearnih vplivov z malosignalno karakteristiko ne moremo podati odziva operacijskega ojačevalnika na hitre spremembe vhodnega signala. Hiter odziv je pomemben pri delovanju operacijskega ojačevalnika v SC vezjih, kjer je operacijski ojačevalnik (s končno izhodno impedanco) obremenjen z relativno veliko kapacitivnostjo, ob tem pa mora slediti hitrim spremembam signala na vhodu.

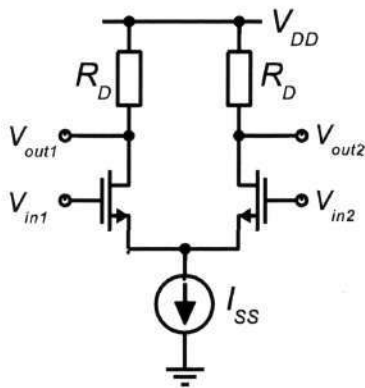
Izhodno signalno območje: Zahteve po visoki dinamiki sistema zahtevajo tudi visoko dinamično območje operacijskih ojačevalnikov. Želimo, da analogna vezja obdelujejo relativno visoke amplitude signalov pri nizkem lastnem šumu.

Linearnost: Karakteristika ojačanja ojačevalnika v odprti zanki je lahko precej nelinearna. Vpliv nelinearnosti zmanjšamo z uporabo diferencialnih vezij, s katerimi izničimo sode harmonske komponente, lahko pa nelinearnost zmanjšamo s pomočjo visokega odprtozanskega ojačanja, s katerimi sistem v zaprti zanki doseže zadovoljivo linearnost.

Šum in nična napetost: Šum in nična napetost določata minimalni nivo signala, ki ga lahko obdelata operacijski ojačevalnik. Na šumno karakteristiko in nično napetost vpliva kar nekaj elementov. Takšni elementi zahtevajo relativno velike mirovne tokove, skupaj z relativno velikimi načrtanimi dimenzijami.

Občutljivost na motnje v napajalnih linijah: Ojačevalniki so lahko vstavljeni v mešane analogno-digitalne sisteme, kjer so priključeni na napajalne linije z veliko šuma. Šum napajalnih linij ne sme degradirati signala, največjo imunost na ta šum pa dosežemo s popolnoma diferencialnimi topologijami operacijskih ojačevalnikov.

2.4.2 Diferencialna stopnja



Slika 9: Diferencialna stopnja

Če privzamemo, da je vezje na sliki 9 simetrično, lahko ob upoštevanju, da sta vhodna transistorja v diferencialni stopnji v nasičenju, zapišemo [2, str. 142-146]:

$$V_{in1} - V_{in2} = U_{GS1} - U_{GS2} \quad (2.25)$$

Iz enačbe (2.4) izpeljemo U_{GS} , vstavimo v (2.25) in izračunamo:

$$(V_{in1} - V_{in2})^2 = \frac{2}{\mu_n C_{ox} \frac{W}{L}} (I_{SS} - 2\sqrt{I_{D1} I_{D2}}) \quad (2.26)$$

Nadalje sledi iz (2.26):

$$I_{D1} - I_{D2} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{in1} - V_{in2}) \sqrt{\left(\frac{4I_{SS}}{\mu_n C_{ox} \frac{W}{L}} - (V_{in1} - V_{in2})^2 \right)} \quad (2.27)$$

Če zapišemo $\Delta V = V_{in1} - V_{in2}$ in $\Delta I = I_{D1} - I_{D2}$, lahko iz enačbe (2.27) izračunamo transkonduktanco vhodne stopnje v mirovni točki:

$$\frac{\partial \Delta I_D}{\partial \Delta V_{in}} = \sqrt{\mu_n C_{ox} \frac{W}{L} I_{SS}}, \quad \Delta V_{in} = 0 \quad (2.28)$$

Iz enačbe (2.28) ob upoštevanju $V_{out1} - V_{out2} = R_D \Delta I = R_D G_m \Delta V_{in}$ zapišemo enačbo napetostnega ojačanja v mirovni točki:

$$|A_v| = R_D \sqrt{\mu_n C_{ox} \frac{W}{L} I_{SS}} \quad (2.29)$$

Za malosignalno analizo vezja vpeljemo koncept polovičnega vezja. Privzemimo, da je diferencialna stopnja popolnoma simetrična, krmiljena s popolnoma simetričnim vhodnim signalom $\Delta V = V_{in1} - V_{in2}$. S takšnim signalom skupne točke izvorov ne premaknemo, obravnavamo jo lahko kot virtualno maso. Vezje v tem primeru razdelimo na dve simetrični polovici, za katere velja:

$$\frac{V_{out1}}{V_{in1}} = -g_m R_D \quad \frac{V_{out2}}{-V_{in1}} = -g_m R_D \quad (2.30)$$

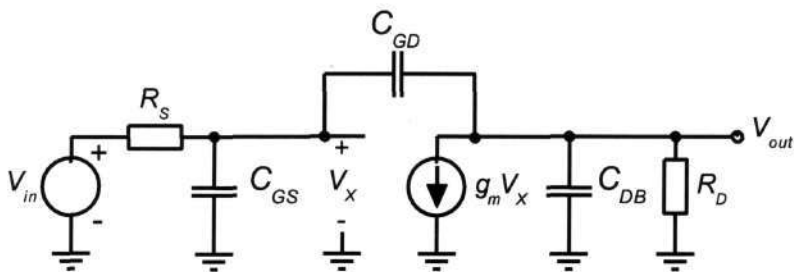
Iz enačb (2.30) zapišemo:

$$\frac{V_{out1} - V_{out2}}{2V_{in}} = A_v = -g_m R_D \quad (2.31)$$

(Bremenske upore diferencialne stopnje lahko nadomestimo s PMOS tokovnimi generatorji.)

S pomočjo delitve vezja na dve polovici zapišemo enačbo ojačanja:

$$A_v = -g_{mN} (r_{oN} \parallel r_{oP}) \quad (2.32)$$



Slika 10: VF malosignalna shema diferencialne stopnje

Pri visokofrekvenčni malosignalni vhodni pol določa vsota kapacitivnosti C_{GS} in z Millerjevim efektom množene C_{GD} :

$$\omega_{in} = \frac{1}{R_s [C_{GS} + (1 + g_m R_D) C_{GD}]} \quad (2.33)$$

Izhodni pol izračunamo:

$$\omega_{out} = \frac{1}{\left[R_D \parallel \left(\frac{C_{GD} + C_{GS}}{C_{GD}} \frac{1}{g_{m1}} \right) \right] \left(\frac{C_{GD} C_{GS}}{C_{GD} + C_{GS}} + C_{DB} \right)} \quad (2.34)$$

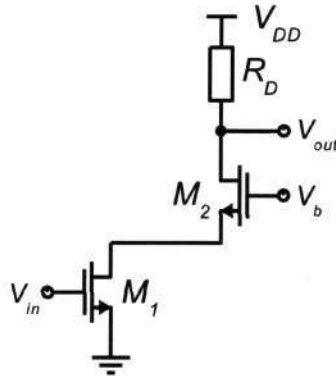
Celotno prenosno funkcijo izračunamo iz enačb (2.33) in (2.43):

$$\frac{V_{out}}{V_{in}}(s) = \frac{-g_m R_D}{\left(1 + \frac{s}{\omega_{in}} \right) \left(1 + \frac{s}{\omega_{out}} \right)} \quad (2.35)$$

Vezje ima poleg dveh polov tudi ničlo na pozitivni strani s-ravnine, ki je posledica direktne sklopitve vhoda na izhod preko kondenzatorja C_{GD} . Nahaja se na relativno visoki frekvenci

$$\omega_z = +g_m / C_{GD}.$$

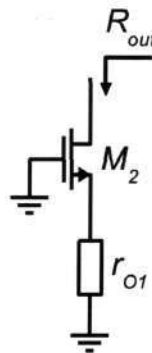
2.4.3 Kaskodna stopnja



Slika 11: Kaskodna stopnja

Kaskadna vezava stopnje s skupnim izvorom in skupno krmilno elektrodo imenujemo »kaskodna« topologija [6, str. 343-357]. Transistor M_1 (vhodni transistor) generira malosignalni tok proporcionalen vhodni napetosti V_{in} , transistor M_2 (kaskodni transistor) pa vodi tok do R_D . Kaskodna stopnja poveča napetostno ojačanje ojačevalnikov in poveča izhodno impedanco tokovnih virov. Zagotavlja hitrost vezave stopnje s skupnim izvorom (s tem, da zmanjša vpliv Millerjevega pojav) in vhodno impedanco vezave s skupno krmilno elektrodo.

Kaskodna stopnja zmanjša izhodno signalno območje. Za delovanje transistorja M_2 v področju nasičenja, moramo zagotoviti $V_{out} > V_b - U_{T2}$, oziroma pri pogoju, da tudi transistor M_1 deluje na robu nasičenja, $V_b > V_{in} + U_{GS2} - U_{T1}$.



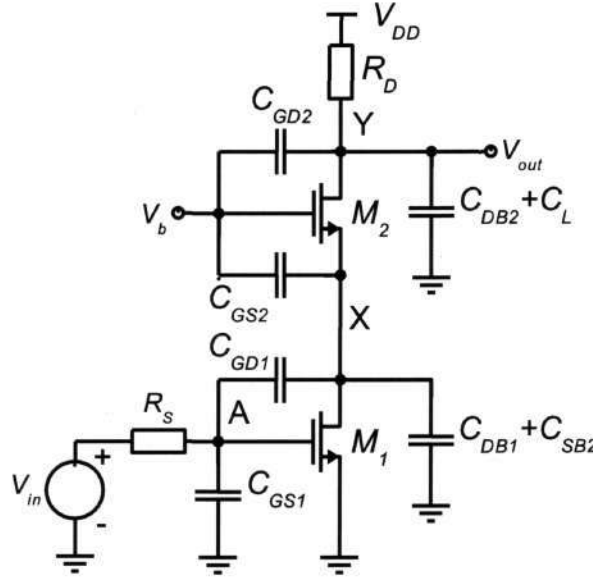
Slika 12: Izračun izhodne upornosti kaskode

Če obravnavamo kaskodo kot vezje s skupnim izvorom in degenerirnim uporom r_{o1} , lahko zapišemo ekvivalentno izhodno upornost z enačbo:

$$R_{out} = [1 + (g_{m2} + g_{mb2}) r_{o2}] r_{o1} + r_{o2} \quad (2.36)$$

M_1 in M_2 delujeta v področju nasičenja, zato napetostno ojačanje $A_V = G_m R_{out}$ iz enačbe (2.36) zapišemo:

$$A_V \approx (g_{m2} + g_{mb2}) r_{o2} r_{o1} g_{m1} \quad (2.37)$$



Slika 13: VF malosignalna shema kaskodne stopnje

Visokofrekvenčni model kaskodne stopnje ponazorimo s tremi poli, vsak pol lahko pripišemo posameznemu vozlišču (slika 13). Millerjev pojav za C_{GD1} je definiran z ojačanjem med vozliščema A in X, ki je za majhne vrednosti R_D definiran kot $-g_{m2}/(g_{m2} + g_{mb2})$. Pol, ki pripada točki A lahko s tem približno podamo z [1, str 185-187]:

$$\omega_{p,A} = \frac{1}{R_S \left[C_{GS1} + \left(1 + \frac{g_{m1}}{g_{m2} + g_{mb2}} \right) C_{GD1} \right]} \quad (2.38)$$

Pole, ki pripadajo ostalim vozliščem pa podamo z:

$$\omega_{p,X} = \frac{g_{m2} + g_{mb2}}{2C_{GD1} + C_{DB1} + C_{SB2} + C_{GS2}} \quad (2.39)$$

$$\omega_{p,Y} = \frac{1}{R_D (C_{DB2} + C_L + C_{GD2})} \quad (2.40)$$

Enačbe (2.37 – 2.40) združimo v enačbo (2.41) prenosne karakteristike kaskode:

$$\frac{V_{out}}{V_{in}}(s) = \frac{-(g_{m2} + g_{mb2}) r_{o2} r_{o1} g_{m1}}{\left(1 + \frac{s}{\omega_{p,A}}\right) \left(1 + \frac{s}{\omega_{p,X}}\right) \left(1 + \frac{s}{\omega_{p,Y}}\right)} \quad (2.41)$$

2.4.4 Povratna zanka skupnega načina

Popolnoma diferencialni operacijski ojačevalnik zahteva povratno zanko skupnega načina (common mode feedback), ki je nujna za stabilizacijo srednje točke diferencialnega izhoda [1, str. 314-324]. V operacijskih ojačevalnikih z visokim ojačanjem je bremenski upor diferencialne stopnje izveden s tokovnim generatorjem P-tipa, ki uravnoteži tok s tokovnim generatorjem N-tipa tako, da je mirovna delovna točka izhoda na sredini. Ker tokova tokovnih generatorjev I_P in I_N tečeta skozi notranjo izhodno impedanco ojačevalnika, definirata mirovno izhodno napetost kot $(I_P - I_N)(R_P \parallel R_N)$. Razlika tokov je odvisna od tehnoloških parametrov procesa, zato je lahko izhodna napetost tako visoka, da potisne P ali N tokovni vir iz področja nasičenja v linearno področje. Diferencialno vezje brez povratne vezave ne more določiti mirovne točke diferencialnega izhoda, zato moramo vpeljati vezje povratne zanke skupnega načina. Takšno vezje primerja izmerjeno napetost skupnega načina diferencialnega izhoda z referenčno vrednostjo ter glede na odstopanje od referenčne vrednosti vpliva na mirovno delovno točko diferencialnih izhodov.

Kot senzor izhodne napetosti skupnega načina vpeljemo uporovni delilnik, priključen med izhodni napetosti pozitivne in negativne veje. V tem primeru velja:

$$V_{out,CM} = (R_1 V_{out1} + R_2 V_{out2}) / (R_1 + R_2) \quad (2.42)$$

Težava pri izvedbi senzorja z uporovnim delilnikom je v tem, da moramo vrednosti uporov R_1 in R_2 izbrati večje, kot je izhodna impedanca operacijskega ojačevalnika, saj z njima manjšamo odprtozančno ojačanje operacijskega ojačevalnika. Običajno je upornost obeh uporov v območju nekaj $M\Omega$, zato je takšen način primeren za tehnologije CMOS, ki omogočajo izvedbo uporov z dodatnimi visokouporovnimi plastmi.

Visokim vrednostim uporov se izognemo z vpeljavo dodatnih sledilnih (source follower) transistorjev na izhodnih sponkah. Takšna izvedba omeji diferencialno izhodno napetost

signala, saj se lahko zaradi omejenega toka tokovnih generatorjev sledilni transistor pri visoki diferencialni izhodni napetostih popolnoma izključi. S tem pa izhodna napetost $V_{out,CM}$ ni več na srednjem nivoju.

V SC vezjih lahko izhodno napetost skupnega načina tipamo s pomočjo kondenzatorjev. Napetost vzorčimo v diskretnih časovnih intervalih, z vzorčeno napetostjo pa preko povratne vezave skupnega načina vplivamo na srednjo točko izhoda.

2.5 SC vezja

Procesiranje signalov v diskretnem času s SC (switched capacitor, stikalo-kondenzator) vezji je najpogostejši način procesiranja analognih signalov v tehnologiji MOS. Pri izvedbi filtrov uporabljamo SC vezja zaradi njihovega točnega frekvenčnega odziva, dobre linearnosti in velikega dinamičnega območja. Frekvenčni odziv SC filtra je določen predvsem z razmerjem med kondenzatorji v vezju, to pa je za velikostni razred točnejše kot je točnost RC časovnih konstant elementov v integriranih vezjih. Frekvenčna karakteristika SC vezja s tem postane odvisna le od frekvence vzorčenja, oz. od takta vezja. Frekvence takta nastavimo na zelo točno vrednost s pomočjo kristalnih oscilatorjev.

SC vezja omogočajo izvedbo množico signalno-procesnih blokov [5]: poleg integratorjev lahko izvedemo še različne ojačevalne stopnje, napetostno krmiljene oscilatorje in modulatorje.

SC vezja najuspešneje izvedemo v MOS tehnologiji. Analogno procesiranje v diskretnem času zahteva množico stikal, hkrati pa zahteva visoko vhodno impedanco vzorčevalnih vezij. MOS tehnologija zadosti obema zahtevama, saj omogoča izvedbo preprostih stikal, vhodne stopnje operacijskih ojačevalnikov pa lahko izvedemo z zelo visoko vhodno impedanco. Preprosta stikala v MOS tehnologiji omogočajo visoko upornost v izključenem stanju, relativno nizko upornost v vključenem stanju, stikala nimajo nične napetosti v vključenem stanju, poleg tega pa napetosti izvora in ponora nista vezani na napetost vrat.

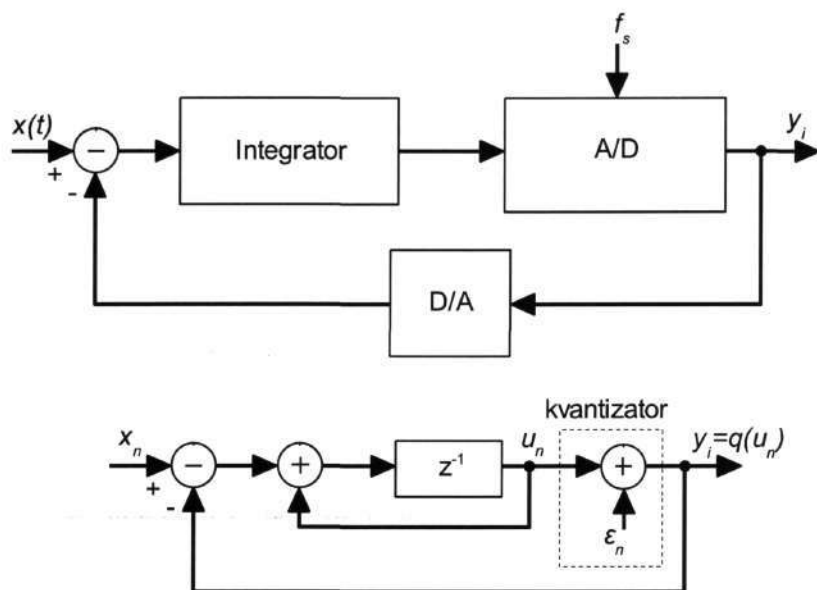
Nekatere analogne nadgradnje MOS procesov omogočajo tudi izvedbe visoko linearnih kondenzatorjev kot strukturo z dvema plastema polisilicija (Poly Capacitor), ali kot strukturo z dvema kovinskima plastema (MIM Capacitor).

2.6 Literatura k 2. poglavju

- [1] Behzad Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill Higher Education, Boston, 2001.
- [2] D. A. Johns, K. Martin, Analog Integrated Circuits Design, John Wiley & Sons, Inc, New York, 1997.
- [3] Yannis P. Tsividis, Operation and Modeling of the MOS Transistor, McGraw-Hill Series in Electrical Engineering, New York, 1987.
- [4] Robert F. Pierret, Semiconductor Device Fundamentals, Addison-Wesley, Reading, 1996.
- [5] R. Gregorian, G. C. Temes, Analog MOS Integrated Circuits for Signal Processing, John Wiley and Sons, New York, 1986
- [6] Kenneth R. Laker, Willy M.C. Sansen, Design of Analog Integrated Circuits and Systems, McGraw-Hill Series in Electrical and Computer Engineering, New York, 1994.

3 SIGMA-DELTA MODULATOR

Za natančno analogno-digitalno pretvorbo nizkofrekvenčnih signalov čedalje več aplikacij uporablja analogno-digitalne pretvornike na osnovi sigma-delta modulacije. Ti modulatorji s prevzorčenjem signala zmanjšajo zahteve po točnosti in kvaliteti elementov analognega dela (zahteve po medsebojni skladnosti transistorjev in zahteve po visokih ojačanjih operacijskih ojačevalnikov) na račun povečanja digitalnega procesiranja signala v digitalnem delu A/D pretvornika. Takšen pristop je nadvse primeren za izvedbo v modernih podmikronskih tehnologijah, kjer lahko na vse manjši površini izvedemo zapleteno digitalno vezje, medtem ko je kvaliteta izvedbe analognega dela omejena z vedno nižjimi napajalnimi napetostmi ter vedno slabšimi karakteristikami transistorjev (efekti kratkega kanala v MOS transistorjih [1, str. 39-41]), ki so prilagojene predvsem optimalnemu delovanju digitalnih vezij.



Slika 14: Sigma-delta modulator 1.reda in njegov linearni model

Slika 14 prikazuje blokovno shemo in linearni model sigma-delta modulatorja 1. reda. Kot bo pokazano v nadaljnji analizi, z uvedbo povratne zanke zmanjšamo vpliv kvantizacijskega šuma v signalnem pasu, saj v tem primeru položaji ničel prevajalne funkcije šuma $N_{TF}(z)$ ustrezajo polom prevajalne funkcije signala $S_{TF}(z)$. V primerjavi s kvantizatorjem se v signalnem pasu kvantizacijski šum modulatorja 1. reda pri podvojitvi vzorčne frekvence zmanjša za 9 dB (vendar izgubimo 5 dB zaradi uvedbe povratne zanke) (enačba 3.43), medtem ko se kvantizacijski šum sigma-delta modulatorja drugega reda pri podvojitvi vzorčne frekvence zmanjša za 15 dB, zaradi uvedbe povratne zanke v strukturo pa izgubimo

13 dB. Vzorčne frekvence ne moremo neomejeno povečevati, saj smo omejeni z izhodno odzivnostjo (slew-rate) ojačevalnika, upornostjo stikal in z minimalno kapacitivnostjo kondenzatorjev, pa tudi s porabo vezja, saj frekvenco delovanja modulatorja povečujemo s povečanjem mirovnega toka ojačevalnika. Ne nazadnje modulatorje višjih redov izvedemo na večji površini silicija.

Zaradi povratnih zank z nelinearnimi elementi (kvantizatorji) je stabilnost modulatorjev višjega reda težko določljiva, takšni sistemi so lahko stabilni samo v določenem pasu vhodnega signala [2, 3, 4]. Enobitni D/A pretvorniki z dvema nivojema (izvedeni s primerjalnikom) v povratni zanki so sami po sebi linearni, vendar se v praksi pokaže, da je linearnost odvisna od stabilnosti referenčnih napetosti in stabilnosti referenčne frekvence takta [5].

Sigma-delta modulator prvega reda lahko izvedemo s SC (switched-capacitor, sikalo-kondenzator) pristopom. Prednosti takšnega pristopa so predvsem neobčutljivost na stabilnost referenčnega signala ure (clock jitter) in neobčutljivost na strmino, oz. obliko izhodne napetosti operacijskega ojačevalnika v integratorju - vsaj dokler zagotovimo, da izzvenijo prehodni pojavi. Poleg tega lahko z razmerjem med signalnim in referenčnim kondenzatorjem izvedemo skaliranje vhodnega signala proti referenci, s tem pa na račun zmanjšanja območja vhodnega napetostnega signala izboljšamo šumno karakteristiko A/D pretvornika [6].

Vezje bo delovalo kot del večjega integriranega sistema, zato moramo posebno pozornost posvetiti šumu, ki je posledica delovanja digitalnih preklopnih elementov vezja. Takšnemu okolju ustreza diferencialna izvedba analogno-digitalnega pretvornika, s skrbno načrtanim popolnoma diferencialnim ojačevalnikom [7]; pasivne elemente (upori, kondenzatorji) pa izvedemo s posebnimi tehnikami načrtovanja končne geometrije [8, 9, 10, 11].

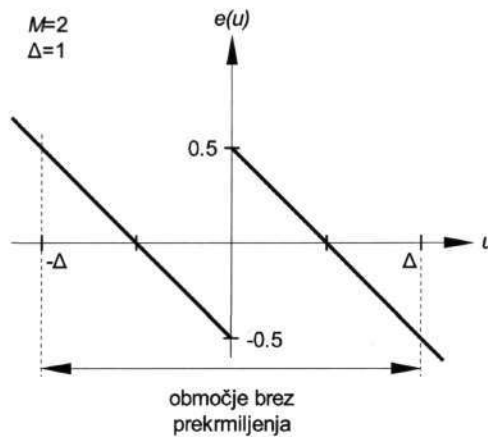
3.1 Analiza kvantizacijskega šuma kvantizatorja in sigma-delta modulatorja

Analizo kvantizacijskega šuma sigma-delta modulatorja povzamemo po literaturi [12, 13], kjer je obdelan šum kvantizatorja za enosmerne in sinusne vhodne signale. Avtor v [12] analizira normalizirano napako kvantizatorja $e = \frac{\varepsilon}{\Delta}$ s pomočjo karakterističnih funkcij in razvoja napake e v Fourierjevo vrsto v obliki:

$$e = e(u) = \sum_{l \neq 0} \frac{1}{2\pi j l} e^{2\pi j l \frac{u}{\Delta}} \quad (3.1)$$

Zapišimo še Fourierjevo vrsto za e^2 :

$$e^2 = e(u)^2 = \frac{1}{12} + \sum_{l \neq 0} \frac{1}{2(\pi l)^2} e^{2\pi j l \frac{u}{\Delta}} \quad (3.2)$$



Slika 15: Kvantizacijska napaka dvonivojskega kvantizatorja

Izhod dvonivojskega kvantizatorja v določenem trenutku zavzema najbližjega od dveh izhodnih nivojev, pri tem je medsebojna razdalja med nivoji enaka Δ . Če privzamemo, da je kvantizacijska napaka omejena v območju $\pm \Delta/2$, omejimo vhodni signal kvantizatorja v območju $\pm \Delta$, to območje pa označimo kot območje brez prekrmljenja kvantizatorja.

Normirano vhodno napetost kvantizatorja u/Δ zapišimo v obliki $r = \lfloor r \rfloor + \langle r \rangle$, kjer je $\lfloor r \rfloor$ najvišja celoštevilčna vrednost, enaka ali manjša r , z $\langle r \rangle$ pa označimo ostanek v območju

$0 \leq \langle r \rangle < 1$. Kvantizacijsko napako dvonivojskega kvantizatorja (slika 15) lahko v tem primeru

zapišemo iz $\varepsilon = q(u) - u$ kot $e = \frac{\varepsilon}{\Delta} = \frac{1}{2} - \left\langle \frac{u}{\Delta} \right\rangle$. Za vhodno sekvenco u_n ; $-\Delta < u_n < \Delta$, pri

kateri napaka e_n ostane v območju $\pm \Delta/2$, zapišemo Fourierjevo vrsto napake e :

$$e_n = \frac{1}{2} - \left\langle \frac{u_n}{\Delta} \right\rangle = \sum_{l \neq 0} \frac{1}{2\pi j l} e^{2\pi j l \frac{u_n}{\Delta}} \quad (3.3)$$

Zanima nas povprečna vrednost napake, drugi moment in avtokorelacija signala napake. Za kvazi-stacionarne procese lahko definiramo povprečje:

$$m_e = \overline{E}\{e_n\} = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{n=1}^N E(e_n) \quad (3.4)$$

kjer z $E(e_n)$ označimo matematično upanje spremenljivke e_n . Avtokorelacijo izračunamo:

$$R_e(k) = \overline{E}\{e_n e_{n+k}\} \quad (3.5)$$

iz tega pa izračunamo povprečno moč:

$$R_e(0) = \overline{E}\{e_n^2\} \quad (3.6)$$

Močnostni spekter izračunamo s pomočjo Fourierjeve transformacije avtokorelacije:

$$S_e(f) = \sum_{n=-\infty}^{\infty} R_e(n) e^{-2\pi j f n} \quad (3.7)$$

Če vstavimo enačbo (3.3) v enačbe (3.4), (3.5) in (3.6), lahko rezultate prikažemo kot člene enodimenzionalne (3.8a) ali dvodimenzionalne (3.8b) karakteristične funkcije [14, str. 523]:

$$\overline{\Phi}_u(l) = \overline{E}\left\{e^{2\pi j l \frac{u_n}{\Delta}}\right\} \quad (3.8a)$$

$$\overline{\Phi}_u^{(k)}(i, l) = \overline{E}\left\{e^{2\pi j \left(i \frac{u_n}{\Delta} + l \frac{u_{n+k}}{\Delta}\right)}\right\}; \quad k \neq 0 \quad (3.8b)$$

Povprečno vrednost, drugi moment in avtokorelacijo e_n zapišemo:

$$\bar{E}\{e_n\} = \sum_{l \neq 0} \frac{1}{2\pi j l} \bar{\Phi}_u(l) \quad (3.9a)$$

$$\bar{E}\{e_n^2\} = \frac{1}{12} + \sum_{l \neq 0} \frac{1}{2(\pi l)^2} \bar{\Phi}_u(l) \quad (3.9b)$$

$$R_e(k) = - \sum_{i \neq 0} \sum_{l \neq 0} \frac{1}{2\pi i} \frac{1}{2\pi l} \bar{\Phi}_u^{(k)}(i, l) \quad (3.9c)$$

V primeru sinusnega vhodnega signala $u_n = A \sin(n\omega_0 + \varphi)$, lahko podobno kot v enačbi (3.3) zapišemo e_n v obliki Fourierjeve vrste:

$$e_n = \sum_{l \neq 0} \frac{1}{2\pi j l} e^{2\pi j l \frac{A}{\Delta} \sin(n\omega_0 + \varphi)} \quad (3.10)$$

S pomočjo enačb (3.8b) in (3.9c) izpeljemo [12, 15] močnostni spekter kvantizacijskega šuma v obliki enačbe (3.11):

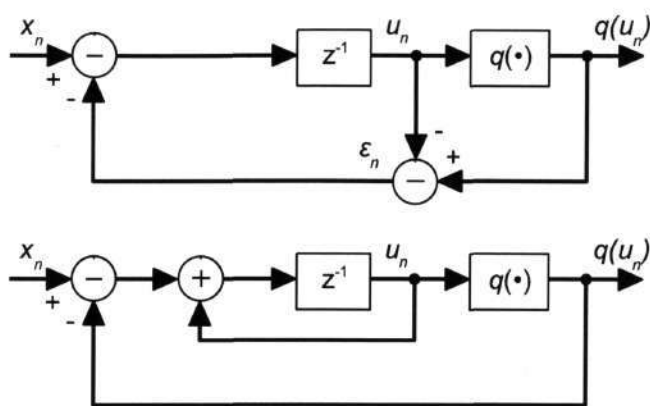
$$R_e(k) = \sum_{n=-\infty}^{\infty} S_n e^{2\pi j k \lambda_n} \quad (3.11)$$

kjer je $\lambda_n = \langle (2n-1)\omega_0/2\pi \rangle$ normalizirana frekvenca med [0,1) in

$$S_n = \left[\frac{1}{\pi} \sum_{l=1}^{\infty} \frac{J_{2n-1}\left(2\pi \frac{A}{\Delta} l\right)}{l} \right]^2 \quad (3.12)$$

spektralne komponente pri frekvenci λ_n .

Iz enačb (3.11) in (3.12) vidimo, da je spekter kvantizacijskega šuma diskreten, **vsebuje vse lihe harmonske frekvence vhodnega sinusnega signala**. Moč signala posamezne spektralne komponente je na kompleksen način odvisna od amplitude vhodnega sinusnega signala.



Slika 16: Ekvivalentna modela sigma-delta modulatorja 1. reda

Podobno analiziramo kvantizacijski šum sigma-delta modulatorja 1. reda (slika 16). Vhodni signal kvantizatorja zapišemo kot vsoto originalnega vhodnega signala x_n in signala kvantizacijske napake ε_n . V glavno vejo vstavimo zakasnitev, ki je lastna kvantizatorju, s tem dobimo diferenčno enačbo:

$$u_n = x_{n-1} - \varepsilon_{n-1} = u_{n-1} + x_{n-1} - q(u_{n-1}) \quad n = 1, 2, \dots \quad (3.13)$$

Ker velja $u_n = q(u_n) - \varepsilon_n$, lahko iz enačbe (3.13) izpeljemo diferenčno enačbo sigma-delta modulatorja 1. reda:

$$q(u_n) = x_{n-1} + \varepsilon_n - \varepsilon_{n-1} \quad (3.14)$$

Podobno kot pri analizi kvantizatorja iz enačb (3.13) in (3.14) izrazimo e_n :

$$\varepsilon = q(u) - u \Rightarrow e_n = \frac{\varepsilon_n}{\Delta} = \frac{q(u_n) - u_n}{\Delta} = \frac{q(x_{n-1} - \varepsilon_{n-1})}{\Delta} - \frac{x_{n-1}}{\Delta} - e_{n-1}; \quad n = 1, 2, \dots \quad (3.15)$$

Če privzamemo, da kvantizatorja ne prekrmilimo, velja $e = \frac{1}{2} - \left\langle \frac{u}{\Delta} \right\rangle$, s tem lahko enačbo

(3.15) zapišemo v rekurzivni obliki:

$$e_0 = 1/2$$

$$e_n = \frac{1}{2} - \left\langle \frac{u_n}{\Delta} \right\rangle = \frac{1}{2} - \left\langle \frac{x_{n-1}}{\Delta} - e_{n-1} \right\rangle; \quad n = 1, 2, \dots \quad (3.16)$$

Iz enačbe (3.16) s pomočjo enačbe $y_n = \frac{1}{2} - e_n = \left\langle \frac{x_{n-1}}{\Delta} + \frac{1}{2} + y_{n-1} \right\rangle$ izrazimo e_n :

$$e_n = \frac{1}{2} - \left\langle \frac{n}{2} + \sum_{k=0}^{n-1} \frac{x_k}{\Delta} \right\rangle \quad (3.17)$$

Enačba (3.17) je podobna enačbi napake kvantizatorja (3.3). S tem, ko postavimo kvantizator v povratno zanko skupaj z integratorjem, lahko u_n v enačbi kvantizatorja (3.3) nadomestimo z vsoto:

$$s_n = \sum_{k=0}^{n-1} \left(\frac{1}{2} + \frac{x_k}{\Delta} \right) \quad (3.18)$$

Iz enačbe (3.18) izpeljemo karakteristične funkcije $\overline{\Phi}_s$:

$$\begin{aligned} \overline{\Phi}_s(l) &= \overline{E} \left\{ e^{j\pi l k} e^{2j\pi l \sum_{m=0}^{n-1} x_m} \right\} \\ \overline{\Phi}_s^{(k)}(i, l) &= e^{j\pi l k} \overline{E} \left\{ e^{j\pi(i+l)n} e^{2j\pi(i+l) \sum_{m=0}^{n-1} x_m} e^{2j\pi l \sum_{m=n}^{n-1+k} x_m} \right\} \end{aligned} \quad (3.19)$$

Podobno kot v primeru kvantizatorja analizirajmo sinusni vhodni signal $x_n = A \cos(n\omega_0)$. Ob upoštevanju formule

$$\sum_{k=0}^n \cos k\omega_0 = \frac{1}{2} + \frac{\sin\left(n\omega_0 + \frac{\omega_0}{2}\right)}{2 \sin \frac{\omega_0}{2}}$$

lahko enačbo (3.18) zapišemo v obliki:

$$\begin{aligned} s_n &= \sum_{k=0}^{n-1} \left(\frac{1}{2} + \frac{x_k}{\Delta} \right) = \frac{n}{2} + \frac{A}{2\Delta} + \alpha \sin\left(n\omega_0 - \frac{\omega_0}{2}\right) \\ \alpha &= \frac{A}{2\Delta \sin \frac{\omega_0}{2}} = \frac{\gamma}{2 \sin \frac{\omega_0}{2}} \end{aligned} \quad (3.20)$$

Glede na enačbo (3.20) pričakujemo rezultat, ki bo podoben rezultatu kvantizatorja s sinusnim vhomom. Po podobnem postopku, kot v primeru kvantizatorja, izračunamo dvodimenzionalno karakteristično funkcijo:

$$\overline{\Phi}_s^{(k)}(i, l) = \begin{cases} 0 & (i+l) = 2N-1 \\ e^{j\pi(i+l)\gamma} e^{j\pi l k} \sum_m e^{j\pi m \omega_0} (-1)^m J_m(2\pi\alpha i) J_m(2\pi\alpha l) & (i+l) = 2N \end{cases} \quad (3.21)$$

S pomočjo poenostavitve $y_n = \frac{1}{2} - e_n$ ter enačb (3.8) in (3.9) izpeljemo iz enačbe (3.21) avtokorelacijo signala napake [12]:

$$R_y(k) = \sum_{m=-\infty}^{\infty} e^{jkm\omega_0} (-1)^m c_e(m)^2 + \sum_{m=-\infty}^{\infty} e^{jk(m\omega_0-\pi)} (-1)^m c_o(m)^2 \quad (3.22)$$

V poenostavljenem primeru, ko je amplituda vhodnega sinusnega signala A enaka polnemu območju (»full-scale«, FS) kvantizatorja, izračunamo avtokorelacijo sekvence y_n v obliki:

$$R_y(k) = \sum_{m=-\infty}^{\infty} S_m e^{j2\pi k \lambda_m} \quad (3.23)$$

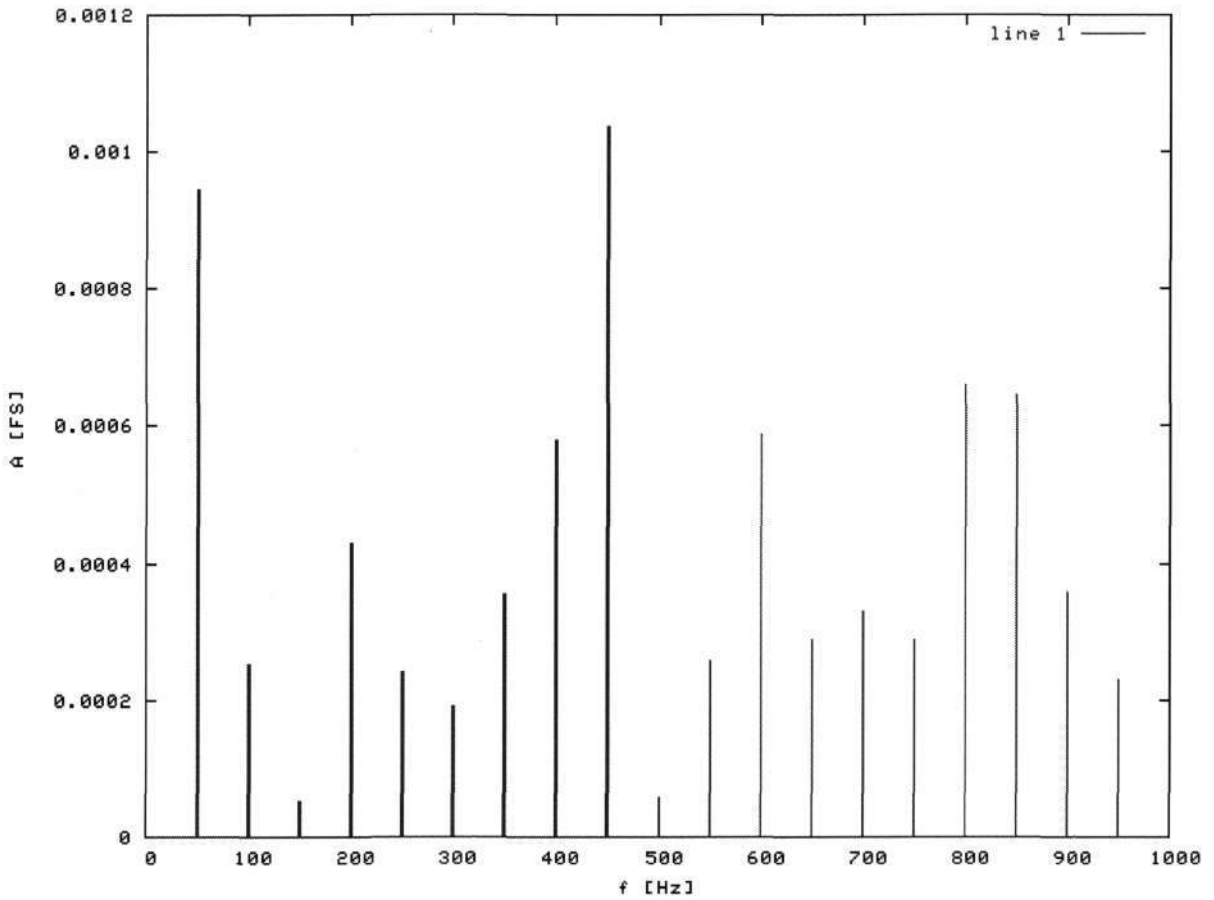
kjer S_m izrazimo z:

$$S_m = \begin{cases} \frac{1}{2} & m = 0 \\ \left(\frac{1}{\pi} \sum_{l=1}^{\infty} \frac{J_m[2\pi\alpha(2l-1)]}{2l-1} (-1)^l \right)^2 & m = 2N \\ \left(\frac{1}{\pi} \sum_{l=1}^{\infty} \frac{J_m[4\pi\alpha l]}{2l} (-1)^l \right)^2 & m = 2N - 1 \end{cases} \quad (3.24)$$

in λ_m z:

$$\lambda_m = \begin{cases} \left\langle m \frac{\omega_0}{2\pi} - \frac{1}{2} \right\rangle & m = 2N \\ \left\langle m \frac{\omega_0}{2\pi} \right\rangle & m = 2N - 1 \end{cases} \quad (3.25)$$

Enačbe (3.24) in (3.25) opisujejo pomembno lastnost sigma-delta modulatorja 1.reda: **spekter izhodnega signala je diskreten, pri frekvenci λ_m ima amplitudo S_m** . Spekter izhodnega signala je tako odvisen od frekvence vhodnega signala ω_0 in vsebuje vse harmonike vhodne frekvence. Slika 17 prikazuje amplitudni spekter moduliranega signala frekvence 50 Hz pri amplitudi vhodnega signala 1/1000 maksimalne vhodne amplitude in pri frekvenci vzorčenja modulatorja 500 kHz. Amplitudna napaka pri 50 Hz je torej posledica soležne spektralne komponente kvantizacijske napake modulatorja.



Slika 17: Amplitudni spekter moduliranega signala pri vhodnem signalu 0.001 FS

Zanima nas tudi vpliv konstantnega vhodnega signala na kvantizacijsko napako, saj v realnih vezjih konstantni vhodni signal predstavljajo razne nične (offset) napetosti. V primeru, ko je vhod v sigma-delta modulator 1. reda $x_n = x$ za vse x v območju brez prekrmljenja, lahko u_n v enačbi kvantizatorja (3.3) nadomestimo z vsoto $s_n = n\beta$, kjer velja

$$\beta = \left(\frac{1}{2} + \frac{x}{\Delta} \right) \quad (3.26)$$

Po enačbi (3.1) razvijemo s_n v Fourierjevo vrsto. Vrsto vstavimo v enačbo (3.4) in s pomočjo enačbe (3.8b) zapišimo dvodimenzionalno karakteristično funkcijo s_n :

$$\overline{\Phi}_s^{(k)}(i, l) = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{n=1}^N e^{j2\pi(in\beta + l(n+k)\beta)} = \begin{cases} e^{2\pi k\beta} & i = -l \\ 0 & i \neq -l \end{cases} \quad (3.27)$$

Iz enačbe (3.9c) tako sledi:

$$R_e(k) = \sum_{l \neq 0} \left(\frac{1}{2\pi l} \right)^2 e^{j2\pi k\beta_l} \quad (3.28)$$

Če primerjamo enačbo (3.28) z enačbo (3.23) ugotovimo, da je spekter kvantizacijske napake pri konstantnem vhodnem signalu diskreten, z amplitudami:

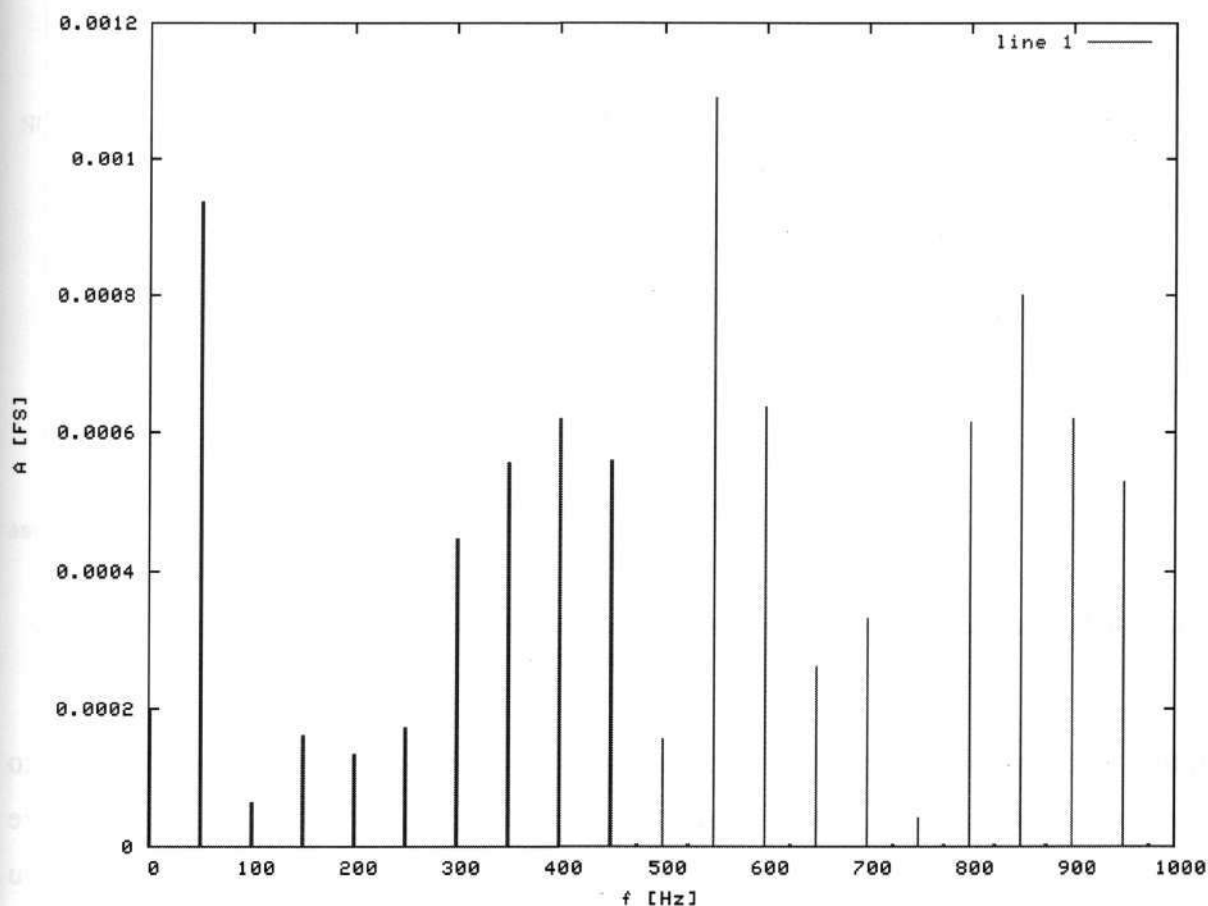
$$S_n = \begin{cases} 0 & n = 0 \\ \frac{1}{(2\pi n)^2} & n \neq 0 \end{cases} \quad (3.29)$$

pri frekvencah:

$$\beta_n = \left\langle n \left(\frac{1}{2} + \frac{x}{\Delta} \right) \right\rangle \quad (3.30)$$

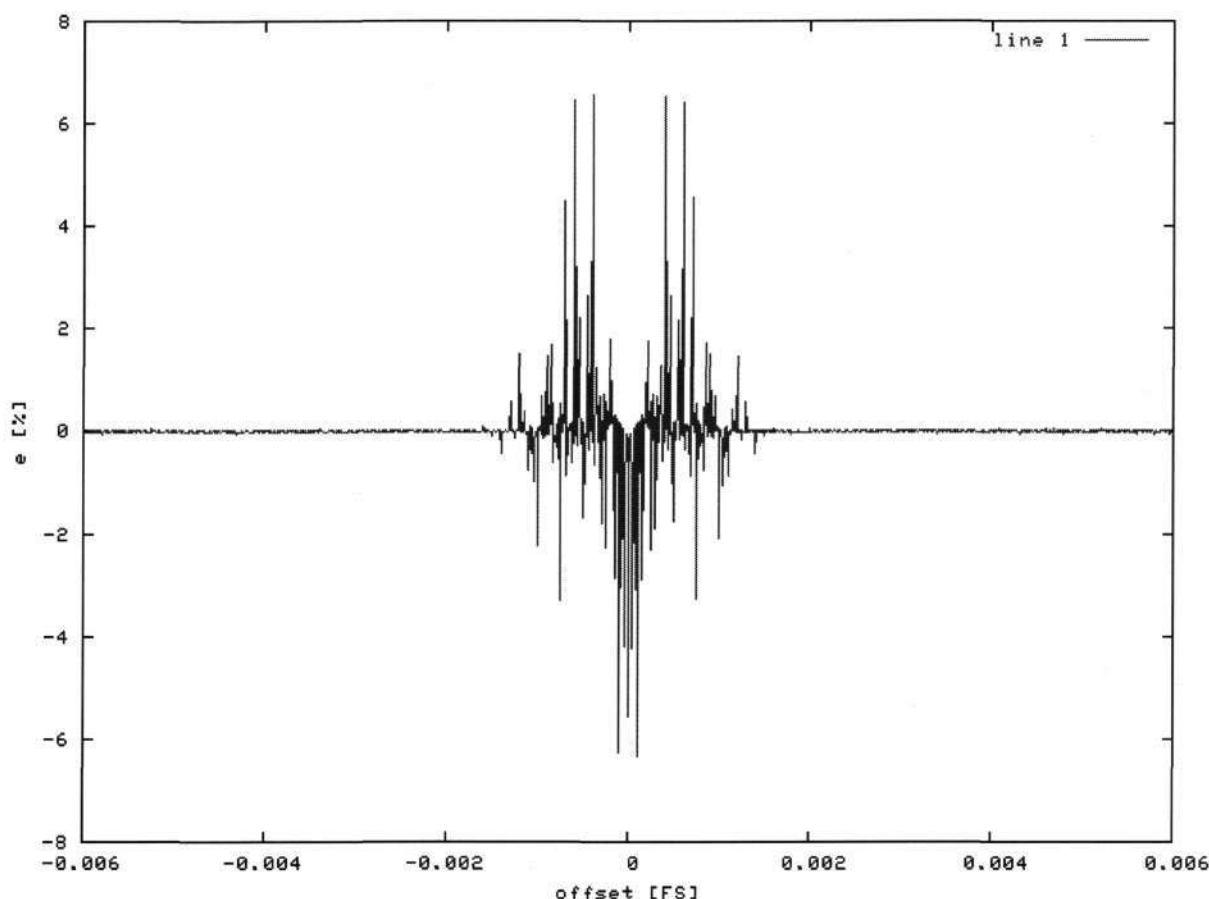
Glede na enačbo (3.30) pričakujemo pri frekvenci vzorčenja 500 kHz največjo frekvenčno komponento v okolici 50 Hz pri vhodnem signalu $x/\Delta = 0.0001$ FS.

Slika 18 prikazuje amplitudni spekter moduliranega signala pri vhodnem izmeničnem signalu z amplitudo 0.001 FS in dodanem enosmernem signalu 0.0001 FS. Napaka na 50 Hz komponenti se minimalno spremeni, opazne pa so spremembe amplitud ostalih frekvenčnih komponent.



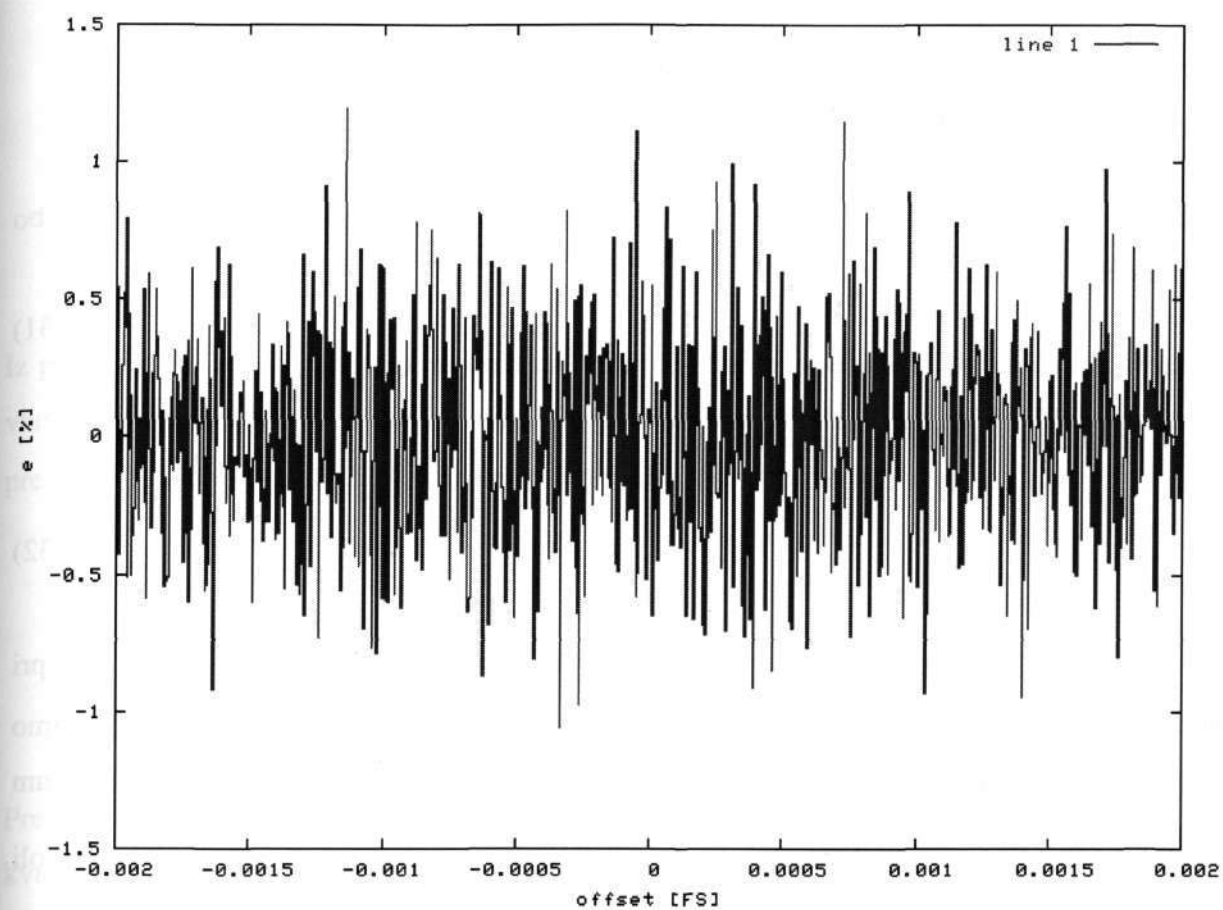
Slika 18: Amplitudni spekter moduliranega signala pri izmeničnem vhodnem signalu z dodano enosmerno komponento

Spremembo napake na osnovni harmonični komponenti vhodnega izmeničnega signala v odvisnosti od nične napetosti signala prikazuje slika 20. Napaka je posledica vpliva harmonskih komponent kvantizacijske napake pri kvantiziranju majhne enosmerne napetosti ter njihovih zgibov na osnovno frekvenco vhodnega signala. Relativno visoka nična napetost praktično odstrani vpliv kvantizacijske napake na osnovni harmonski komponenti vhodnega signala, problem pa predstavljajo nične napetosti v področju od -0.002 do 0.002 FS, saj so nične napetosti praktičnih izvedb ravno v tem območju.



Slika 19: Vpliv nične napetosti signalne verige na amplitudno napako osnovne frekvenčne komponente vhodnega signala

Vpliv kvantizacijske napake kvantiziranja nične napetosti na osnovno harmonsko komponento zmanjšamo z dodanim šumom, kot bo prikazano v 4. poglavju. Slika 20 kaže kvantizacijsko napako na osnovni komponenti vhodnega signala v primeru, ko vhodnemu signalu dodamo šum z normalno (Gaussovo) porazdelitvijo z efektivno vrednostjo $\sigma_{in} = 0.002$ FS. Vsaka točka v grafu prikazuje povprečje 10 simulacij.



Slika 20: Vpliv nične napetosti signalne verige na amplitudno napako osnovne frekvenčne komponente vhodnega signala pri dodanem vhodnem šumu s $\sigma_{in} = 0.002$ FS

3.2 Vpliv reda sigma-delta modulatorja

Podobno kot enačbo (3.13) sigma-delta modulatorja 1. reda zapišemo diferenčno enačbo sigma-delta modulatorja 2. reda:

$$u_n = x_{n-1} - 2\varepsilon_{n-1} + \varepsilon_{n-2} \quad (3.31)$$

Izhod iz modulatorja 2. reda zapišemo:

$$q(u_n) = \varepsilon_n - 2\varepsilon_{n-1} + \varepsilon_{n-2} + x_{n-1} \quad (3.32)$$

Pri sigma-delta modulatorju višjega reda lahko kvantizacijska napaka preseže $\pm \Delta/2$ tudi pri vhodnih signalih v območju $\pm \Delta$. Če privzamemo, da z vhodnim signalom ne prekrmilimo kvantizatorja, lahko analizo poenostavimo s tem, da normalizirani kvantizacijski šum $e = \frac{q(u)}{\Delta} - \frac{u}{\Delta}$ obravnavamo kot naključno spremenljivko z enako verjetnostjo, da leži kjerkoli v območju $\pm \Delta/2$. S tem srednjo kvadratično vrednost šuma zapišemo [17]:

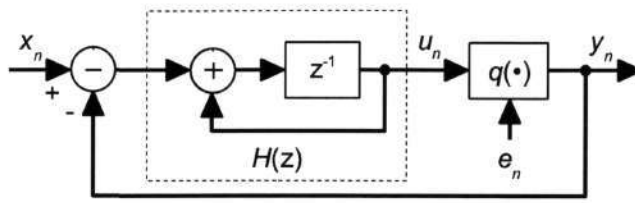
$$e_{rms}^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (3.33)$$

Ob vzorčenju kvantiziranega signala pri frekvenci vzorčenja $f_s = 1/\tau$ se vsa moč signala zgiba v frekvenčni pas med 0 in $f_s/2$. Za beli šum napake velja:

$$E(f) = e_{rms} \left(\frac{2}{f_s} \right)^{1/2} = e_{rms} \sqrt{2\tau} \quad (3.34)$$

Pri pogoju, da je vhodni signal omejen v frekvenčnem pas med 0 in f_0 , lahko moč kvantizacijskega šuma v signalnem pasu ocenimo:

$$P_e = \int_0^{f_0} E^2(f) df = e_{rms}^2 \left(\frac{2f_0}{f_s} \right) = \frac{e_{rms}^2}{OSR} \quad (3.35)$$



Slika 21: Linearni model sigma-delta modulatorja 1.reda

Iz prenosne funkcije linearnega modela na sliki (21) lahko s poenostavitvijo, da sta signalni vhod x_n in vhod kvantizacijske napake e_n dva neodvisna vhoda [1, str. 531-573], izpeljemo prenosno funkcijo signala $S_{TF}(z)$ in prenosno funkcijo kvantizacijske napake $N_{TF}(z)$:

$$S_{TF}(z) = \frac{Y(z)}{X(z)} = \frac{H(z)}{1 + H(z)} \quad (3.36)$$

$$N_{TF}(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)}$$

Prenosna funkcije kvantizacijske napake prvega reda naj ima ničlo pri $z = 1$, torej bo kvantizacijski šum filtriran z visokoprepustnim filtrom. Ker so ničle prenosne funkcije kvantizacijske napake v enačbi (3.36) ekvivalentne polom prevajalne funkcije signala, lahko $H(z)$ izvedemo z integratorjem s prenosno funkcijo:

$$H(z) = \frac{1}{z - 1} \quad (3.37)$$

Enačbi (3.36) s tem postaneta:

$$S_{TF}(z) = \frac{Y(z)}{X(z)} = \frac{1/(z - 1)}{1 + 1/(z - 1)} = z^{-1} \quad (3.38)$$

$$N_{TF}(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + 1/(z - 1)} = 1 - z^{-1}$$

Zanima nas oblika prenosne funkcije $|N_{TF}(f)|$, torej vzemimo $z = e^{j\omega T} = e^{j2\pi f/f_s}$ in zapišemo:

$$N_{TF}(f) = 1 - e^{-j2\pi f/f_s} \Rightarrow |N_{TF}(f)| = 2 \sin\left(\frac{\pi f}{f_s}\right) \quad (3.39)$$

Moč kvantizacijskega šuma v signalnem pasu zapišemo iz enačb (3.35) in (3.39):

$$P_e = \int_{-f_0}^{f_0} S_e^2(f) |N_{TF}(f)|^2 df = \int_{-f_0}^{f_0} \frac{\Delta^2}{12 f_s} |N_{TF}(f)|^2 \left[2 \sin\left(\frac{\pi f}{f_s}\right) \right]^2 df \quad (3.40)$$

pri $f_0 \ll f_s$, oz. pri $OSR \gg 1$ lahko $\sin(\pi f / f_s)$ aproksimiramo s $\pi f / f_s$:

$$P_e \cong \left(\frac{\Delta^2}{12} \right) \left(\frac{\pi^2}{3} \right) \left(\frac{2f_0}{f_s} \right)^3 = \frac{\Delta^2 \pi^2}{36} \left(\frac{1}{OSR} \right)^3 \quad (3.41)$$

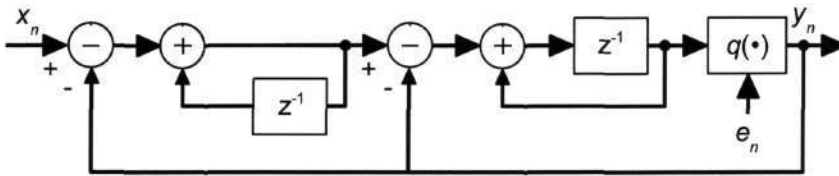
Moč maksimalnega sinusnega vhodnega signala, ko kvantizator še ne preide v nasičenje, zapišemo:

$$P_s = \left(\frac{\Delta}{2\sqrt{2}} \right)^2 \quad (3.42)$$

Iz enačb (3.41) in (3.42) izračunamo maksimalno razmerje signal/šum (SNR) sigma-delta modulatorja 1. reda z enobitnim kvantizatorjem:

$$SNR_{\max} = 10 \log \left(\frac{P_s}{P_e} \right) = 10 \log \left(\frac{9}{2\pi^2} \right) + 30 \log(OSR) \quad (3.43)$$

Enačba (3.43) kaže, da **sigma-delta modulator 1. reda pri podvojitvi vzorčne frekvence izboljša razmerje signal-šum za 9dB, oziroma dobimo 1.5 bita na oktavo.**



Slika 22: Linearni model sigma-delta modulatorja 2. reda

Sigma-delta modulator 2. reda (slika 22) izvedemo z dvema integratorjema, ki definirata prenosno funkcijo kvantizacijskega šuma:

$$N_{TF}(z) = \frac{Y(z)}{E(z)} = (1 - z^{-1})^2 \quad (3.44)$$

S podobnim postopkom, kot pri sigma-delta modulatorju 1. reda izračunamo moč signala kvantizacijske napake sigma-delta modulatorja 2. reda:

$$P_e \cong \frac{\Delta^2 \pi^2}{60} \left(\frac{1}{OSR} \right)^5 \quad (3.45)$$

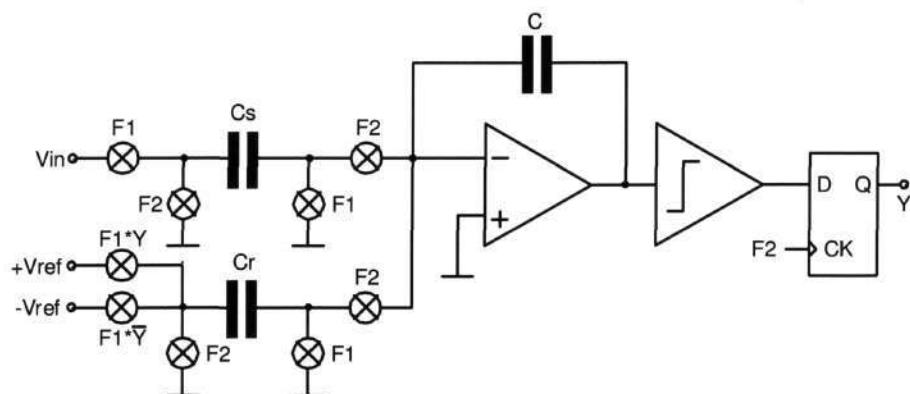
Enačbo (3.43) zapišemo za modulator 2. reda:

$$SNR_{\max} = 10 \log \left(\frac{P_s}{P_e} \right) = 10 \log \left(\frac{15}{2\pi^2} \right) + 50 \log(OSR) \quad (3.46)$$

Enačba (3.39) ponovno kaže lastnost sigma-delta modulatorjev 2. reda. **Modulator 2. reda pri podvojitvi vzorčne frekvence izboljša razmerje signal-šum za 15dB, oziroma 2.5 bita na oktavo.**

Pri modulatorjih višjega reda lahko izberemo tudi drugačno prenosno funkcijo kvantizacijske napake N_{TF} . Želimo, da ima N_{TF} v signalnem pasu kar se da visoko dušenje, torej naj ima izven signalnega pasu kar največje ojačanje. Hevristični pristop k načrtovanju stabilnih sigma-delta modulatorjev višjega reda omeji maksimalno ojačanje NTF funkcija na manj kot 1,5. S temi podatki lahko z enim od programskih paketov za načrtovanje SC filtrov izračunamo optimalne vrednosti kondenzatorjev SC filtra [19, str. 648-887], [20], s katerimi realiziramo N_{TF} .

3.3 Vpliv neidealnosti elementov



Slika 23: SC izvedba sigma-delta modulatorja

Večina sigma-delta analogno digitalnih pretvornikov v preteklih desetletjih je bila izvedena s SC (switched capacitor, stikalo-kondenzator) pristopom. SC pristop se je izkazal s svojo robustnostjo in združljivostjo z večino VLSI procesov, poleg tega pa je SC pristop zelo dobro raziskan in podrobno obdelan s stališča neidealnosti v vezju. Odločitev za SC realizacijo je skoraj samoumevna, predvsem zaradi prednosti SC pristopa:

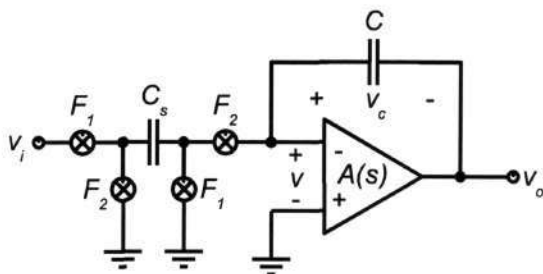
- neobčutljivost na tresenje signala takta in neobčutljivost na obliko izhodne napetosti ojačevalnika, ko izzvenijo vsi prehodni pojavi
- večina VLSI CMOS procesov omogoča izvedbo linearnih kondenzatorjev
- preprosta simulacija
- ničle in poli filtrov povratnih zank so definirani z razmerjem med kondenzatorji

Slabosti SC pristopa:

- za visoke SNR zahteva velike vhodne kondenzatorje – kT/C šum
- ker so pravi vzorčevalniki, lahko visokofrekvenčni šum vpliva v signalnem frekvenčnem pasu
- neželene tokovne konice pri polnjenju kondenzatorjev

3.3.1 Vpliv neidealnosti integratorja

Integrator kot osnovni element sigma-delta modulatorja opišemo s prenosno funkcijo (3.37). Zanima nas, kako na to prenosno funkcijo vplivajo karakteristike operacijskega ojačevalnika v integratorju, kot so končno ojačanje, končna pasovna širina in izhodna odzivnost (slew-rate) ojačevalnika.



Slika 24: K izračunu vpliva neidealnosti elementov

Pri analizi vpliva končnega ojačanja ojačevalnika A_0 operacijski ojačevalnik v integratorju nadomestimo z napetostno krmiljenim napetostnim virom. Podajmo izhodiščne enačbe integratorja [21]:

$$v(t) = -\frac{1}{A_0} v_o(t) \quad (3.47)$$

$$v_o(t) = v_c(t) + v(t) \quad (3.48)$$

$$C[v_c(t_n) - v_c(t_{n-1})] = C_s[v(t) - v_i(t_{n-1})] \quad (3.49)$$

Iz enačb (3.47)-(3.49) dobimo prenosno funkcijo integratorja v z prostoru [22], [23, str. 108-113] v obliki:

$$H(z) = \frac{V_o(z)}{V_i(z)} = \frac{C_s}{C} \frac{\rho_i z^{-1}}{1 - \frac{\rho_i}{\rho_s} z^{-1}} \quad (3.50)$$

Upoštevamo, da za več vhodov velja $V(z)C_s = \sum_{i=1}^n C_i V_i(z)$. Enačbo (3.50) zapišemo v diferenčni obliki, ki bo osnova pri analizah funkcionalnega modela:

$$V_o = \frac{\rho_i}{\rho_s} V_o z^{-1} + \rho_i \left[\frac{C_{inp}}{C} V_{inp} + \frac{C_{ref}}{C} V_{ref} \right] z^{-1} \quad (3.51)$$

$$v_o(t_n) = \frac{\rho_i}{\rho_s} v_o(t_{n-1}) + \rho_i \left(\frac{C_{inp}}{C} v_{inp}(t_{n-1}) + \frac{C_{ref}}{C} v_{ref}(t_{n-1}) \right) \quad (3.52)$$

V enačbah (3.50) do (3.52) ρ_i in ρ_s predstavljata statične napake v zaprtozančnem sistemu v fazi integriranja in fazi vzorčenja, definirane z:

$$\rho_i = \frac{A_0 \beta_i}{1 + A_0 \beta_i} \quad (3.53)$$

$$\rho_s = \frac{A_0 \beta_s}{1 + A_0 \beta_s} \quad (3.54)$$

β_i in β_s sta faktorja povratne vezave. Brez upoštevanja parazitnih kapacitivnosti jih zapišemo:

$$\beta_i = \frac{C}{C + C_{inp} + C_{ref}} \quad (3.55)$$

$$\beta_s = 1 \quad (3.56)$$

Pri analizo vplivov neidealnosti integratorja upoštevamo naslednje simulacijske pogoje:

Vzorčna frekvenca	$f_s = 500 \text{ kHz}$
Referenčna napetost	$V_{ref} = 0.6 \text{ V}$
Velikost enotskega kondenzatorja	$C_0 = 0.75 \text{ pF}$
Integracijski kondenzator	$C = 1.0 C_0$
Kondenzator signalne veje	$C_{inp} = 4.0 C_0$
Kondenzator referenčne veje	$C_{ref} = 1.0 C_0$
Frekvenca signala	$f_{sig} = 50 \text{ Hz}$
Nizkofrekvenčni signalni pas	$f_0 = 1 \text{ kHz}$

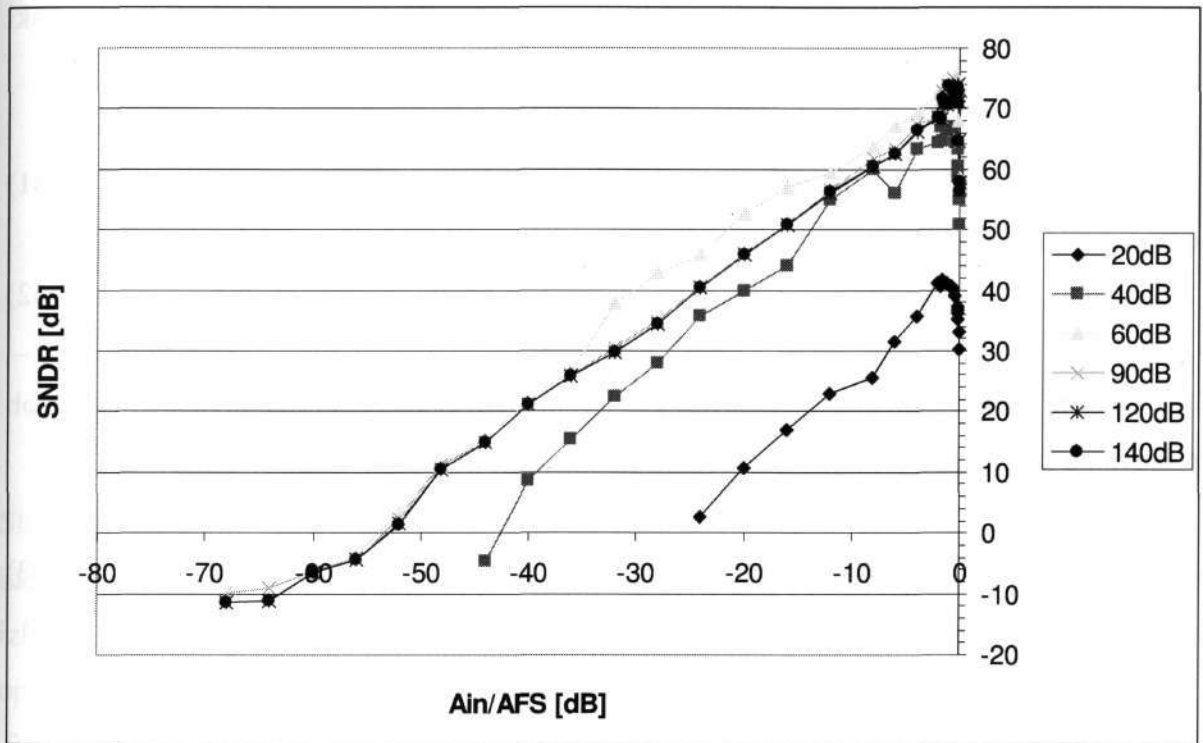
Tabela 2: Simulacijski pogoji analize vplivov neidealnosti integratorja

Razmerje moči signalne komponente na izhodu modulatorja proti vsoti moči ostalih komponent v nizkofrekvenčnem signalnem pasu (Signal-to-Noise-and-Distortion-Ratio), SNDR [36] Izračunamo iz moči posameznih frekvenčnih komponent FFT analize:

$$SNDR = 10 \log \left[P_s \left(\sum_{k=1}^{s-1} P_k + \sum_{k=s+1}^{NBW} P_k \right)^{-1} \right] \quad (3.57)$$

torej kot razmerje signalne moči P_s referenčne komponente proti vsoti moči vseh ostalih komponent v nizkofrekvenčnem signalnem pasu f_0 .

Slika (25) prikazuje SNDR krivulje sigma-delta modulatorja 1 reda pri različnih ojačanjih operacijskega ojačevalnika za vhodne signale amplitud od -80 dB celotnega območja do maksimalne amplitude vhodnega signala. Najboljše rezultate dobimo pri ojačanju operacijskega ojačevalnika nad 90 dB.



Slika 25: SNDR krivulja sigma-delta modulatorja 1.reda pri različnih ojačanjih operacijskega ojačevalnika

Če privzamemo operacijski ojačevalnik z enim dominantnim polom (p_0), bo odziv integratorja na nov vhodni vzorec eksponenten, s časovno konstanto ki jo splošno zapišemo [16, str. 348]:

$$\omega_t = A_0 p_0 \quad (3.58)$$

$$\tau = \frac{1}{\omega_t} \left(1 + \frac{\sum_m C_{im}}{\sum_n C_{fn}} \right) \quad (3.59)$$

C_{im} predstavlja m -ti vhodni kondenzator in C_{fn} n -ti kondenzator v povratni zanki. Enačbo (3.59) lahko ob upoštevanju enačbe (3.55) zapišemo z dominantnim polom p_{cl} zaprto-zančnega sistema:

$$\tau = \frac{1}{\omega_t} \frac{1}{\beta_i} = \frac{1}{p_{cl}} \quad (3.60)$$

S pomočjo enačbe (3.64), ki opisuje prenosno funkcijo operacijskega ojačevalnika operacijski z enim dominantnim polom

$$A(s) = \frac{V_o(s)}{V(s)} = \frac{-\omega_t}{s + p_0} \quad (3.61)$$

razširimo enačbo (3.47) v:

$$v(t) = -\frac{1}{A_0} v_o(t) - \frac{1}{\omega_0} \frac{dv_o(t)}{dt} \quad (3.62)$$

S podobnim postopkom kot v [21] izpeljemo enačbo prevajalne funkcije integratorja ob upoštevanju končnega ojačanja A_0 in končne pasovne širine ω_0 :

$$H(z) = \frac{V_o(z)}{V_i(z)} = \frac{C_s}{C} \frac{\rho_i (1 - \theta_i) z^{-1}}{1 - \frac{\rho_i}{\rho_s} \left(1 - \theta_i \left(1 - \frac{\rho_s}{\rho_i} \right) \right) z^{-1}} \quad (3.63)$$

Enačba (3.63) je podobna enačbi (3.50). Parameter θ_i predstavlja preostalo napako prehodnega pojava v fazi integriranja, zapišemo jo kot:

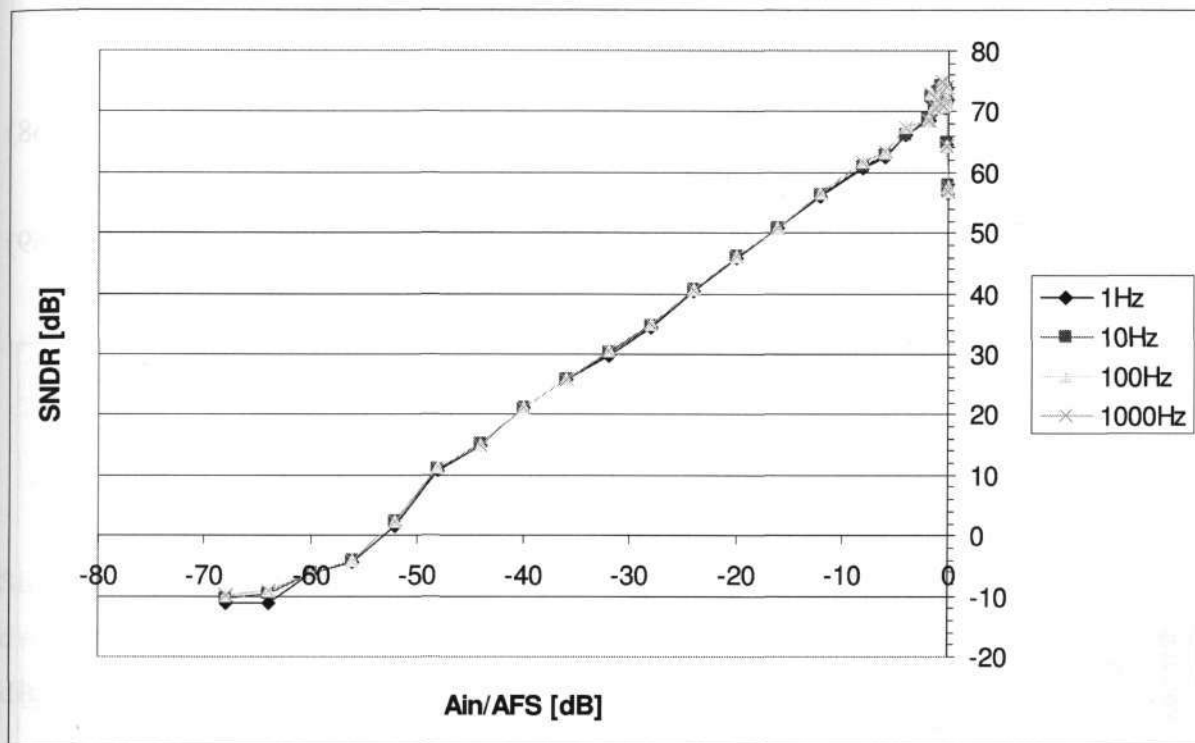
$$\theta_i = \exp \left(-\frac{1}{\tau} \frac{t_i}{\rho_i} \right) = \exp \left(-p_{cl} \frac{t_i}{\rho_i} \right) \quad (3.64)$$

S t_i označimo čas, ki je na voljo za integriranje.

Iz enačbe (3.63) zapišemo diferenčno enačbo izhoda integratorja:

$$v_o(t_n) = \frac{\rho_i}{\rho_s} \left[1 - \theta_i \left(1 - \frac{\rho_s}{\rho_i} \right) \right] v_o(t_{n-1}) + \rho_i (1 - \theta_i) \left(\frac{C_{inp}}{C} v_{inp}(t_{n-1}) + \frac{C_{ref}}{C} v_{ref}(t_{n-1}) \right) \quad (3.65)$$

Prvi člen predstavlja odziv integratorja na lastno shranjeno vrednost, drugi pa je odziv integratorja na vhodne vzorčevane napetosti.



Slika 26: SNDR krivulje sigma-delta modulatorja 1.reda pri različnih frekvencah dominantnega pola

Slika 26 kaže eno izmed lastnosti sigma-delta modulatorja 1. reda. SNDR karakteristika idealnega modulatorja je neodvisna od pasovne širine operacijskega ojačevalnika, dokler izhod integratorja deluje v linearnem (slew-free) področju. Pri simulaciji smo ojačanje operacijskega ojačevalnika v integratorju nastavili na 94 dB.

Za analizo vpliva izhodne odzivnosti (slew rate) ojačevalnika privzamemo visoko odprtozančno ojačanje ojačevalnika A_0 . S tem se faktorja ρ_i in ρ_s v enačbi (3.58) približata vrednosti 1. Enačbo (3.65) z upoštevanjem enačbe (3.64) zapišemo kot odziv integratorja v časovnem prostoru:

$$v_o(t) = V_o + V_{in} \left[1 - \exp \left(-p_{cl} \frac{t}{\rho_i} \right) \right] \quad (3.66)$$

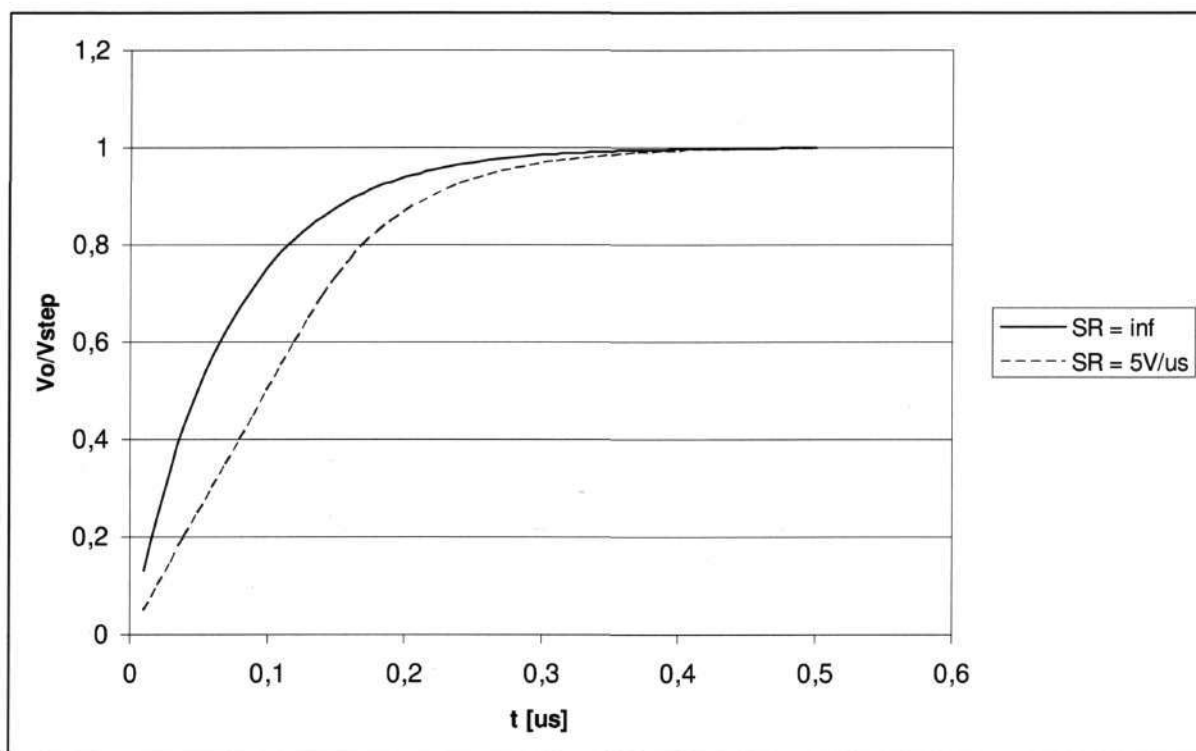
Skupno vhodno vzorčeno napetost izrazimo iz enačbe (3.51) kot vsoto vseh prispevkov:

$$V_{in} = \frac{C_{inp}}{C} V_{inp} + \frac{C_{ref}}{C} V_{ref} \quad (3.67)$$

Izhod operacijskega ojačevalnika (slika 27) na vzbujanje z vhodno stopnico V_{in} najprej omejeno linearno raste do določenega časa t_d , dokler izhod ojačevalnika ne preide v linearno področje delovanja. Če izenačimo naklona obeh področij pri $t = t_d$, lahko izračunamo t_d :

$$V_{exp} = SR \frac{\rho_i}{p_{cl}} \quad (3.68)$$

$$V_{in} = SR \cdot t_d + V_{exp} \Rightarrow t_d = \frac{V_{in}}{SR} - \frac{\rho_i}{p_{cl}} \quad (3.69)$$



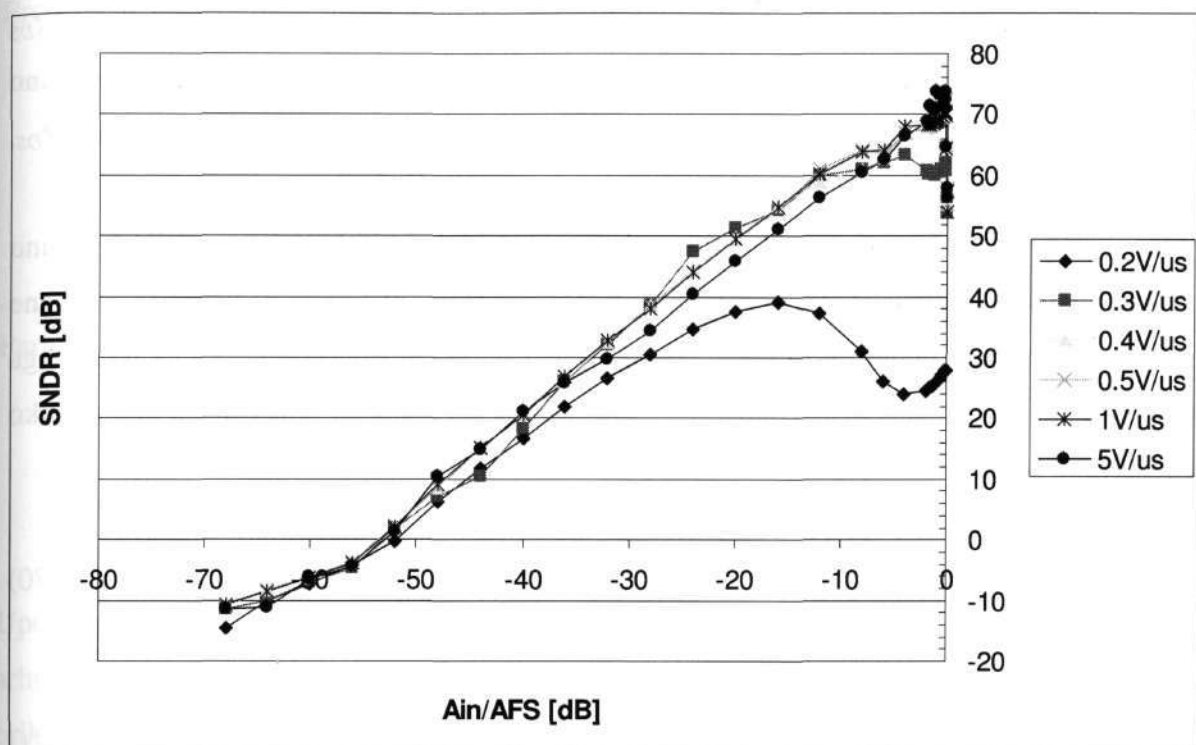
Slika 27: Časovni odziv ojačevalnika na vhodno stopnico pri različnih SR ($t_d = 1.28e-7$ s)

Glede na t_d iz enačbe (3.69) integrator deluje v treh področjih delovanja:

$t_d < 0$: integrator vedno deluje v linearnem področju.

$0 < t_d < t_i$: izhod integratorja izračunamo po enačbi (3.66)

$t_d > t_i$: integrator vedno deluje z omejeno izhodno odzivnostjo



Slika 28: SNDR krivulje sigma-delta modulatorja 1.reda pri različnih SR operacijskega ojačevalnika

Slika 28 prikazuje različne SNDR krivulje sigma-delta modulatorja 1.reda pri različnih dvižnih hitrostih izhoda operacijskega ojačevalnika. Ojačanje operacijskega ojačevalnika 94 dB in izbrani dominantni pol 100 Hz v tej sliki definirata širino enotskega ojačanja operacijskega ojačevalnika na 5 MHz. Optimalni SR ojačevalnika naj bo okrog 5 V/ μ s.

3.3.2 Vpliv neidealnosti stikal

Stikala v signalni poti vplivajo na signal s svojo upornostjo in temperaturno odvisnostjo upornosti, poleg tega pa vplivajo še s presluhom krmilnega signala in injeciranjem naboja kanala v signalno pot.

Stikala v MOS tehnologiji so izvedena z vezavo PMOS in/ali NMOS transistorjev. Upornost MOS stikala v grobem podaja enačba (2.8). V SC vezjih nas zanima povezava MOS stikala s kapacitivnim bremenom ter posledično časovna konstanta polnjenja kondenzatorja. Glede na [19, str. 41-43] MOS stikalo deluje v več režimih delovanja, zato je upornosti stikala s kapacitivnim bremenom odvisna od vhodnega signala.

V trenutku, ko stikalo vključimo, začne teči tok polnjenja kondenzatorja, napetost v_{DS} je visoka, s tem pa je visok tudi tok i_D skozi stikalo. V tem trenutku je torej upornost R_{DS} majhna. Ko pa se napetost na kondenzatorju približuje vhodni napetosti, se tok i_d občutno zmanjša. Izhodna napetost se le počasi povečuje, skupaj z njo pa se povečuje tudi R_{DS} . Končno tok i_D povsem preneha in R_{DS} se poveča na končno vrednost.

Ker se upornost R_{DS} med prehodnim pojavom precej spreminja, izberemo pri izračunu upornosti stikala polovično vrednost končne u_{DS} . V tem primeru je vrednost časovne konstante polnjenja kondenzatorja približno $R_{DS}C_L$, kar pa še vedno ne upošteva počasnega približevanja izhodne napetosti končni vrednosti (»rep« prehodnega pojava). Ta pojav lahko zanemarimo, če je čas preklopa stikala med 5 in 7 $R_{DS}C_L$. Enačba (2.8) s tem postane:

$$R_{DS,N} = \frac{1}{\mu_n C_{ox} \frac{W}{L} \left(U_{GS} - U_T - \frac{v_{DS}}{2} \right)} \quad (3.70)$$

$$R_{DS,P} = \frac{1}{\mu_p C_{ox} \frac{W}{L} \left(\frac{v_S + v_D}{2} - (U_{GS} - U_T) \right)} \quad (3.71)$$

Enačbi (3.70) in (3.71) kažeta, da zmanjšanje napajalne napetosti poveča upornost stikala, torej je **upornost stikala odvisna od signala**. Stikala generirajo neželeno harmonsko popačenje signala. To popačenje lahko do neke mere zmanjšamo z uporabo »transmission-gate« strukture, stikala tega tipa tudi zmanjšajo presluh krmilnega signala na signalno pot.

Končna upornost stikal vpliva na ojačanje in pole prevajalne funkcije integratorja (3.50), (3.63), saj je prenos naboja sedaj odvisen tudi od RC časovnih konstant v vzorčevalni veji integratorja. Zaporedne upornosti stikal v isti fazi združimo v skupno upornost R , prevajalna funkcija sistema s tem postane:

$$H(z) = \frac{V_o(z)}{V_i(z)} = \frac{C_s}{C} \frac{\rho_i (1 - \theta_i)(1 - \theta_s) z^{-1}}{1 - \gamma_1 z^{-1} + \gamma_2 z^{-2}} \quad (3.72)$$

Pri tem sta parametra γ_1 in γ_2 definirana z izrazoma:

$$\gamma_1 = \frac{\rho_i}{\rho_s} + \theta_s \lambda_1 + \theta_i \left(1 - \frac{\beta_i \lambda_1}{1 + \lambda_1} - \frac{\rho_i}{\rho_s} \frac{1 + \rho_s \lambda_1 (1 - \beta_i)}{1 + \lambda_1} \right) + \theta_s \theta_i \frac{\rho_i}{\rho_s} \quad (3.73)$$

$$\gamma_2 = \frac{\theta_s \theta_i}{1 + \lambda_1} \left[\theta_i \frac{\rho_i}{\rho_s} \left(1 - \left(\frac{\rho_i}{\rho_s} + \lambda_2 \right) \right) + \lambda_2 + \left(\frac{\rho_i}{\rho_s} + \lambda_2 \right) \left(\frac{\rho_i}{\rho_s} + \lambda_1 \left(\frac{\rho_i}{\rho_s} + \lambda_2 \right) \right) \right] \quad (3.74)$$

Preostanek napake prehodnega pojava v fazi vzorčenja θ_s in v fazi integriranja θ_i zapišemo:

$$\theta_s = \exp\left(\frac{t_s}{RC_s}\right) \quad (3.75)$$

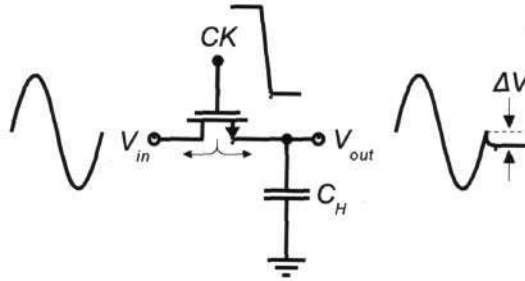
$$\theta_i = \exp\left(-p_{cl} \frac{t_i}{\rho_i(1+\lambda_1)}\right) \quad (3.76)$$

Parametra λ_1 in λ_2 pa izrazimo z:

$$\lambda_1 = \frac{1}{\rho_s} p_{cl} RC_s \quad (3.77)$$

$$\lambda_2 = (1 - \beta_i)(1 - \rho_i) \quad (3.78)$$

Upornost stikal se s temperaturo spreminja, vpliv temperature pa lahko zmanjšamo z ustrezno arhitekturo integratorja – z ločeno signalno in referenčno vejo vzorčevalnega vezja, kar bo prikazano v poglavju o izvedbi modulatorja.



Slika 29: Vpliv injeciranja naboja

Poseben problem predstavljata injeciranje naboja kanala v signalno pot (slika 29) in presluh krmilnega signala stikal. Količino naboja v inverzni plasti definira enačba (3.79):

$$Q_{ch} = WLC_{ox}(V_{DD} - V_{in} - U_T) \quad (3.79)$$

Pri izklopu transistorja prekinemo kanal, naboj kanala pa preide preko izvora in ponora v transistorjevo okolico. Nekaj naboja pri izklopu steče na vzorčevalni kondenzator, kar povzroči napako:

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_{in} - U_T)}{kC_s} \quad (3.80)$$

Parameter k (delež celotnega naboja kanala, ki steče na kondenzator) je kompleksna funkcija, odvisna od različnih vplivov. Nanj vplivata predvsem impedanca izvora in ponora transistorja proti signalni masi ter prehodni čas krmilnega signala. V najslabšem primeru se lahko celoten naboj prenese na kondenzator, kar po enačbi (3.80) povzroči napako vzorčenja:

$$V_{out} \approx V_{in} - \Delta V \Rightarrow V_{out} = V_{in} \left(1 + \frac{WLC_{ox}}{C_s} \right) - \frac{WLC_{ox}}{C_s} (V_{DD} - U_T) \quad (3.81)$$

Enačba (3.81) kaže, da injecirani naboj povzroči le napako ojačanja in enosmerno odmično napetost. Če pa upoštevamo tudi vpliv potenciala substrata na U_T (enačba 2.12) dobimo rezultat:

$$V_{out} = V_{in} \left(1 - \frac{WLC_{ox}}{C_s} \right) + \gamma \frac{WLC_{ox}}{C_s} \sqrt{2V_F + V_{in}} - \frac{WLC_{ox}}{C_s} (V_{DD} - U_{T0} + \gamma \sqrt{2V_F}) \quad (3.82)$$

Nelinearna odvisnost U_T od vhodnega signala V_{in} povzroči nelinearno odvisnost injeciranega naboja, to pa je vzrok nelinearni prenosni karakteristiki integratorja. Vplive injeciranega naboja lahko zmanjšamo s posebnimi tehnikami krmiljenja stikal, kar bo opisano v poglavju o izvedbi sigma-delta modulatorja.

Presluh krmilnega signala na signalno pot je posledica kapacitivnosti C_{GD} in C_{GS} . Če v približnem izračunu privzamemo, da se ti dve kapacitivnosti med delovanjem ne spreminjata, je napaka, povzročena zaradi presluha, določena s kapacitivnim delilnikom:

$$\Delta V = V_{CK} \frac{W(C_{GD} + C_{GS})}{W(C_{GD} + C_{GS}) + C_s} \quad (3.83)$$

Nelinearnost kapacitivnosti C_{GD} in C_{GS} podrobneje obravnava poglavje 2.2.4.

3.3.3 Vpliv neidealnosti kondenzatorjev

Diferencialna vezja so liho simetrična, velja $f(-x) = -f(x)$, zato so vse sode komponente Taylorjeve vrste takšnega vezja enake 0:

$$y(t) = \alpha_1 x(t) + \alpha_3 x^3(t) + \alpha_5 x^5(t) + \dots \quad (3.84)$$

Enačba (3.84) kaže, da idealno diferencialno vezje, vzbujano z diferencialnim signalom ne generira sodih harmonskih komponent, ne glede na vzrok. Ker moči harmonskih komponent s frekvenco padajo, lahko analizo poenostavimo na nelinearni vpliv tretje lihe harmonske komponente.

Poleg parazitnih kapacitivnosti je ključna neidealnost kondenzatorjev njihova napetostna odvisnost. Nelinearno napetostno odvisnost naboja na kondenzatorju lahko glede na prejšnje ugotovitve modeliramo z enačbo:

$$q = C_1 V + C_3 V^3 \quad (3.85)$$

Vpliv nelinearnega kondenzatorja obravnavamo glede na to, kje se ta kondenzator nahaja. Nelinearnost referenčnega kondenzatorja v vlogi 1-bitnega DA pretvornika v povratni zanki modulatorja na samo karakteristiko modulatorja ne vpliva, saj se kondenzator lahko nabije le na dva različna napetostna nivoja, karakteristika med dvema nivojema pa je sama po sebi linearna.

Nelinearnost vzorčnega kondenzatorja direktno vpliva na vzorčeni signal. Če nelinearnost kondenzatorja opišemo z enačbo (3.85), je razmerje osnovne harmonske komponente vzorčenega signala amplitude A z njegovo tretjo harmonsko komponento določeno z:

$$S/D = \frac{C_3}{4C_1} A^2 \quad (3.86)$$

Nelinearnost integracijskega kondenzatorja prav tako povzroči harmonsko popačenje, zaradi intermodulacije harmonskih komponent s kvantizacijskim šumom pa še dodatno poslabša šumno karakteristiko modulatorja. Povratna zanka modulatorja (»noise-shaping loop«) sicer oba vpliva zmanjša s prenosno funkcijo integratorja, zato ima nelinearnost integracijskega kondenzatorja, preslikana na vhod modulatorja, precej manjši vpliv od nelinearnosti vhodnega kondenzatorja.

3.3.4 Vpliv neidealnosti primerjalnika

Poleg hitrosti primerjanja sta najpomembnejša parametra primerjalnika nična napetost in histereza preklopne točke. Ker je primerjalnik zadnji element v sigma-delta modulatorju, njegovo odmično napetost $V_{of,comp}$ preračunamo na vhod po enačbi (3.87):

$$V_{os,input} = V_{os,comp} / A_{int} \quad (3.87)$$

Pri večstopenjskih sigma-delta modulatorjih predstavlja A_{int} v enačbi (3.87) zmnožek vseh ojačanj posameznih integratorjev v verigi.

Histereza primerjalnika povzroči, da je rezultat primerjave odvisen od prejšnjih rezultatov. Takšno pomnjenje vnaša dodatne sistemske pole v sistemsko prevajalno funkcijo, to pa degradira karakteristiko signalne in šumne prevajalne funkcije.

Čeprav bodo neidealnosti primerjalnika zmanjšane s karakteristiko povratne zanke modulatorja, lahko na modulatorjevo karakteristiko vpliva metastabilnost primerjalnika. Metastabilno stanje nastopi, ko je vhodni signal v primerjalnik tako majhen, da primerjalnik ne preklopi pravočasno v eno od diskretnih izhodnih stanj. Pri tako majhnem signalu ni pomembno, če primerjalnik izbere 0 ali 1, saj bo rezultirajoči kvantizacijski šum približno enak pri katerikoli odločitvi. Pomembno je, da je rezultat izbran v času, ki še zagotovi pravilno delovanje D/A pretvornika v povratni zanki modulatorja.

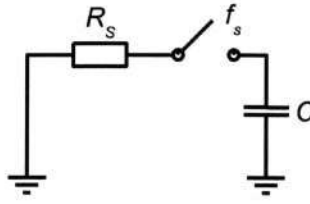
3.3.5 Vpliv neidealnosti napetostne reference

Izhod iz D/A pretvornika v povratni zanki modulatorja je produkt digitalnega vhoda, krmiljenega s primerjalnikom, in napetosti napetostne reference. Takšno množenje v časovnem prostoru pomeni konvolucijo v frekvenčnem prostoru. Če ima spekter izhodne napetosti napetostne reference kakršnokoli frekvenčno komponento, se bo ta komponenta modulirala s frekvenčnimi komponentami izhodnega digitalnega bitnega toka sigma-delta modulatorja. Problematične so predvsem diskretne frekvenčne komponente (spektralne črte) bitnega toka, saj demodulirajo frekvence v njihovi okolici v nizkofrekvenčno področje. Spektralne črte v bitnem toku so lahko posledica sekalka signala (chopper), s katerimi izločamo enosmerno komponento, zato morajo biti frekvence krmilnih signalov sekalkov še posebej skrbno izbrane, izhod napetostne reference pa mora biti dodatno glajen z izhodnim kondenzatorjem.

3.3.6 Vpliv notranjih šumnih virov v sigma-delta modulatorju

Termični šum v elementih je posledica naključnega toka nosilcev zaradi termične energije. V SC vezju obravnavamo izvore termičnega šuma v stikalih, sam termični šum ima konstantno (t.i.m. belo) močnostno gostoto v širokem frekvenčnem pasu. Frekvenčni pas

termičnega šuma je omejen z RC konstantami preklapljanih kondenzatorjev in s frekvenčnim pasom operacijskega ojačevalnika.



Slika 30: K izračunu šuma vzorčevalnega SC vezja

Za izračun termičnega šuma SC vezje poenostavimo v vezje s serijsko vezavo upora, kondenzatorja in s frekvenco f_s periodično vključevanega stikala (slika 30). Če je vzorčna frekvenca f_s precej višja od frekvenčnega pola vezja ($1/\omega RC$), se ves termični šum zgiba v frekvenčni pas od 0 do $f_s/2$. Izhajamo iz enačbe Johnsonovega šuma $4kTR\Delta f$ iz katere zapišemo celotno moč ekvivalentnega šumnega vira:

$$P_T = \int_0^{\infty} \frac{4kTR}{1 + (\omega RC)^2} df = \frac{kT}{C} \quad (3.88)$$

Celotna šumna moč se zgiba v frekvenčni pas med 0 do $f_s/2$ z močnostno gostoto:

$$S(f) = \frac{2kT}{f_s C} \quad (3.89)$$

V SC vezjih v vsakem taktne ciklu termični šum vzorčimo dvakrat (faza vzorčenja in faza integriranja), zato velja:

$$S(f) = \frac{4kT}{f_s C} \quad (3.90)$$

Močnostna gostota šuma po enačbi (3.90) je enaka močnostni gostoti šuma ekvivalentnega upora $R_{eq} = 1/f_s C$ v frekvenčnem pasu 0 do $f_s/2$:

$$S(f) = 4kTR_{eq} = \frac{4kT}{f_s C} \quad (3.91)$$

Sigma-delta modulator sestavljata dva vhodna kondenzatorja, eden v signalni in eden v referenčni veji. Močnostna gostota termičnega šuma SC strukture je torej definirana:

$$S(f) = \frac{4kT}{f_s} \sum_i \frac{1}{C_i} \quad (3.92)$$

Termični šum operacijskega ojačevalnika je odvisen od transkonduktanc posameznih elementov ojačevalnika, ki prispevajo k celotnemu šumu ojačevalnika. Šum transistorjev, preračunan na krmilno elektrodo, je enak $S(f) = 8kT/3g_m$ [8, str. 212], močnostno gostoto šumnega vira na vhodu $S_T B$ pa izračunamo iz topologije ojačevalnika in mejne frekvence enotskega ojačanja ojačevalnika f_i .

Po vzorčenju se celotni termični šum ojačevalnika zgiba v signalni pas 0 do $f_s/2$, celotna močnostna gostota vzorčenega termičnega šuma ojačevalnika je torej:

$$S(f) = \frac{2S_T B}{f_s} \quad (3.93)$$

$1/f$ šum transistorjev v stikalih ne prispeva k celotnemu šumu modulatorja, saj $1/f$ šum povzročajo fluktuacije števila nosilcev v kanalu [16, str. 355], torej element v katerem tok ne teče, k celotnemu šumu ne prispeva. V SC vezjih je $1/f$ šum predvsem problem operacijskih ojačevalnikov.

Za razliko od termičnega šuma s konstantno spektralno gostoto, je $1/f$ šum največji pri nizkih frekvencah, zato ga z višanjem vzorčne frekvence ne zmanjšamo. Ena od možnosti za zmanjšanje $1/f$ šuma operacijskega ojačevalnika je večanje površine vhodnih transistorjev, pri tem pa zmanjšamo šum za 3dB z vsako podvojitvijo površine transistorja. Učinkovitejša metoda manjšanja $1/f$ šuma je vpeljava ničenega («auto-zeroed») integratorja, kjer vrednost $1/f$ šuma prejšnje polperiode odštejemo od vrednosti šuma trenutne polperiode. Takšen pristop zmanjša $1/f$ šum za faktor $1 - z^{1/2}$, tak pristop se tudi lepo vključuje v koncept SC vezij.

Skupni šum, preračunan na vhod sigma-delta modulatorja višjega reda je zaradi ojačanja integratorjev v signalni verigi odvisen predvsem od termičnega šuma stikal in šuma operacijskega ojačevalnika v prvem integratorju.

3.4 Decimatorji

Frekvenčni spekter izhodnega signala modulatorja je sestavljen iz frekvenčnega spektra vhodnega signala ter iz visokofrekvenčnih komponent izven signalnega frekvenčnega pasu (visokofrekvenčni kvantizacijski šum in visokofrekvenčni šum vezja). Digitalni decimacijski filter poleg znižanja frekvence izhodnih digitalnih besed tudi nizkoprepustno filtrira signal, s tem pa duši visokofrekvenčne komponente izhodnega signala modulatorja.

Decimacijski filtri znižajo visoko frekvenco izhodnih vzorcev f_s v nizki ločljivosti (običajno enobitna) v 10 do 12 bitno paralelno besedo nizke frekvence f_D . Ker se šumne komponente v bližini f_D in večkratnikov f_D preslikajo v nizkofrekvenčni signalni pas, je zaželeno, da ima decimacijski filter pri teh frekvencah ničle prenosne funkcije.

Sinc^N decimacijski filtri sestavljajo družino digitalnih filtrov s frekvenčno karakteristiko, podobno funkciji $\text{sinc}(\pi f/f_D)$. Najpreprostejše vezje, s katerim izvedemo sinc^1 funkcijo je preprosto »accumulate-and-dump« vezje [24] z enim digitalnim akumulatorjem. Takšno vezje s frekvenco f_s integrira vhodne digitalne vzorce x_i , vsako branje izhodne vrednosti y_k z decimacijsko frekvenco f_D pa notranjo spremenljivko akumulatorja postavi na vrednost nič:

$$y_k = \frac{1}{N} \sum_{i=N(k-1)}^{Nk-1} x_i \quad (3.94)$$

Decimacijsko razmerje N predstavlja celoštevilsko razmerje med frekvenco vhodnih vzorcev in decimacijsko frekvenco:

$$N = \frac{f_s}{f_D} \quad (3.95)$$

Prevajalno funkcijo takšnega filtra zapišemo:

$$H(z) = \frac{Y(z)}{X(z)} = \frac{1}{N} \sum_{i=0}^{N-1} z^{-i} = \frac{1}{N} \frac{1 - z^{-N}}{1 - z^{-1}} \quad (3.96)$$

Frekvenčno karakteristiko filtra izračunamo z uvedbo $z = e^{j\omega T}$:

$$H(e^{j\omega T}) = \frac{\text{sinc}(\pi \omega NT)}{\text{sinc}(\pi \omega T)} \quad (3.97)$$

Glede na potek frekvenčne karakteristike visokofrekvenčnega kvantizacijskega šuma ugotovimo, da je optimalni red sinc^N decimacijskega filtra za 1 višji od reda modulatorja [25, str. 551-552]. Rast dušenja visokih frekvenc filtra naj bo večja od rasti frekvenčne karakteristike kvantizacijskega šuma; na ta način visokofrekvenčni šum dušimo že pri relativno nizki frekvenci.

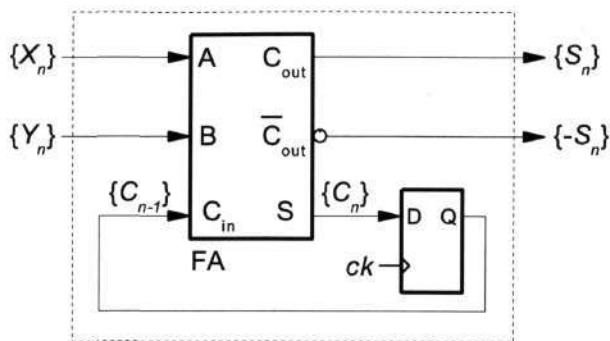
Sinc^N decimacijsko vezje višjega reda lahko učinkovito izvedemo kot kaskadno vezavo sinc vezij nižjega reda [26, 27, 28, 29] ali z direktno izvedbo [30, 31].

3.4.1 Digitalni filtri v sigma-delta prostoru

Procesiranje signalov v sigma-delta prostoru omogoča direktno procesiranje visokofrekvenčnih enobitnih signalov, ne da bi frekvenco signala predhodno zmanjšali na Nyquistovo frekvenco. Pri procesiranju signalov v sigma-delta prostoru ne potrebujemo digitalnega decimatorja, z uporabo preprostih digitalnih struktur (sigma-delta množilnik in seštevalnik) pa se kompleksnost digitalnega dela precej zmanjša. Digitalno vezje tako vsebuje manj preklopnih elementov, s tem pa generira manjše tokovne konice in posledično manjši šum v vezju.

Digitalne filtre v sigma-delta prostoru učinkovito izvedemo s pomočjo ponovne modulacije internih stanj z digitalnim sigma-delta modulatorjem [32]. Namesto kompleksnih digitalnih sigma-delta modulatorjev drugega reda lahko uporabimo t.im. »bitstream« generatorje, oz. digitalne sigma-delta generatorje prvega reda, s podobno strukturo kot v [33, str. 140-142].

Osnovni procesni element v sigma-delta prostoru je preprosto vezje polnega seštevalnika delta signalov, »delta full adder« (DFA), predstavljenega v [34] kot procesni element za delta modulirane signale (slika 31). Enako vezje lahko uporabimo tudi za procesiranje sigma-delta moduliranih signalov [35].



Slika 31: Polni seštevalnik delta signalov

S serijo medsebojno povezanih DFA vezij lahko izvedemo dvokvadrantni [35] in štirikvadrantni množilnik sigma-delta signalov, prikazan na sliki 32a.

3.4.2 Štirikvadrantni sigma-delta množilnik

Izhodno sekvenco delta modulatorja za analogni vhodni signal $x(t)$ zapišemo:

$$\{X_n\} = \dots, X_{-1}, X_0, X_1, \dots; \quad X_n = \{-1, +1\} \quad (3.98)$$

Množilno konstanto α štirikvadrantnega množilnika zapišemo v obliki:

$$\alpha = \alpha_1 2^{-1} + \alpha_2 2^{-2} + \dots + \alpha_q 2^{-q} \quad (3.99)$$

V enačbi (3.99) α_i zavzema dve diskretni vrednosti, -1 ali +1, za vsak $i = 1, 2, \dots, q$. Produkt $\alpha \cdot x(t)$ lahko s pomočjo te enačbe zapišemo:

$$\alpha \cdot x(t) = (\alpha_1 x(t) + (\alpha_2 x(t) + (\dots + (\alpha_q x(t) 2^{-1}) \dots) 2^{-1}) 2^{-1}) 2^{-1} \quad (3.100)$$

Vpeljemo še posebno sekvenco $\{I_n\}$, v kateri velja $I_n = -I_{n-1}$ in kjer I_n zavzema dve diskretni vrednosti: -1 ali +1. Ta sekvenca definira delta sekvenco konstantne funkcije $i(t) = 0$.

N -ti člen izhodne sekvence vsote DFA vezja $S_n = (X_n, Y_n)$ izračunamo iz lastnosti (7) DFA vezja [34], kjer velja:

- (1) $\{(X_n, Y_n)\} = \{(Y_n, X_n)\}$
- (2) $\{[(X_n, Y_n), Z_n]\} \neq \{[X_n, (Y_n, Z_n)]\}$
- (3) $\{(X_n, X_n)\} = \{X_n\}$
- (4) $\{(X_n, -X_n)\} = \{I_n\}$
- (5) $\{(X_n, -Y_n)\} = \{-(-X_n, Y_n)\}$
- (6) $\{(X_n, I_n)\}$ je delta sekvenca vhodnega signala $2^{-1}x(t)$
- (7) $\{(X_n, \pm Y_n)\}$ je delta sekvenca vhodnega signala $2^{-1}[x(t) \pm y(t)]$

Delta sekvenco $\{P_n\}$ produkta $\alpha \cdot x(t)$ izračunamo iz enačbe (3.100):

$$P_n = (\alpha_1 X_n, (\alpha_2 X_n, (\dots, (\alpha_q X_n, I_n) \dots))) \quad (3.101)$$

iz česar sledi:

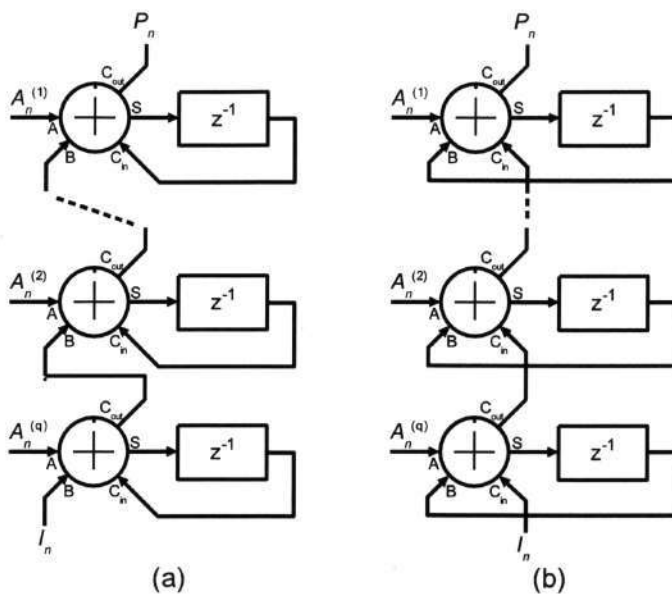
$$\begin{aligned} P_n &= (A_n^{(1)}, (A_n^{(2)}, (\dots, (A_n^{(q)}, I_n) \dots))) \\ A_n^{(i)} &= \alpha_i X_n \end{aligned} \quad (3.102)$$

V digitalni izvedbi lahko členi v sekvencah zavzemajo le vrednosti 1 in 0 (namesto +1 in -1).

Ker v digitalnih izvedbah velja $(-X_n) = \bar{X}_n$, lahko enačbo (3.102) zapišemo v obliki:

$$\begin{aligned} P_n &= (A_n^{(1)}, (A_n^{(2)}, (\dots, (A_n^{(q)}, I_n) \dots))) \\ A_n^{(i)} &= \begin{cases} \bar{X}_n, & \alpha_i = -1 \\ X_n, & \alpha_i = +1 \end{cases} \end{aligned} \quad (3.103)$$

V enačbi (3.103) z $\bar{X}_n$ označimo binarno inverzijo člena X_n . Paralelno množilno konstanto α lahko nadomestimo s počasi se spreminjajočim signalom $y(t)$, zapisanim v obliki enačbe (3.99). Enačbo (3.103) izvedemo z DFA vezjem, kot je prikazano na sliki 32a.



Slika 32: Štirikvadrantni množilnik sigma-delta signalov

Vhodi v polni seštevalnik so medsebojno v celoti zamenljivi, zato lahko s preureditvijo vhodov (slika 32) množilnik izvedemo s serijsko vezavo N-bitnega polnega seštevalnika in N-bitnega registra. Ti dve makro-celici sta na voljo kot optimizirana struktura v t.im. »datapath« knjižnicah končnih geometrij elementov.

Preurejena struktura omogoča izvedbo optimiziranega funkcionalnega modela. Struktura, prikazana na sliki 32b predstavlja N-bitni akumulator, optimizirani funkcionalni model pa lahko zapišemo v nekaj vrsticah C++ kode [37]:

```
void delta_add::update(int A, int I) {
    s += I;
    s += A & _bitmask;
    P = !(s & (_bitmask + 1));
    s &= _bitmask;
};
```

in

```
A = X ? Y : ~Y;
A &= _bitmask;
```

X je v tem primeru serijski bitni tok, Y pa paralelna beseda.

3.4.3 Generator sigma-delta sekvenc

Z nekaterimi poenostavitvami lahko s štirikvadrantnim sigma-delta množilnikom izvedemo t.im. generator sigma-delta sekvenc. Če z vhodno sigma-delta sekvenco kodiramo maksimalno konstantno vrednost, potem velja $X_n=1$, s čimer lahko enačbo (3.103) poenostavimo v:

$$P_n = (\beta_1, (\beta_2, (\dots, (\beta_q, I_n) \dots)))$$

$$\beta_i = \begin{cases} 0, & \alpha_i = -1 \\ 1, & \alpha_i = +1 \end{cases} \quad (3.104)$$

Paralelni vhod v N -bitni digitalni generator sigma-delta sekvenc opisuje binarno število v obliki enačbe (3.99):

$$\beta = \beta_1 2^{-1} + \beta_2 2^{-2} + \dots + \beta_q 2^{-q} \quad (3.105)$$

V enačbi (3.105) β_1 označuje bit z največjo težo (MSB). Binarno N -bitno število β tako kodira maksimalno simetrično območje:

$$-(2^N - 1)/2^N \leq \sum_{i=1}^N \alpha_i 2^{-i} \leq + (2^N - 1)/2^N \quad (3.106)$$

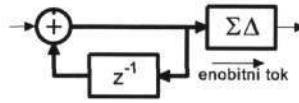
Za visoke N (10 in več) so meje območja generatorja sigma-delta sekvenc praktično enake ± 1 .

Na ta način dvobitna vrednost $\beta=11$ na vseh dvobitnih digitalnih sigma-delta generatorjih generira sekvenco $\{..., 1, 1, 1, 1, 1, 1, 0, \dots\}$, medtem ko vrednost $\beta=00$ na vseh istih sigma-delta generatorjih generira sekvenco $\{..., 0, 0, 0, 0, 0, 0, 1, \dots\}$.

Nično sekvenco $\{I_n\}$ na izhodu digitalnega sigma-delta generatorja dosežemo z izmeničnim menjavanjem vrednosti 100...0 in 11...1 na N -bitnem paralelnem vhodu generatorja sigma-delta sekvenc. To pa je ravno vrednost na paralelnem izhodu N -bitnega digitalnega akumulatorja v vlogi N -bitnega integratorja sigma-delta sekvence, ko na njegov enobitni vhod priključimo nično sekvenco $I_n = \{..., 0, 1, 0, 1, \dots\}$.

3.4.4 Digitalni sigma-delta integrator

Digitalni sigma-delta integrator sestavimo iz N -bitnega digitalnega akumulatorja zaporedno vezanega na paralelni vhod N -bitnega sigma-delta generatorja sekvenc (slika 33).



Slika 33: Digitalni sigma-delta integrator

Zahtevam prevzorčenja zadostimo s frekvenca takta sigma-delta struktur, ki je vsaj nekaj velikostnih razredov večja, kot je Nyquistova frekvenca vhodnega signala. V tem primeru lahko integrator s prevajalno funkcijo $H(z) = 1/(1 - z^{-1})$ pretvorimo iz časovnega v frekvenčni prostor z bilinearno transformacijo $z^{-1} = (2f_{clk} - s)/(2f_{clk} + s)$:

$$H_a(s) = \frac{f_{clk}}{s} + \frac{1}{2} \approx \frac{f_{clk}}{s} \quad (3.107)$$

Izhodna vrednost N -bitnega digitalnega generatorja sigma-delta sekvenc je omejena z enačbo (3.106), medtem ko je maksimalna predznačena vrednost N -bitnega akumulatorja enaka $\pm(2^{N-1} - 1)$. Da zadostimo enačbi (3.106) moramo prevajalno funkcijo sigma-delta integratorja normirati s faktorjem $(2^{N-1} - 1)$. Enačba (3.107) s tem postane:

$$H_a(s) \approx \frac{f_{clk}}{s} \frac{1}{(2^{N-1} - 1)} \frac{(2^N - 1)}{2^N} \quad (3.108)$$

V praktičnih izvedbah, kjer je $N > 10$ lahko enačbo (3.108) poenostavimo v

$$H_a(s) \approx \frac{f_{clk}}{(2^{N-1} - 1)} \frac{1}{s} = \frac{1}{\tau \cdot s} \quad (3.109)$$

Degradaciji signala zaradi preliva vrednosti notranje spremenljivke akumulatorja se izognemo z omejevanjem maksimalne notranje vrednosti integratorja z dodanim digitalnim omejevalnikom (limiter). Prehodne pojave ob vklopu filtra, sestavljenega iz predstavljenih integratorjev, pa lahko skrajšamo s postavitvijo začetne vrednosti notranje spremenljivke akumulatorja ob vklopu na srednjo vrednost, to je 100...0.

Podobno kot v poglavju 4, tabela 3 prikazuje simulirano napako odčitkov energije v odvisnosti od frekvence vhodnega signala. Frekvenčna odvisnost je posledica filtra (slika 7, poglavje 4), realiziranega z gradniki v sigma-delta prostoru. Amplitudo procesiranega sigma-delta signala v simulaciji nastavimo na 0.1 FS. Rezultati v frekvenčnem območju 40 – 65 Hz. kažejo na zelo dobro frekvenčno karakteristiko filtra.

Signalna frekvenca [Hz]	e [%]:
40	-0.057
45	-0.017
50	0.001
55	0.005
60	0.002
65	-0.020

Tabela 3: Simulirana frekvenčna odvisnost napake

3.5 Literatura k 3. poglavju

- [1] D. A. Johns, K. Martin, Analog Integrated Circuits Design, John Wiley & Sons, Inc, New York, 1997.
- [2] K. C.-H. Chao, S. Nadeem, W. L. Lee, C. G. Sodini, A Higher-Order Topology for Interpolative Modulators for Oversampling A/D Converters, IEEE Trans. On Circuits and Systems, Vol. 37, str. 309-318, March 1990.
- [3] D. Anastassiou, Error Difusion Coding for A/D Conversion, IEEE Trans. On Circuits and Systems, Vol. 36, str. 1175-1186, September 1989.
- [4] R. Schreirer, An Empirical Study of High-Order Single-Bit Delta-Sigma Modulators, IEEE Trans. On Circuits and Systems, Vol. 40, str. 461-466, August 1993.
- [5] A. Yukawa, A CMOS 8-bit high speed A/D Converter IC, IEEE J. Solid-State Circuits, vol. SC-20, str. 775-779, June 1985.
- [6] B. E. Boser, B. A. Wooley, The Design of Sigma-Delta Modulation Analog-To-Digital Converters, IEEE J. Solid-State Circuits, Vol. SC-23, str. 1298-1308, December 1988.
- [7] Uroš Bizjak, Diferencialni CMOS operacijski ojačevalnik, Diplomaska naloga, Fakulteta za elektrotehniko, Univerza v Ljubljani, junij 1996.
- [8] B. Razavi, Design of analog MOS integrated circuits, McGraw-Hill Higher Education, Boston, 2001.

- [9] D. Su et al., Experimental Results and Modeling Techniques for Substrate Noise in Mixed-Signal integrated Circuits, IEEE J. Solid-State Circuits, vol. SC-28, str. 420-430, April 1993.
- [10] T. Blalack, B. A. Wooley, The Effects of Switching Noise on an Oversampling A/D Converter, ISSCC Dig. Of Tech. Papers, str. 200-201, February 1995.
- [11] N. K. Verghese, T. J. Schmerbeck, D. J. Allstot, Simulation Techniques and Solutions for Mixed-Signal Coupling in Integrated Circuits, Kluwer Academic Publishers, Boston, 1995.
- [12] Robert M. Gray, Quantization noise spectra, Trans. Inform. Theory, Vol. IT-36, str. 1220-1244, November 1990.
- [13] Robert M. Gray, Oversampled Sigma-Delta Modulation, IEEE Trans. Commun., Vol. COM-35, str. 481-489, May 1987.
- [14] Ludvik Gyergyek, Signali in statistične metode, Univerza v Ljubljani, Fakulteta za elektrotehniko, Ljubljana, 1984.
- [15] Robert M. Gray, Quantization Noise in $\Sigma\Delta$ A/D Converters, 2. poglavje v [16], str. 44-74.
- [16] S. R. Norsworthy, R. Schreier, G. Themes, Delta-Sigma Data Converters – Theory, Design, and Simulation, IEEE Circuits & Systems Society, IEEE Press, New York, 1997.
- [17] James C. Candy, Gabor C. Temes, Oversampling Methods for A/D and D/A Conversion, poglavje v [18], str. 1-29.
- [18] James C. Candy, Gabor C. Temes, Oversampling Delta-Sigma Data Converters, Theory, Design, and Simulation, Wiley Interscience IEEE Press, New York, 1992.
- [19] Kenneth R. Laker, Willy M. C. Sansen, Design of Analog Integrated Circuits and Systems, McGraw-Hill Inc, New York, 1994.
- [20] Uroš Bizjak, Realizacija Switched Capacitor (SC) filtra s podanimi karakteristikami, Seminarska naloga pri predmetu Teorija in optimizacija elektronskih vezij, magistrski študij, Fakulteta za elektrotehniko, Univerza v Ljubljani, 1999.
- [21] Gabor C. Temes, Finite Amplifier Gain and Bandwidth Effects in Switched-Capacitor Filters, IEEE J. Solid-State Circuits, vol. SC-15, str. 358-361, June 1980.
- [22] Yves Geerts, Augustino Manuel Marques, Michael S. J. Steyaert, A 3.3-V, 15-bit, Delta-Sigma ADC with a Signal Bandwidth of 1.1 MHz for ADSL Applications, IEEE J. Solid-State Circuits, vol. SC-34, str. 927-936, July 1999.

- [23] Mohamed Dessouky, Design for Reuse of Analog Circuits, Case Study: Very Low-Voltage Delta-Sigma Modulator, Ph.D. Thesis of the University of Paris VI, januar 2001.
- [24] J.C. Candy, A Use of Limit Cycle Oscillations to Obtain Robust Analog-to-Digital Converters, IEEE Trans. Commun., vol. COM-22, str. 298-305, March 1974.
- [25] D. A. Johns, K. Martin, Analog Integrated Circuits Design, John Wiley & Sons Inc, New York, 1997.
- [26] D. Strle, Area and power consumption efficient VLSI implementation of programmable comb decimation filter with low switching noise, Informacije MIDEM, letnik 32, št 4(104), str. 311-315, december 2002
- [27] S. Chu, C. S. Burrus, Multirate Filter Designs Using Comb Filters, IEEE Trans. Circuits and Sys., vol. CAS-31, str. 913-924, November 1994.
- [28] E. Dijkstra, O. Nys, C. Piquet, M. Degrauwe: On the use of modulo arithmetic comb filters in sigma-delta modulators, IEEE Proc. ICASSP'88, str. 2001-2004, April 1988.
- [29] T. Saramaki, H. Tenhunen, Efficient VLSI-Realizable Decimators for Sigma-Delta Analog-to-Digital Converters, IEEE Proc. ICASSP'88, str. 1525-1528, June 1988.
- [30] J. C. Candy, B. A. Wooley O. J. Benjamin, A Voiceband Codec with Digital Filtering, IEEE Trans. Commun., vol. COM-29, str. 815-830, June 1981.
- [31] H. Meleis, A novel architecture design for VLSI implementation of an FIR decimation filter, IEEE Proc. ICASSP'85, str. 1380-1383, March 1985.
- [32] D. A. Johns, D. M. Lewis, Design and Analysis of Delta-Sigma Based IIR filters, IEEE Trans. on Circuits and Systems-II: Analog and Digital Signal Processing, vol. 40, str. 233-240, 1993.
- [33] G. van der Horn, J. L. Huijsing: Integrated Smart Sensors, Design and Calibration, Kluwer Academic Publishers, Dordrecht, 1998.
- [34] N. Kouvaras, Operations on delta-modulated signals and their applications in the realization of digital filters, The Radio and Electronic Engineer, vol. 48, str. 431-438, September 1978.
- [35] P. O'Leary, F. Maloberti, Bit stream adder for oversampled coded data, Electronics Letters, vol. 26, str. 1708-1709, September 1990.
- [36] K. H. Lundberg, Analog-to-Digital Converter testing, url: <http://web.mit.edu/klund/www/A2Dtesting.pdf>, 13. 4. 2005.
- [37] U. Bizjak, Funkcionalna verifikacija digitalnih vezij v C++ okolju, Elektrotehniška in računalniška konferenca ERK 2003, Ljubljana, September 2003.

4 Merjenje električne energije

Prvi instrument za merjenje električne energije je patentiral Thomas Alva Edison, temeljil pa je na elektrolitskem načinu, kjer je električni tok prenašal baker iz ene elektrode, potopljene v raztopino bakrove soli, na drugo, porabljeno električno energijo pa je določil s tehtanjem plošč. Zgodovina je polna bolj ali manj domiselnih inštrumentov za merjenje električne energije, leta 1897 pa je George Hookman predstavil indukcijski števec električne energije, ki še danes predstavlja enega najbolj uporabljenih načinov merjenja.

Z razvojem elektronike v sredini 20. stoletja se je pričel tudi razvoj elektronskega števca. Prvi elektronski števci, ki so se pojavili v začetku 70. let, so temeljili na TDM principu. Podobno, kot v 19. stoletju, se je pojavilo nekaj različnih načinov množenja toka in napetosti [2]: TDM princip, Hallov množilnik [3], stohastični množilnik, kjer napetost in tok s primerjalnikom pretvorimo v zaporedje ničel in enic, samo množenje pa izvedemo s pomočjo logičnih operacij, parabolični množilnik na osnovi matematične enačbe $(a+b)^2 - (a-b)^2 = 4ab$ in digitalni način množenja z ločenim zajemom signala napetosti in toka s pomočjo A/D pretvornika.

Ločen zajem signala toka in napetosti z analogno-digitalnim pretvornikom omogoča digitalno obdelavo signala, tako pa lahko poleg porabljene energije, izračunamo še različne parametre energetskega omrežja [4]: frekvenco faznih napetosti, temenske vrednosti napetosti in tokov, efektivne vrednosti in popačenje (THD) napetosti in tokov, itd.

4.1 Merjenje delovne moči z ločenim merjenjem $u(t)$ in $i(t)$

V idealnih razmerah izmenično napetost in tok preko impedance Z podamo z enačbama (4.1) [5]:

$$\begin{aligned} u(t) &= \hat{U} \cos(\omega_0 t + \alpha) \\ i(t) &= \hat{I} \cos(\omega_0 t + \beta) \end{aligned} \quad (4.1)$$

Trenutna moč, $p(t)$ je definirana:

$$p(t) = u(t)i(t) = \frac{\hat{U}\hat{I}}{2} \cos(\alpha - \beta) + \frac{\hat{U}\hat{I}}{2} \cos(2\omega_0 t + \alpha + \beta) \quad (4.2)$$

Povprečno moč v časovni periodi T , $T = k \cdot 2\pi$ podamo:

$$\bar{P} = \frac{1}{T} \int_0^T u(t)i(t)dt = \frac{\hat{U}\hat{I}}{2} \cos(\alpha - \beta) = \frac{\hat{U}\hat{I}}{2} \cos \varphi \quad (4.3)$$

Standardni delovna in jalova moč sledita iz enačbe (4.3):

$$\begin{aligned} \bar{P} &= \frac{\hat{U}\hat{I}}{2} \cos \varphi = UI \cos \varphi \\ \bar{Q} &= \frac{\hat{U}\hat{I}}{2} \sin \varphi = UI \sin \varphi \end{aligned} \quad (4.4)$$

U in I predstavljata efektivne vrednosti napetosti in toka. Pri vzorčenju toka in napetosti v diskretnih časovnih periodah povprečno moč (4.3) zapišemo z vsoto N zmnožkov:

$$\bar{P} = \frac{1}{N} \sum_{j=0}^{N-1} u(j)i(j) \quad (4.5)$$

4.1.1 Vpliv parametrov $u(t)$ in $i(t)$ na izračun delovne moči

Amplitudi napetosti in toka nastopata v osnovnih enačbah moči (4.4). Zanima nas, kako na izračun povprečne moči v časovni periodi vplivajo harmonske komponente in enosmerna nična (offset) komponenta v signalu toka in napetosti. Periodična signala $u(t)$ in $i(t)$ zapišimo kot Fourerjevo vrsto, ob tem pa privzemimo, da je kot med signaloma $u(t)$ in $i(t)$ enak 0° .

$$\begin{aligned} u(t) &= U_0 + \sum_{k=1}^{\infty} (\hat{U}_k \cos k\omega_0 t) \\ i(t) &= I_0 + \sum_{k=1}^{\infty} (\hat{I}_k \cos k\omega_0 t) \end{aligned} \quad (4.6)$$

Povprečno moč izračunamo po enačbi (4.3), upoštevajmo da je $\int_0^{2\pi} \sin(kt)dt = 0$:

$$\bar{P} = \frac{1}{T} \int_0^T u(t)i(t)dt = U_0 I_0 + \sum_{k=1}^{\infty} \frac{\hat{U}_k \hat{I}_k}{2} \quad (4.7)$$

Enačba (4.7) kaže, da k povprečni moči v periodi T prispevata zmnožka obeh ničnih napetosti ter zmnožek amplitud soležnih harmonskih komponent.

4.2 Generacija impulzov in umerjanje števcov

Po definiciji je energija W enaka integralu trenutne moči v času od t_1 do t_2 :

$$W = \int_{t_1}^{t_2} p(t) dt = \int_{t_1}^{t_2} u(t) i(t) dt \quad (4.8)$$

V enačbo (4.8) vstavimo enačbo (4.2):

$$W = \frac{\hat{U}\hat{I} \cos(\varphi)}{2} - \frac{\hat{U}\hat{I}}{2} \cdot \int_{t_1}^{t_2} \cos(2\omega_0 t + \varphi) dt \quad (4.9)$$

Ob predpostavki, da bo čas merjenja t_M (od t_1 do t_2) enak večkratniku periode osnovne frekvence, postane drugi člen enačbe (4.9) enak 0:

$$W = \frac{1}{2} \hat{U}_0 \cdot \hat{I}_0 \cdot \cos(\varphi) \cdot t_M = U_0 \cdot I_0 \cdot \cos(\varphi) \cdot t_M \quad (4.10)$$

Integral moči v enačbi (4.8) lahko izračunamo tudi numerično:

$$W = \sum_{i=1}^N u_i \cdot i_i \cdot \Delta t, \quad \Delta t = \frac{t_2 - t_1}{N} \quad (4.11)$$

Števce električne energije umerjamo z etalonskim števcem po primerjalni metodi. Za razder točnejši etalonski števec (razreda 0.05 ali 0.02) primerja izmerjeno električno energijo po enačbi (4.10) z izmerjeno energijo testirane naprave. Izmerjeno energijo testirane naprave merimo na kalibracijskem impulznem izhodu (LED), vsak impulz pomeni določeno količino (kvant) izmerjene energije.

S pomočjo številske enačbe (4.12) iz frekvence impulzov f_{imp} pri nazivni moči P_n izračunamo konstanto števca C_z v [imp/kWh], kar je običajna enota pri umerjanju števcov električne energije:

$$C_z = \frac{3.6 \cdot 10^6 \cdot f_{imp}}{P_n} \quad (4.12)$$

Konstanto števca umerjamo pri nazivni napetosti U_n in nazivnem toku I_n .

Števce razreda 1 in 2 obravnava mednarodni standard IEC 62053-21 [6], ki v točki 4.6 postavlja zahteve po točnosti števca pri spremembah različnih vplivnih veličin (sprememba amplitude toka, amplitude napetosti, frekvence, faznega kota, harmonskih komponent toka in napetosti, sprememba temperature).

Števce umerjamo po primerjalni metodi [6], zato relativno napako merjenega števca zapišemo kot:

$$e = \frac{W_{DUT} - W_{ref}}{W_{ref}} \cdot 100 \quad [\%] \quad (4.13)$$

W_{DUT} predstavlja energijo, ki jo je registriral testni števec električne energije, W_{ref} pa predstavlja referenčno energijo, registrirano z etalonskim števcem. Referenčno energijo izmerimo z merilno negotovostjo etalonskega števca, ki je vsaj za razred boljša, kot je razred merjenega števca električne energije.

Standard v točki 4.6.5 zahteva, da proizvajalec števca električne energije navede minimalno število impulzov, da zagotovi relativno točnost meritve na vsaj 1/10 razreda števca v različnih testnih točkah. Ta zahteva je pomembna pri majhni obremenitvi, saj je raztros merilnih rezultatov največji pri majhnih amplitudah bremenskih tokov.

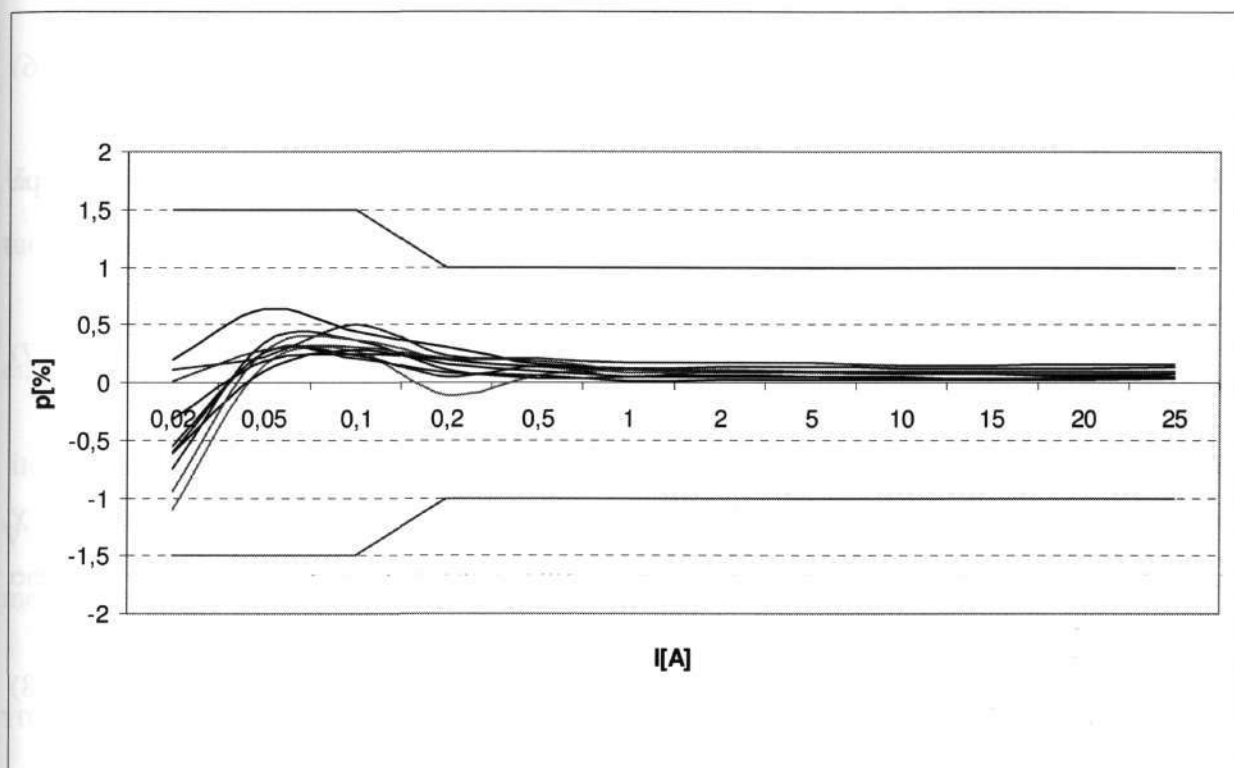
Standardne deviacije impulzov na kalibracijskem izhodu ne poznamo, zato za izračun območja zaupanja vzorca izmerjenih impulzov uporabimo Studentovo porazdelitev [7, str. 67]:

$$\mu = \bar{x} \pm \frac{ts}{\sqrt{N}} \quad (4.14)$$

Po enačbi (4.12) vsak impulz predstavlja določen paket energije, torej lahko z enačbo (4.14) izračunamo povprečno vrednost posredno izmerjene energije v merilni periodi. Število impulzov N v merilni periodi predstavlja število meritev, s pa standardno deviacijo N vzorcev posredno merjene energije. Po priporočilu EA-4/02 [8] naj bi bile meje celotne negotovosti podane z verjetnostjo približno 95%, s tem pa lahko iz enačbe (4.14) izračunamo število impulzov (oziroma število vzorcev N) ter maksimalni raztros impulzov, da zadostimo IEC standardu 62053-21 in priporočilu EA-4/02. Števec električne energije generira impulze s frekvenco f , zato nam večje število vzorcev N pomeni tudi daljši čas meritve, s tem pa daljši čas testiranja števca.

4.3 Izračun dinamike tokovnega in napetostnega kanala števec

IEC standard za števce določenega razreda predpisuje maksimalno dovoljeno odstopanje izmerjenih rezultatov. Medtem, ko standard predvideva $\pm 10\%$ spremembo priključene napetosti (razširjena zahteva je -20% do -10% in $+10\%$ do $+15\%$, v tem območju je napaka lahko trikratna), kjer mora biti izmerjena energija še v razredu števca, pa na tokovnem vhodu standard zahteva deklariran maksimalni tok I_{max} in minimalni tok $0.1 I_n$, kjer meritve števca še ustrezajo deklariranemu razredu. V območju $0.05 I_n$ do $0.1 I_n$ je za števce razreda 1 in 2 dovoljena za 0.5% večja napaka (slika 34).



Slika 34: Obremenilne krivulje števec električne energije s podanimi mejami, $I_n = 2\text{ A}$

Dinamika napetostnega kanala znaša po IEC od 80% nazivne napetosti U_n do 115% U_n , medtem ko dinamika tokovnega kanala obsega območje od 5% I_n do I_{max} . Proizvajalci označijo števec z maksimalnim tokom 100 A in nazivnim tokom 10 A kot števec $10\parallel 100$. Minimalno dinamiko tokovnega kanala označimo kot razmerje med 5% I_n in I_{max} , za števec $10\parallel 100$ torej znaša:

$$D_{U \min} = \frac{0.8U_n}{1.15U_n} = \frac{0.8}{1.15} = 1:1.44$$

$$D_{I \min} = \frac{0.05I_n}{I_{\max}} = \frac{0.05 \cdot 10}{100} = 1:200$$
(4.15)

4.4 Vpliv šuma tokovnega in napetostnega kanala na raztros impulzov

Signala $u(t)$ in $i(t)$, ki nastopata v enačbi (4.2), lahko zapišemo kot vsoto sinusnega signala $u_s(t)$ in naključnega signala $u_n(t)$. Trenutno moč $p(t)$ zapišemo:

$$p(t) = \tilde{u}(t)\tilde{i}(t) = u_s(t)i_s(t) + [u_s(t)i_n(t) + u_n(t)i_s(t) + u_n(t)i_n(t)]$$
(4.16)

Prvi člen v enačbi (4.16) predstavlja trenutno delovno moč $p_s(t) = u_s(t)i_s(t)$, ostali členi pa predstavljajo prispevek šuma $p_n(t)$:

$$p_n(t) = u_s(t)i_n(t) + u_n(t)i_s(t) + u_n(t)i_n(t)$$
(4.17)

Pri izračunu prispevek šuma $p_n(t)$ po enačbi (4.17) k povprečni moči, ko gre čas t proti neskončnosti, vsakega od členov funkcije $p_n(t)$ obravnavajmo kot naključno spremenljivko X s porazdelitveno funkcijo $P_X(x)$. Prvi moment funkcije $p_n(t)$ v enačbi (4.17) določa njeno povprečno vrednost:

$$E(X) = \int_{-\infty}^{+\infty} xP_X(x)dx$$
(4.18)

Povprečne vrednosti $\overline{X+Y}$ vsote dveh spremenljivk $X+Y$ izračunamo iz [9, str. 519-523]:

$$\overline{X+Y} = \int_{-\infty}^{+\infty} xP_X(x)dx + \int_{-\infty}^{+\infty} yP_Y(y)dy = \bar{X} + \bar{Y}$$
(4.19)

Za povprečno vrednost produkta dveh spremenljivk X in Y velja:

$$\overline{X \cdot Y} = \int_{-\infty}^{+\infty} xyP_{XY}(x, y)dxdy$$
(4.20)

Če sta naključni spremenljivki X in Y statistično neodvisni, velja:

$$P_{XY}(x, y) = P_X(x)P_Y(y) \quad (4.21)$$

Enačbo (4.20) za statistično neodvisni spremenljivki torej zapišemo:

$$\overline{X \cdot Y} = \int_{-\infty}^{+\infty} x P_X(x) dx \int_{-\infty}^{+\infty} y P_Y(y) dy = \bar{X} \cdot \bar{Y} \quad (4.22)$$

Privzamemo, da so si spremenljivke v enačbi (4.17) statistično neodvisne. S pomočjo enačb (4.18), (4.19) in (4.22) izpeljemo povprečno vrednost $p_n(t)$ ko t limitira proti ∞ :

$$\bar{P}_n = \bar{U}_s \cdot \bar{I}_n + \bar{U}_n \cdot \bar{I}_s + \bar{U}_n \cdot \bar{I}_n \quad (4.23)$$

Iz enačbe (4.23) lahko razberemo, da v primeru, ko sta povprečni vrednosti $\bar{U}_n$ in $\bar{I}_n$ enaki 0, tudi povprečna vrednost $\bar{P}_n$ limitira proti 0.

Zanima nas srednja kvadratna vrednost σ^2 oz. varianca enačbe (4.17). Varianco določa enačba (4.24):

$$\sigma^2 = \overline{(X - \bar{X})^2} \quad (4.24)$$

V primeru, da je povprečna vrednost spremenljivke $\bar{X}$ enaka 0, je varianca enaka drugemu momentu $E(X^2)$ [9, str. 516].

Podobno kot v primeru srednje vrednosti vsote (4.19) lahko definiramo tudi srednjo vrednost kvadrata vsote naključnih spremenljivk X in Y :

$$\overline{(X + Y)^2} = \bar{X}^2 + \bar{Y}^2 + 2\bar{X} \cdot \bar{Y} \quad (4.25)$$

Če sta spremenljivki medsebojno statistično neodvisni, po enačbi (4.22) velja:

$$\overline{(X + Y)^2} = \bar{X}^2 + \bar{Y}^2 + 2\bar{X} \cdot \bar{Y} \quad (4.26)$$

Predpostavimo srednji vrednosti $\overline{U_n}$ in $\overline{I_n}$ enaki 0. Po enačbi (4.23) je v tem primeru tudi srednja vrednost $\overline{P_n}$ enaka 0, zato je varianca p_n enaka drugemu momentu p_n . Upoštevamo enačbo (4.26) in dobimo varianco p_n :

$$\sigma_p^2 = \overline{(U_s \cdot I_n)^2} + \overline{(U_n \cdot I_s)^2} + \overline{(U_n \cdot I_n)^2} \quad (4.27)$$

Za produkt statistično neodvisnih spremenljivk velja enačba (4.22). Enačbo (4.27) lahko s tem zapišemo:

$$\sigma_p^2 = \overline{U_n^2} \cdot \overline{I_s^2} + \overline{U_s^2} \cdot \overline{I_n^2} + \overline{U_n^2} \cdot \overline{I_n^2} \quad (4.28)$$

Srednje vrednosti $\overline{X}$ spremenljivk enačbe (4.28) naj bodo enake 0. V tem primeru drugi moment spremenljivke X nadomestimo z njeno varianco (enačba 4.24):

$$\sigma^2 = \overline{X^2} \quad (4.29)$$

Varianca predstavlja kvadrat RMS vrednosti signala:

$$\overline{X^2} = X_{(rms)}^2 = \frac{1}{T} \int_0^T x^2(t) dt \quad (4.30)$$

Enačbo (4.28) z upoštevanjem enačbe (4.30) zapišemo:

$$\sigma_p^2 = u_{s(rms)}^2 i_{n(rms)}^2 + u_{n(rms)}^2 i_{s(rms)}^2 + u_{n(rms)}^2 i_{n(rms)}^2 \quad (4.31)$$

Običajno sta signalni poti napetostnega in tokovnega kanal enaki (npr. oba kanala sta izvedena z enakim analogno-digitalnim pretvornikom), tudi amplitudi šuma i_n in u_n sta majhni in medsebojno primerljivi. Zanima nas varianca zmnožka pri nazivni napetosti U_n in pri bremenskem toku $0.001 I_{max}$ (1% I_n). Signal napetosti je v tem primeru na 90% polnega območja, signal toka pa na 0.1% polnega območja. Iz podanih podatkov ocenimo prispevke posameznih členov enačbe (4.31):

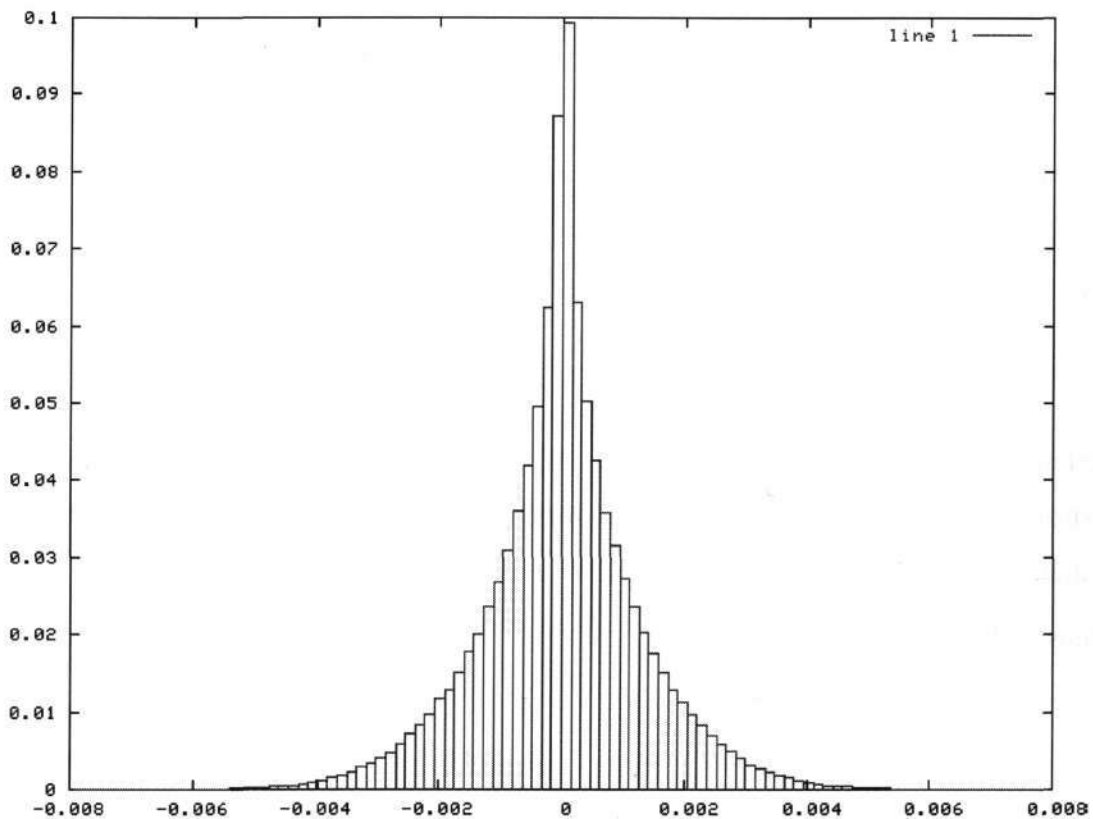
$$\sigma_p^2 = \left(\frac{0.9U_{max}}{2} \right)^2 (0.002I_{max})^2 + (0.002U_{max})^2 \left(\frac{0.001I_{max}}{2} \right)^2 + (0.002U_{max})^2 (0.002I_{max})^2$$

$$\sigma_p^2 = 0.81 \cdot 10^{-6} U_{max}^2 I_{max}^2 + 1.0 \cdot 10^{-12} U_{max}^2 I_{max}^2 + 16.0 \cdot 10^{-12} U_{max}^2 I_{max}^2$$

Iz ocene členov enačbe (4.31) vidimo, da je raztros izmerjenih rezultatov odvisen predvsem od prispevka prvega člena. Raztros merilnih rezultatov pri navedenih pogojih je torej **odvisen predvsem od šuma v tokovnem kanalu števca električne energije**:

$$\sigma_p^2 \equiv u_{s(rms)}^2 i_{n(rms)}^2 = \frac{\hat{U}^2}{2} i_{n(rms)}^2 \quad (4.32)$$

Na sliki 35 je prikazan normalizirani histogram 1000 rezultatov pri amplitudi napetosti $0.9 U_{max}$ in amplitudi toka $0.001 I_{max}$. Signaloma je bil dodan Gaussov šum s $\sigma = 0.002 U_{max}$ oz. $\sigma = 0.002 I_{max}$.



Slika 35: Histogram šuma po množenju dveh sinusnih signalov z dodanim šumom

Signalno moč produkta $u_s(t)i_s(t)$ izračunamo po enačbi (4.33):

$$P_{S,rms}^2 = \frac{1}{T} \int_0^T [u_s(t)i_s(t)]^2 dt = \left(\frac{\hat{U}\hat{I}}{2} \right)^2 + \left(\frac{\hat{U}\hat{I}}{2\sqrt{2}} \right)^2 = \frac{3}{8} (\hat{U}\hat{I})^2 \quad (4.33)$$

Razmerje signala proti šumu (SNR) med močjo produkta $u_s(t)i_s(t)$ in šuma izračunamo iz enačb (4.32) in (4.33):

$$SNR_p = 10 \log \left(\frac{P_{S,rms}^2}{\sigma_p^2} \right) = 10 \log \left(\frac{3}{4} \frac{\hat{I}^2}{i_{n(rms)}^2} \right) \quad (4.34)$$

Števec električne energije prikazuje porabljeno energijo v časovni enoti T . Porabljena energija W torej predstavlja integral trenutne moči $p(t)$ (enačba 4.16) v času:

$$W = \int_0^T p(t) dt \quad (4.35)$$

Rezultati meritev so razsejani v okolici prave srednje vrednosti W . Varianco izmerjenih rezultatov [10, str. 26-29] podaja enačba (4.36)

$$\sigma_w^2 = \frac{\sigma_p^2}{2BT} \quad (4.36)$$

kjer je σ_p^2 varianca signala ki mu merimo srednjo vrednost, B pasovna širina signala in T čas integriranja. Upoštevamo, da se šum v vzorčevalnih sistemih zgiba v frekvenčni pas $B = f_s/2$, čas meritve N vzorcev pa traja $T = N/f_s$. Enačba (4.36) tako zapišemo:

$$N = \frac{\sigma_p^2}{\sigma_w^2} \quad (4.37)$$

Za želeno točnost rezultatov po priporočilu [8], to je 95% odčitkov v območju zelene napake e (oziroma v območju $\pm 2\sigma$), izračunamo maksimalno varianco rezultatov iz enačbe (4.13). Rezultati so pri sinusnih vhodnih signalih v času $T \gg 2\pi$ razsejani v okolici povprečne vrednosti $\overline{P_s} = \hat{U}\hat{I}/2$ z

$$(2\sigma_w)^2 = e^2 \cdot \left(\frac{\hat{U}\hat{I}}{2} \right)^2 \quad (4.38)$$

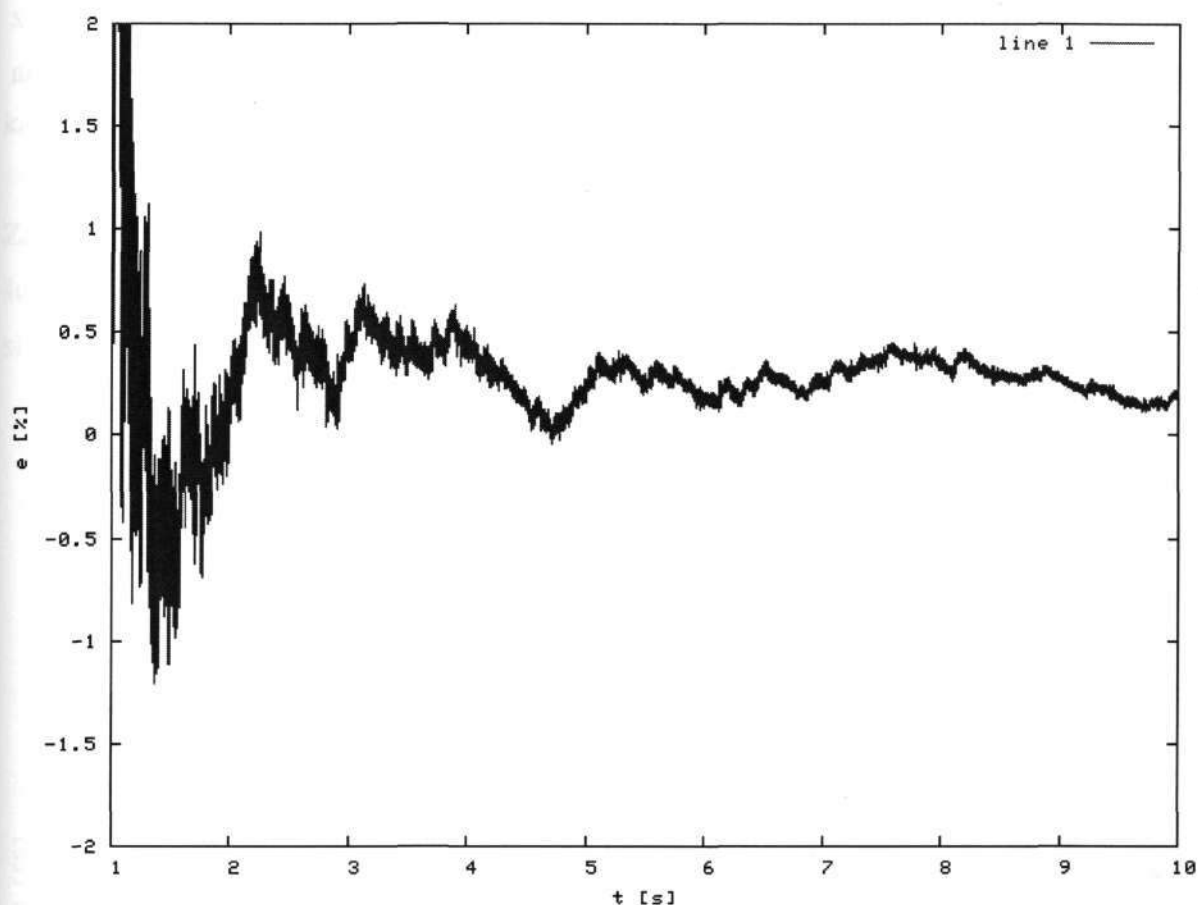
Iz enačb (4.32), (4.37) in (4.38) zapišemo enačbo za minimalno število merilnih vzorcev N :

$$N = \frac{8}{e^2} \frac{i_{n(rms)}^2}{\hat{I}^2} \quad (4.39)$$

Čas integriranja lahko ob podani pasovni širini šuma izračunamo tudi direktno iz enačbe (4.36), iz katere je tudi razviden učinek integriranja. Podaljšanje časa integriranja za faktor n bo zmanjšalo varianco rezultatov izmerjene energije za $\sqrt{n}$. Slika 36 prikazuje značilni časovni potek merilne napake, pridobljene pri funkcionalni simulaciji električnega števca. V tem primeru sta bili amplitudi vhodnih signalov v enaka sigma-delta pretvornika prvega reda

$U_{in} = 0.9$ FS in $I_{in} = 0.001$ FS. Obema signaloma je bil dodan Gaussov šum s $\sigma = 0.002$ FS.

Prikazana napaka je izračunana po enačbi (4.13).



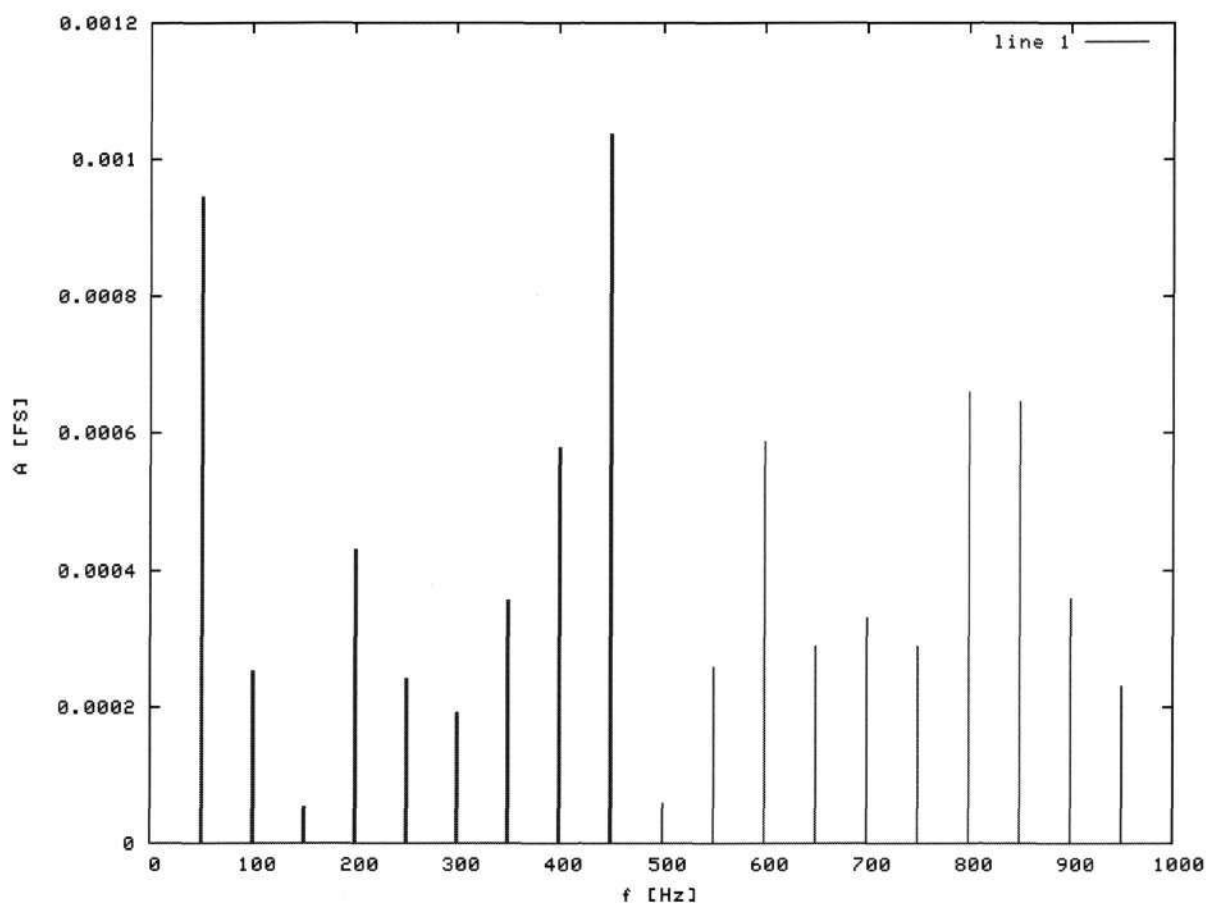
Slika 36: Potek napake e v času

4.5 Vpliv kvantizacijskega šuma A/D pretvornika

Tako kot harmonske komponente signala toka in napetosti, se po enačbi (4.7) medsebojno množijo tudi posamezne frekvenčne komponente kvantizacijskega šuma analogno-digitalnega pretvornika tokovne in napetostne veje (enačba 3.23). Analitični izračun komponent diskretnega spektra kvantizacijskega šuma sigma-delta pretvornika prvega reda je mogoč le za sinusne signale v polnem vhodnem območju (FS) pretvornika; frekvenčne komponente kvantizacijskega šuma za vhodne signale nižjih amplitud pa lahko izračunamo le s pomočjo numerične analize rezultatov funkcionalne simulacije sigma-delta modulatorja.

Iz rezultatov numerične analize s pomočjo Fourierjeve transformacije je razvidno, da so pri sinusnem vhodnem signalu z amplitudo v polnem vhodnem območju amplitude

generiranih harmonskih komponent zanemarljive (slika 38). Ko pa vhodna amplituda pada proti 1/1000 polnega območja, postanejo amplitude kvantizacijskega šuma primerljive z amplitudo signala. Izhodni signal sigma-delta modulatorja postane popačen s harmoničnim šumom. Amplitudni spekter izhoda iz modulatorja pri izmeničnem vhodnem signalu z amplitudo 0.001 FS je prikazan na sliki 37, kjer je razvidno, da se nekaj harmoničnega šuma generira tudi na osnovni frekvenci 50Hz.



Slika 37: Amplitudni spekter izhoda modulatorja pri sinusnem signalu $A_{in} = 0.001$ FS

Pri množenju dveh signalov z diskretnim frekvenčnim spektrom bodo k povprečni vrednosti zmnožka (pri pogoju, da je časovna perioda $T \gg k\pi$) prispevale le soležne komponente. Če privzamemo, da ima eden od signalov – napetostni signal – le osnovno frekvenčno komponento, bo ta spektralna »konica« pri množenju izločila le soležno frekvenco na tokovnem kanalu. Enačba (4.7) s tem postane:

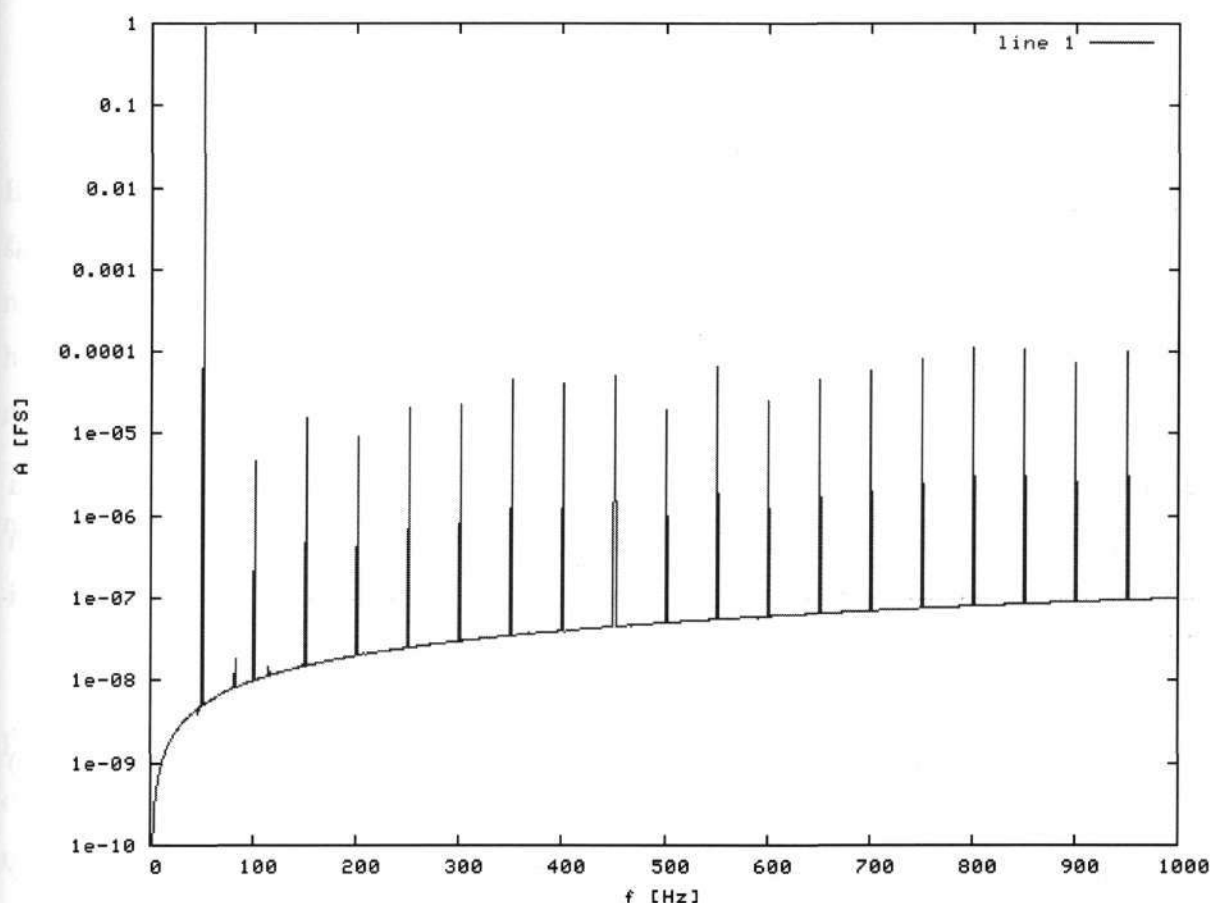
$$\bar{P} = \frac{1}{T} \int_0^T u(t)i(t)dt = U_0 I_0 + \sum_{k=1}^{\infty} \frac{\hat{U}_k \hat{I}_k}{2} = U_0 I_0 + \frac{\hat{U}_1 \hat{I}_1}{2} \quad (4.40)$$

Običajno je napetostni kanal filtriran z visokoprepustnim filtrom, s katerim izločimo enosmerno komponento U_0 . Enačbo (4.40) s tem poenostavimo v:

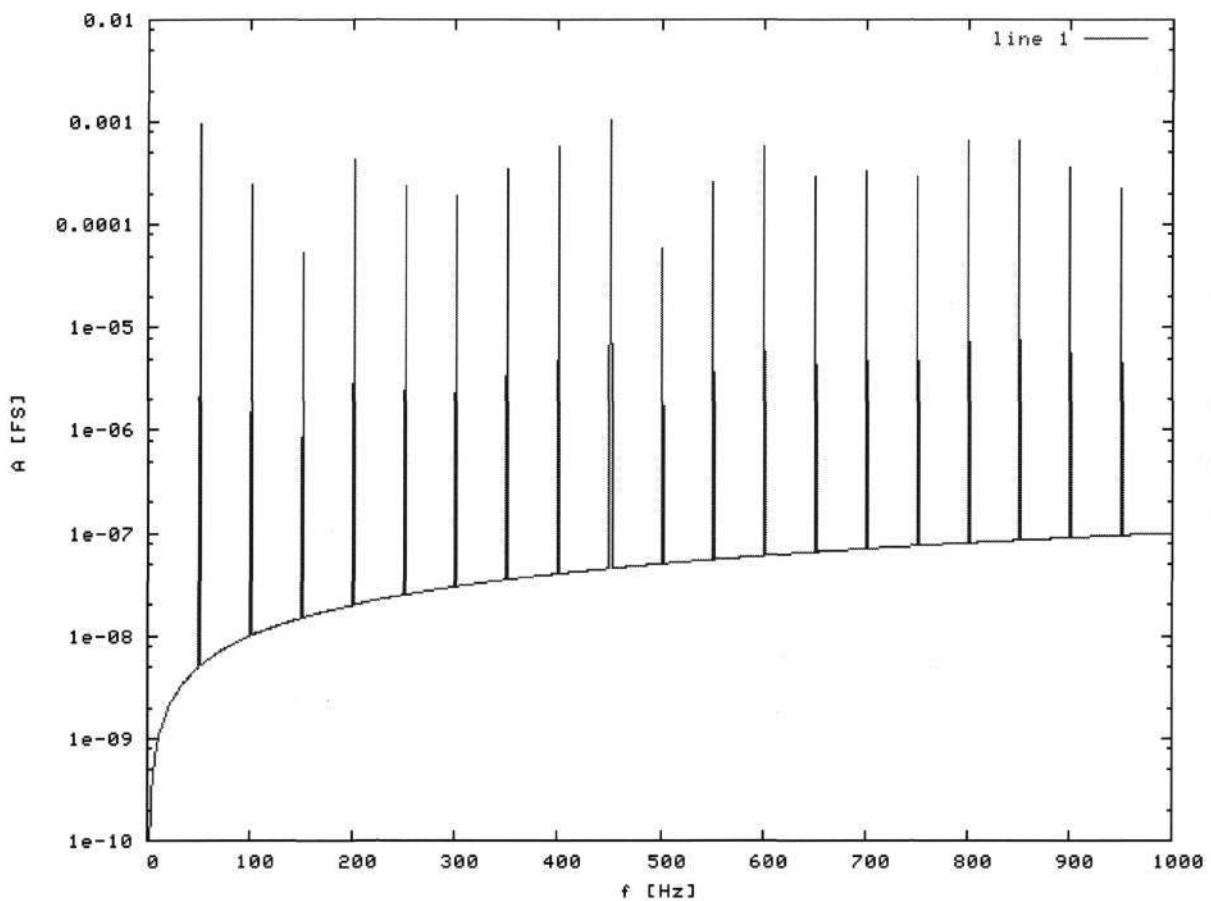
$$\bar{P} = \frac{\hat{U}_1 \hat{I}_1}{2} \quad (4.41)$$

kar predstavlja povprečno moč na bremenskem uporu.

Zanima nas ocena prispevka zmnožkov soležnih harmonskih komponent kvantizacijskega šuma v tokovnem in napetostnem kanalu v mejnem primeru pri amplitudi napetostnega signala $U_{in} = 0.9$ FS in amplitudi tokovnega signala $I_{in} = 0.001$ FS.



Slika 38: Amplitudni spekter izhoda modulatorja v napetostnem kanalu pri sinusnem vhodnem signalu z amplitudo $A_{in} = 0.9$ FS



Slika 39: Amplitudni spekter izhoda modulatorja v tokovnem kanalu pri sinusnem vhodnem signalu z amplitudo $A_{in} = 0.001$ FS

Če privzamemo, da so vse harmonske komponente kvantizacijskega šuma napetostnega kanala (slika 38) in tokovnega kanala (slika 39) v signalnem frekvenčnem pasu enakih amplitud, hkrati pa privzemimo najbolj neugoden primer, ko sta dve soležni harmonski komponente iste faze, lahko iz enačbe (4.7) zapišemo povprečno moč:

$$\bar{P} = \sum_{k=1}^N \frac{\hat{U}_k \hat{I}_k}{2} = \frac{\hat{U}_1 \hat{I}_1}{2} + \sum_{k=2}^N \frac{\hat{U}_{Q,K} \hat{I}_{Q,K}}{2} \quad (4.42)$$

V enačbi (4.42) predstavlja N število harmonskih komponent kvantizacijskega šuma v signalnem pasu, z $\hat{U}_{Q,K}$ označimo amplitudo K -te harmonske komponente kvantizacijskega šuma v napetostnem kanalu (ocenimo jo na $0.01 \cdot 10^{-3}$ FS), z $\hat{I}_{Q,K}$ pa označimo amplitudo K -te harmonske komponente kvantizacijskega šuma v tokovnem kanalu (ocenimo jo na $0.1 \cdot 10^{-3}$ FS).

Maksimalno relativno napako izmerjene povprečne moči, ki jo povzročajo harmonske komponente kvantizacijskega šuma, ocenimo z enačbo (4.43):

$$\bar{P} = \frac{\hat{U}_1 \hat{I}_1}{2} \left(1 + \frac{(N-1) \hat{U}_{Q,K} \hat{I}_{Q,K}}{\hat{U}_1 \hat{I}_1} \right) \quad (4.43)$$

Relativno napako, ki jo pri vhodnem signalu frekvenca 50 Hz povzročajo harmonske komponente kvantizacijskega šuma, sestavlja v signalnem pasu 1 kHz prispevek $(N-1) = 19$ harmonskih komponent:

$$\bar{P} = \frac{\hat{U}_1 \hat{I}_1}{2} \left(1 + \frac{19 \cdot 0.01 \cdot 10^{-3} \text{ FS} \cdot 0.1 \cdot 10^{-3} \text{ FS}}{0.9 \text{ FS} \cdot 0.001 \text{ FS}} \right)$$

$$\bar{P} = \frac{\hat{U}_1 \hat{I}_1}{2} (1 + 21.11 \cdot 10^{-6})$$

Iz ocene lahko zapišemo, da je prispevek produktov harmonskih komponent kvantizacijskega šuma zanemarljiv. Enačba (4.41) je torej dober približek enačbe (4.43). Vhodni šum z normalno (Gaussovo) porazdelitvijo, dodan vhodnemu signalu, dodatno zmanjša amplitude harmonskih komponent kvantizacijskega šuma (slika 40), vpliv šuma na raztros merjenih rezultatov pa za ta primer analiziramo v poglavju 4.4.

Enačbo (4.41) vstavimo v enačbo (4.13). Če privzamemo, da je merjena amplituda napetostnega kanala enaka amplitudi referenčne napetosti, lahko zapišemo:

$$e = \frac{\hat{U}_1 \hat{I}_1 - \hat{U}_{1,ref} \hat{I}_{1,ref}}{\hat{U}_{1,ref} \hat{I}_{1,ref}} \cdot 100 = \frac{\hat{I}_1 - \hat{I}_{1,ref}}{\hat{I}_{1,ref}} \cdot 100 \quad [\%] \quad (4.44)$$

Potek merilne napake je odvisen od poteka merilne napake na tokovnem kanalu. Za t.im. obremenilno krivuljo (load curve) izmerimo pogreške v nekaj točkah, razporejenih od maksimalne amplitude tokovnega kanala do najnižjih točk dinamičnega območja.

V tabeli 4 so zbrani rezultati numerične analize napake modela sigma-delta modulatorja 1. reda pri vhodnih signalih frekvenca $f_I = 50$ Hz in amplitudah od 1/1000 FS do 1/10 FS. Vzorčna frekvenca je $f_s = 500$ kHz, izhod modulatorja pa je bil analiziran s Fourierjevo transformacijo s 500k vzorci. Zaradi nadaljnjega digitalnega procesiranja (množenje) upoštevamo samo napako modulatorja tokovnega kanala na 50 Hz frekvenčni komponenti.

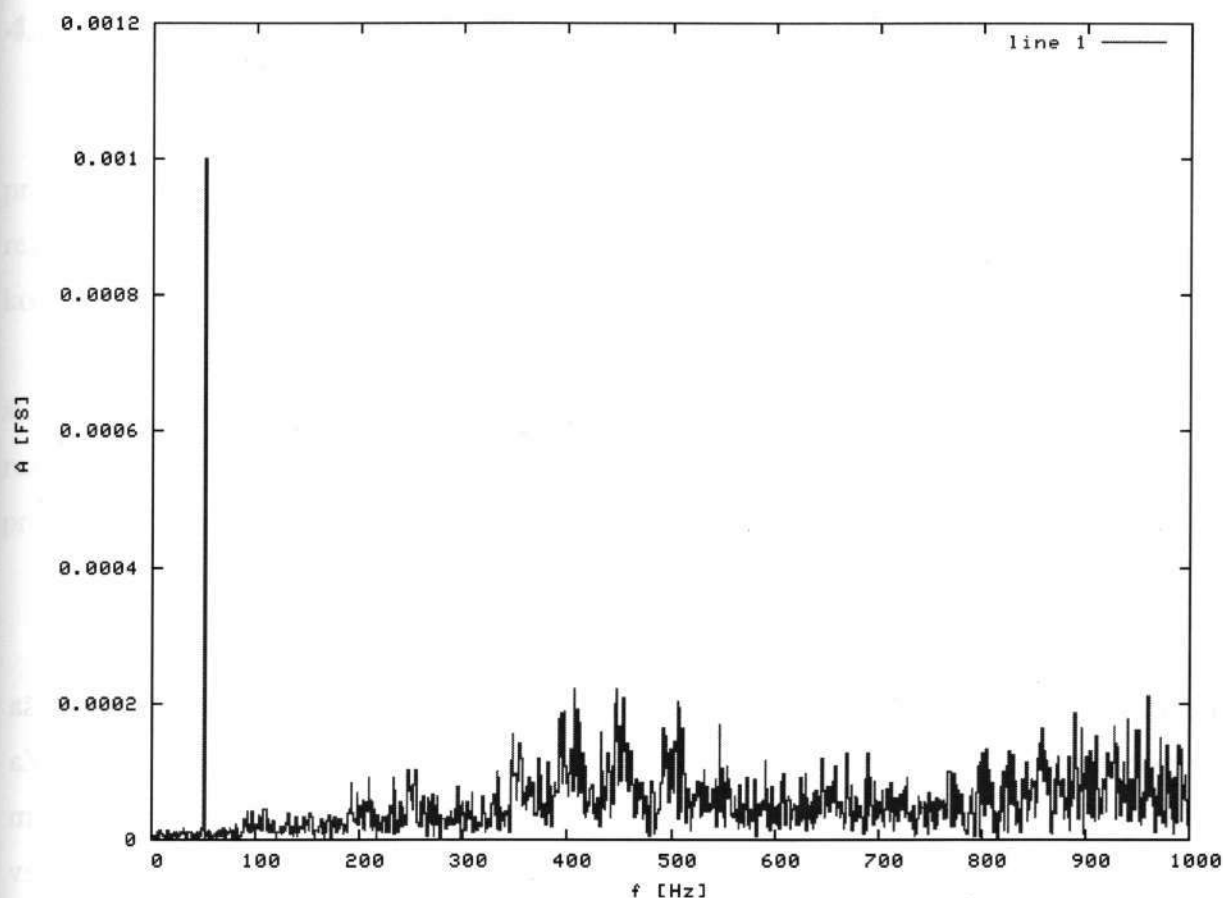
A_{in} [FS]	e [%], 50Hz
0.0005	-22.668
0.001	-5.570
0.002	-1.845
0.005	-1.424
0.01	-0.426
0.02	-0.104
0.05	-0.017
0.1	-0.005

Tabela 4: Simulirana amplitudna napaka na 50Hz frekvenčni komponenti

Iz tabele 4 je razvidno, da modulator 1. reda ne zadošča sedanjim zahtevam elektronskega števca električne energije. Napaka takšnega števca bi bila prevelika in dinamično območje takšne naprave bi bilo samo 1:100.

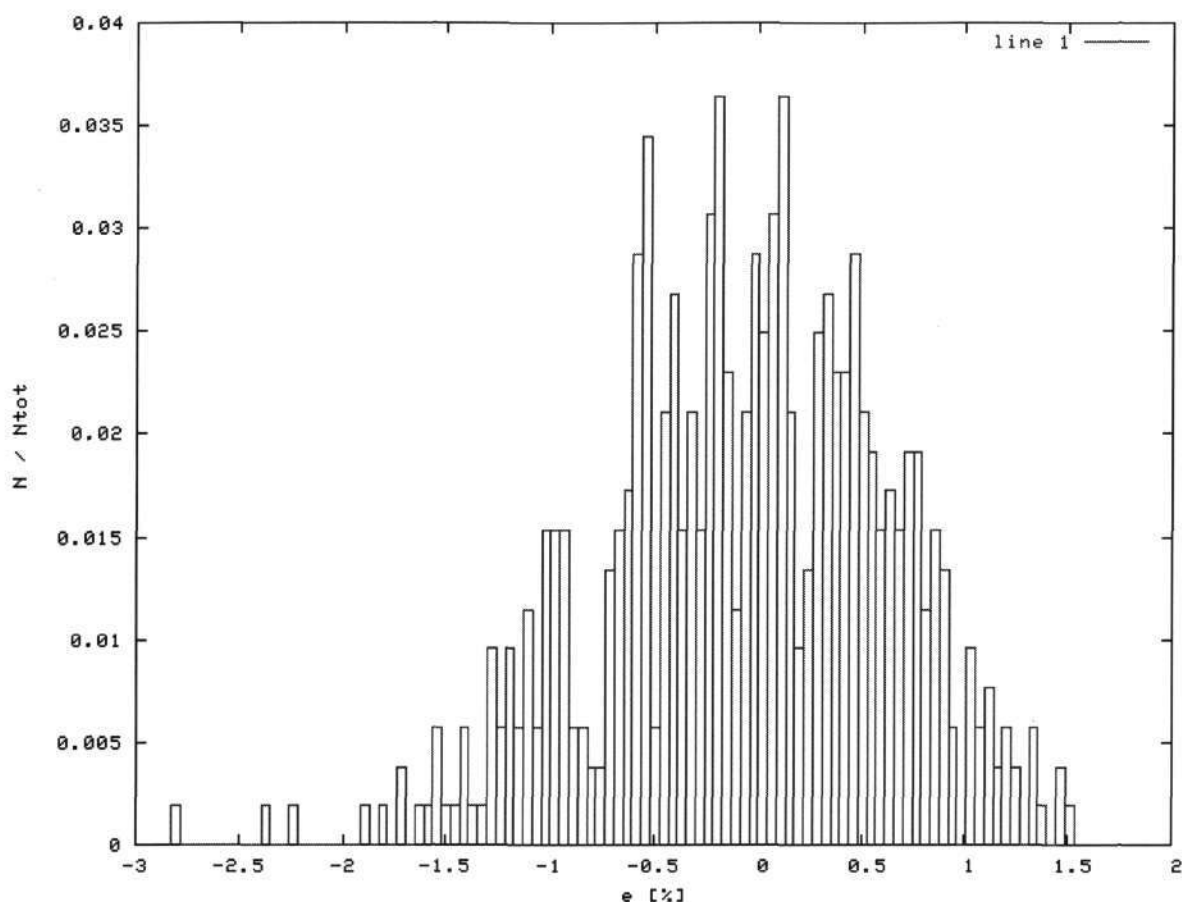
Vpliv šuma, dodanega vhodnemu signalu, na kvantizacijsko napako

Čistemu sinusnemu vhodnemu signalu lahko dodamo različne ravni šuma. Zaradi nelinearnega elementa v povratni zanki sigma-delta modulatorja (primerjalnik) vpliva šuma ne moremo izraziti analitično, zato pa lahko njegov vpliv analiziramo s pomočjo numerične analize rezultatov funkcionalne simulacije.



Slika 40: Amplitudni spekter izhoda modulatorja pri sinusnem signalu $A_{in} = 0.001$ FS z dodanim šumom

Na sliki 40 je viden vpliv dodanega šuma na spekter izhodnega signala sigma-delta modulatorja 1. reda. Sinusnemu vhodnemu signalu z amplitudo $A_{in} = 0.001$ FS in s frekvenco 50 Hz smo dodali šum z normalno (Gaussovo) porazdelitvijo z efektivno vrednostjo $\sigma_{in} = 0.002$ FS. Dodan šum zmanjša kvantizacijsko napako na 50 Hz komponenti, vendar doda merilno negotovost v merilni frekvenčni pas. Raztros in srednjo vrednost napake na 50 Hz frekvenčni komponenti prikazuje slika 41, tudi v tem primeru je vzorčna frekvenca sigma-delta modulatorja $f_s = 500$ kHz, izhod modulatorja pa je bil analiziran s Fourierjevo transformacijo s 500k vzorci.



Slika 41: Normirani histogram napake na 50 Hz komponenti

Raztros napake se približuje normalni porazdelitvi. Srednja vrednost napake na sliki 41 znaša pri populaciji 1000 vzorcev -0.06 %, standardna deviacija populacije pa znaša 0.683 %. Za primerjavo lahko navedemo napako iz tabele 4, ki pri brezšumnem sinusnem vhodnem signalu amplitude 0.001 FS znaša -5.57 %. V tabeli 5 je zbran vpliv različnih šumnih nivojev v kombinaciji z različnimi amplitudami vhodnega signala A_{in} .

σ [FS]	$A_{in} = 0.001$ FS		$A_{in} = 0.002$ FS		$A_{in} = 0.005$ FS	
	$\bar{e}$ [%]	σ_e [%]	$\bar{e}$ [%]	σ_e [%]	$\bar{e}$ [%]	σ_e [%]
0.1m	-2.11	1.89				
0.2m	-1.19	1.52				
0.5m	-0.54	0.87				
1m	-0.17	0.68	0.05	0.47	-0.08	0.24
2m	-0.06	0.69	0.02	0.33	-0.01	0.14
5m	-0.05	1.24	0.03	0.57	0.01	0.21
10m	0.03	2.17				

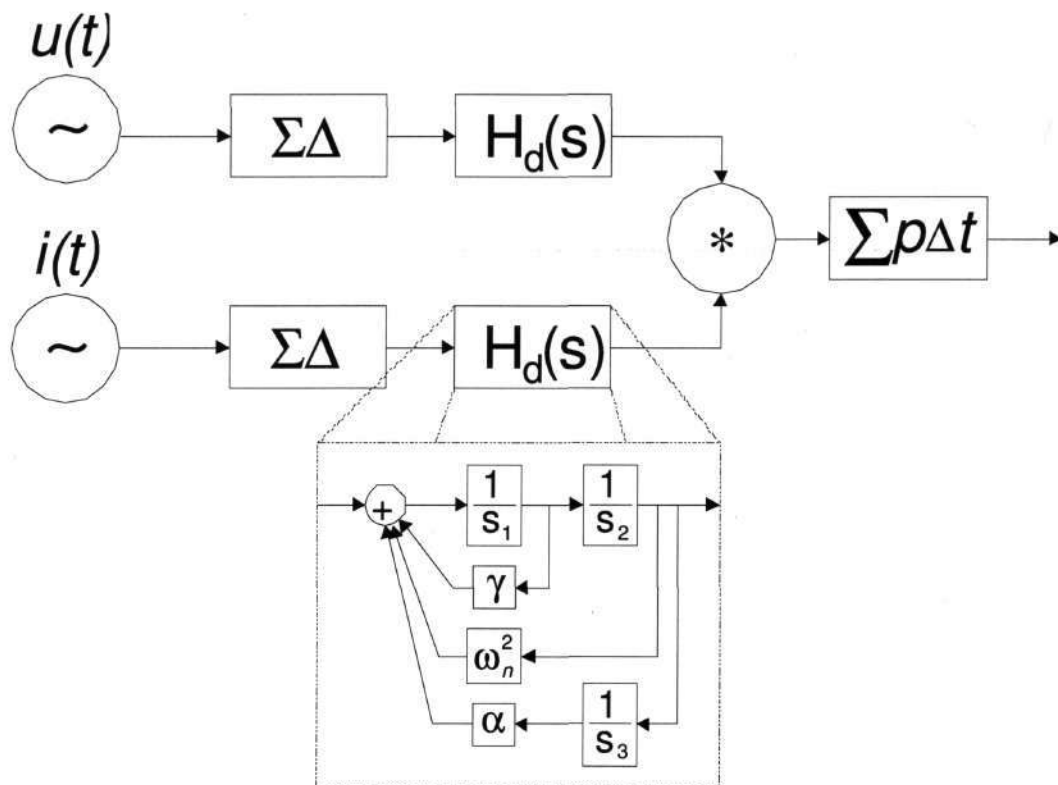
Tabela 5: Vpliv različnih nivojev dodanega šuma

Iz tabele 5 je razvidno, da dodani šum zmanjša povprečno napako sigma-delta modulatorja 1. reda, vendar raztrese merilne rezultate. Iz tabele 5 izberemo želeni nivo dodanega šuma kot kompromis med disperzijo rezultatov in preostalo povprečno napako. Najboljše rezultate pričakujemo pri izbiri dodanega šuma z efektivno vrednostjo $\sigma_{in} = 0.002 \text{ FS}$.

4.6 Funkcionalna simulacija števca električne energije

Pri pogoju, da so amplitude posameznih frekvenčnih komponent v napetostnem kanalu precej manjše od amplitud vhodnega signala, nam po enačbi (4.40) k celotnem raztrosu rezultatov izmerjene energije prispeva le komponenta šuma na osnovni 50 Hz harmonski komponenti tokovnega signala.

S funkcionalno simulacijo celotnega analognega in digitalnega dela elektronskega števca električne energije [12] analiziramo vpliv posameznih parametrov vhodnega signala na rezultate meritev. Modulirane digitalne signale vodimo v model digitalnega signalnega procesorja (slika 42), izmerjene rezultate pa analiziramo s statističnimi metodami.



Slika 42: Osnovni bloki digitalnega števca električne energije

Digitalni filter v vlogi decimatorja in pasovnega filtra izvedemo z digitalnimi strukturami v sigma-delta prostoru. Z optimizacijo koeficientov filtra dosežemo kar najbolj ravno amplitudno karakteristiko v frekvenčnem pasu od 45 – 65 Hz. Simulacije in analize izvedemo s simulacijskimi parametri, navedenimi v [12], nekaj rezultatov simulacij pa je zbranih v tabeli 6, ki prikazuje rezultate 100 »odčitkov« izmerjene energije pri različnih amplitudah tokovnega kanala. Izbrani nivo šuma je $\sigma_{in} = 0.002$ FS.

A_{in} [FS]	$\bar{e}$ [%]	σ_e [%]
0.001	-0.217	0.235
0.002	-0.056	0.178
0.005	0.0007	0.062
0.01	0.0096	0.025

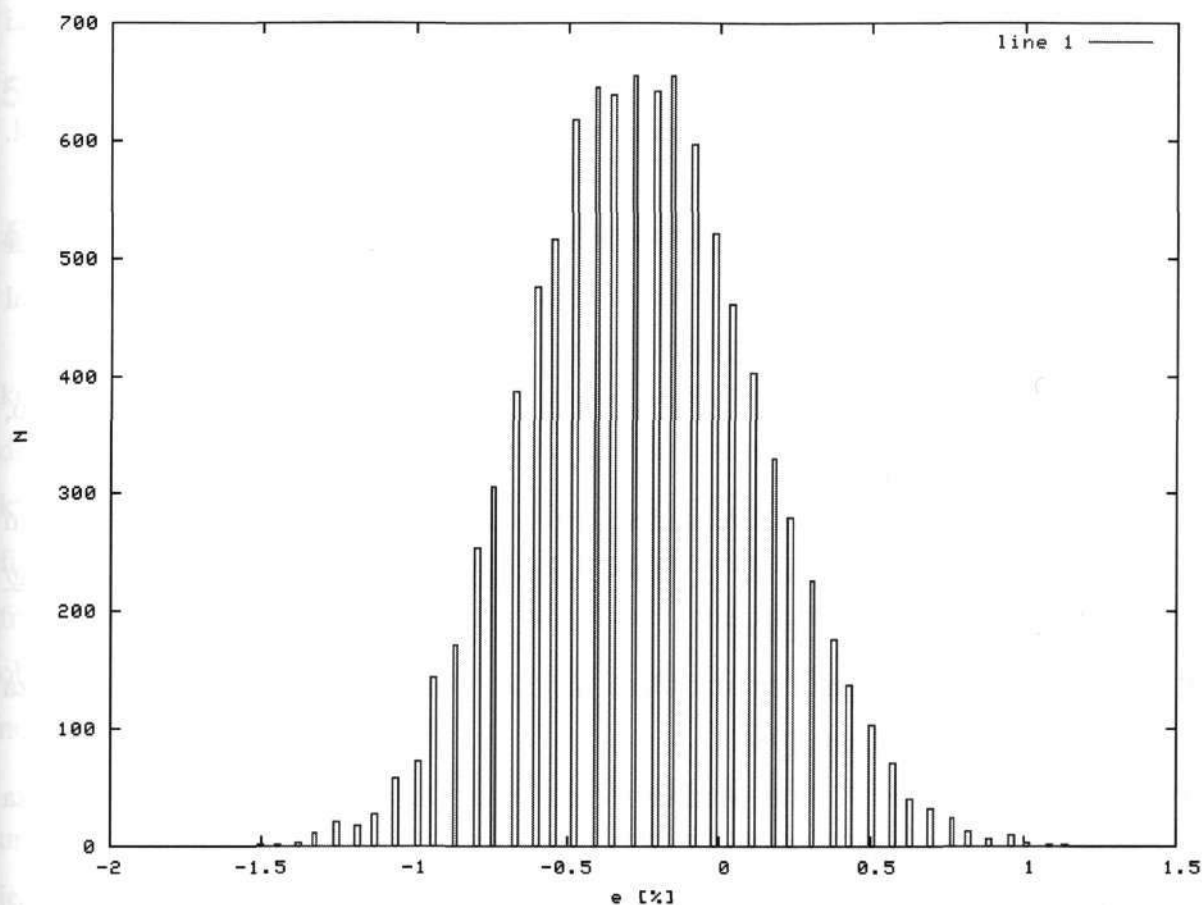
Tabela 6: Rezultati simulacije pri različnih amplitudah tokovnega kanala

Zanimiv je tudi vpliv različnih šumnih nivojev vhodnega šuma na rezultate števca električne energije, predstavljen v tabeli 7. Signalu amplitude 0.001 FS dodajamo različne nivoje šuma. V tem primeru je statistično obdelanih 1000 odčitkov.

σ_{in} [FS]	$\bar{e}$ [%]	σ_e [%]
0.001	-0.179	0.349
0.002	-0.243	0.248
0.005	-0.264	0.404
0.01	-0.211	0.693

Tabela 7: Rezultati simulacij pri različnih nivojih vhodnega šuma

Slika 43 prikazuje histogram 10000 energijskih odčitkov pri vhodnem signalu amplitude $A_{in} = 0.001$ FS in dodanem šumu $\sigma_{in} = 0.002$ FS.



Slika 43: Histogram napak odčitane energije

Histogram na sliki 43 je črtast zaradi omejene bitne resolucije digitalnih struktur, saj pri majhnih vhodnih signalih odčitki izmerjene energije zavzamejo le končno število diskretnih vrednosti. Omejena bitna resolucija digitalnih struktur vnaša različne nelinearne vplive v delovanje mešanega analogno-digitalnega sistema, te vplive pa lahko uspešno karakteriziramo le s pomočjo funkcionalne analize celotnega sistema.

4.7 Literatura k 4. poglavju

- [1] C. N. Brown, Charging for electricity in the early years of electricity supply, IEEE proceedings, Vol. 132, str. 513-524, December 1985.
- [2] Simon Balanč, Digitalni števec električne energije, magistrsko delo, Univerza v Ljubljani, Fakulteta za elektrotehniko, junij 2000.
- [3] Miro Rozman, Precizno merjenje moči in energije z merilniki na osnovi Hallovega elementa, doktorska disertacija, Univerza v Ljubljani, Fakulteta za elektrotehniko, 1993.

- [4] Jure Skvarč, DSP v merjenju parametrov elektroenergetskega omrežja, Elektrotehniški vestnik 61(3), str. 143-149, Ljubljana, 1994.
- [5] F. Ghassemi, New concept in AC power theory, IEE Proc. Gener. Transm. Distrib., Vol. 147, No. 6, November 2000.
- [6] International Standard CEI/IEC 62053, Electricity metering equipment (a.c.) – Particular requirements – Part 21: Static meters for active energy (classes 1 and 2), International Electrotechnical Commission, Geneve, 2003.
- [7] F. Bergelj: Osnove meritev, 2. izd., Fakulteta za elektrotehniko in računalništvo, Ljubljana, 1992.
- [8] European co-operation for Accreditation: Expression of Uncertainty of Measurement in Calibration, EAL Committee 2, 1999, url <http://www.european-accreditation.org/pdf/EA-4-02ny.pdf>, 11. 9. 2004.
- [9] Ludvik Gyergyek, Signali in statistične metode, Univerza v Ljubljani, Fakulteta za elektrotehniko, Ljubljana, 1984.
- [10] J. Trontelj, D. Strle, V. Strle: Meritve v elektroniki, Univerza v Ljubljani, Fakulteta za elektrotehniko, Ljubljana, 1992.
- [11] Robert M. Gray, Quantization Noise Spectra, IEEE Int. Symp. on Information Theory, Sam Diego, CA, January 14-19, 1990.
- [12] U. Bizjak, D. Strle, IEC class 0.5 electronic watt-hour meter implemented with first-order sigma-delta converters, AEUE, (članek v tisku).

5 Prototipna analogna vhodna stopnja enofaznega števca

5.1 Operacijski ojačevalnik z diferencialnim izhodom

Popolnoma diferencialni operacijski ojačevalnik je osnovna in najpomembnejša komponenta sigma-delta modulatorja. Medtem, ko so teoretične meje delovanja analogno-digitalnega pretvornika odvisne od reda in arhitekture modulatorja (frekvenčni spekter kvantizacijske napake), prevzorčenja (SNDR karakteristika) in izhodnega decimacijskega filtra, so skrajne meje delovanja določene z neidealnostmi analognih komponent. Vzorčno frekvenco določa izhodna odzivnost (slew rate) operacijskega ojačevalnika, dinamično območje pa omejujejo termični šum vzorčevalnih kondenzatorjev, preostale napetosti in notranji šumi elementov integratorja.

Posebna izvedba popolnoma diferencialnega operacijskega ojačevalnika je ojačevalnik z uravnoteženim izhodom [1]. Pri popolnoma diferencialnem operacijskem ojačevalniku v [2] je pomembna zgolj razlika izhodnih napetosti $V_{od} = V_{o1} - V_{o2}$, medtem ko je srednja vrednost izhodnih napetosti $V_{cm} = (V_{o1} + V_{o2})/2$ ni natančno definirana. V_{cm} naj ne bi vplivala na pravilno delovanje sistema, zato je v nekaterih konstrukcijah ojačevalnika tudi signalno odvisna. Diferencialni ojačevalnik z uravnoteženim izhodom pa srednjo točko delovanja izhodov postavi na natanko določeno, signalno neodvisno vrednost V_{bal} . Če postavimo V_{bal} na $V_{DD}/2$, lahko izničimo vpliv spreminjanja srednje točke izhoda na različne neidealnosti, npr. če ima naslednji sklop v signalni verigi omejeno toleranco na spremembe srednje točke izhoda (npr. regenerativni primerjalnik sigma-delta modulatorja).

Operacijski ojačevalnik z diferencialnim izhodom za pravilno delovanje potrebuje vezje sofazne povratne zanke (»common mode feedback circuit«). Navadno je to vezje nelinearno [3], s tem pa izhodi ojačevalnika niso več simetrični okrog V_{cm} . Ta problem rešimo z uporabo detektorja srednje točke, sestavljenega iz linearnih uporov, ali v primeru vzorčnih vezij z ekvivalentnim SC vezjem.

Ena izmed zahtev za tak ojačevalnik je, da je sposoben krmiliti tako kapacitivna bremena (v integratorju), kot tudi uporovna bremena (v predojačevalniku), kar pogojuje njegovo nizko izhodno impedanco. Ker bo vezje obdelovalo tako vzorčene, kot tudi zvezne signale, bo vezje sofazne povratne zanke izvedeno z linearnimi upori. Pri načrtovanju

»univerzalnega« sklopa odpade tudi potreba po načrtovanju dveh končnih geometrij operacijskega ojačevalnika, žal pa se dvojno delo prenese na načrtovalca električne sheme.

5.1.1 Struktura operacijskega ojačevalnika

V praktičnih izvedbah SC vezij uporabljamo popolnoma diferencialne ojačevalnike, saj dosegajo zelo dobro odpornost na napajalne motnje, poleg tega pa pri isti napajalni napetosti zagotavljajo dvakrat večjo amplitudo izhodnega signala kot podobna vezja z enopolnim izhodom. Šumna moč nekoreliranega šuma v posamezni veji diferencialne strukture se seštevata v skupno šumno moč, zato diferencialne strukture pri dvakrat večji amplitudi izhodnega signala izboljšajo razmerje signal-šum (SNR) za 3 dB. Simetrija popolnoma diferencialne strukture v veliki meri izniči sode komponente popačenja ne glede na njihov nastanek [4, str. 452-454], saj izkazujejo vhodno-izhodno karakteristiko, simetrično na izhodišče: $f(-x) = -f(x)$. Iz razvoja takšne funkcije v Taylorjevo vrsto vidimo, da diferencialno vezje, krmiljeno z diferencialnim signalom ne more generirati sodih harmonskih komponent:

$$y(t) = a_1 x(t) + a_3 x^3(t) + a_5 x^5(t) + \dots \quad (5.1)$$

Skupna točka vhodnega signala popolnoma diferencialnega operacijskega ojačevalnika je lahko različna od skupne točke izhodnega signala. Tako lahko s PMOS vhodno diferencialno stopnjo obdelujemo tudi vhodne signale s skupno točko okrog V_{ss} , kar je pomembno pri predojačevalniku tokovnega signala.

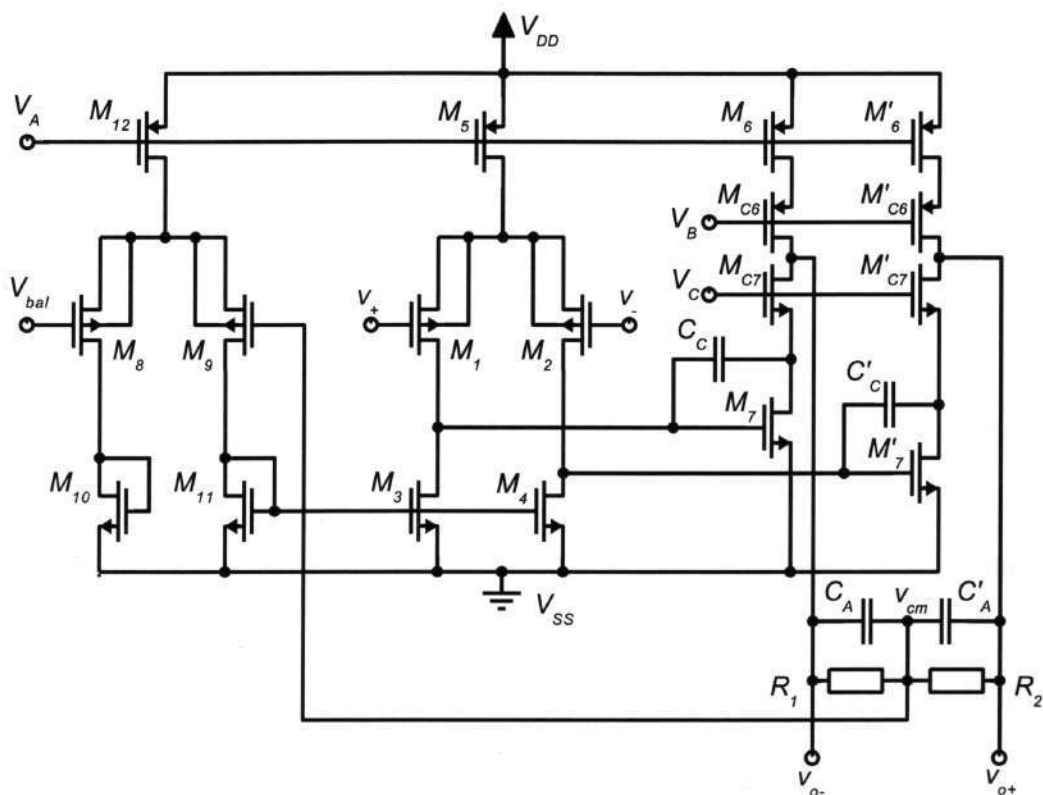
Gleda na vse zahteve, je dvostopenjski operacijski ojačevalnik izveden kot dvostopenjska diferencialna struktura s P-MOS diferencialno vhodno stopnjo, kaskodno izhodno stopnjo in uporovnim vezjem sofazne povratne zanke. Vezje je prikazano na sliki 44.

5.1.2 Sinteza operacijskega ojačevalnika

Sinteza operacijskega ojačevalnika temelji na osnovni sintezi popolnoma diferencialnega operacijskega ojačevalnika, izvedenega v $2.4 \mu\text{m}$ MOS tehnologiji [5]. V tem delu so prikazane osnovne enačbe napetostnega ojačanja diferencialne in kaskodne stopnje, izračun maksimalnega območja vhodnega in izhodnega signala ter izračun kompenzacijskega

kondenzatorja. Na osnovi izračunov so bile opravljene simulacije, operacijski ojačevalnik pa je bil uporabljen v več uspešnih vezjih¹ v 2.4 in 0.7 μ m tehnologiji CMOS.

Operacijski ojačevalnik iz [5] bomo prenesli v sodobno 0.35 μm tehnologijo CMOS in analizirali vse parametre, ki vplivajo na karakteristiko sigma-delta modulatorja. V ojačevalnik bomo uvedli tudi ukrepe za zmanjšanje vpliva $1/f$ šuma in ukrepe za zmanjšanje nične napetosti vhodnih transistorjev diferencialne stopnje s pomočjo sekanja (»chopping«) vhodnega signala.



Slika 44: Struktura popolnoma diferencialnega ojačevalnika

Dvostopenjski ojačevalnik na sliki 44 sestavlja PMOS transistorja vhodne diferencialne stopnje M_1 in M_2 s pripadajočima bremenskima transistorjema M_3 in M_4 . Tokovni generator diferencialne vhodne stopnje je izveden s transistorjem M_5 . Kaskodna izhodna stopnja ojačevalnika je izvedena z vhodnim transistorjem kaskodne stopnje M_7 s pripadajočim kaskodnim transistorjem M_{C7} , aktivno breme pa je izvedeno s transistorjema M_6 in M_{C6} . Vezje sofazne povratne zanke je podobno vezju diferencialne ojačevalne stopnje, sestavljeno pa je iz transistorjev ($M_8, M_9, M_{10}, M_{11}, M_{12}$) in detektorja sofazne delovne točke, sestavljenega iz uporov R_1 in R_2 . Signal napake detektorja sofazne delovne točke krmili aktivna bremena diferencialne vhodne stopnje preko transistorja M_{11} . Na ta način se izognemo direktnemu

¹ Sigma-delta analogno-digitalni pretvornik 2. reda, diferencialno TDM množilno vezje

injeciranju toka v vezje diferencialne stopnje, vendar s tem lahko dosežemo le razmeroma omejeno ojačanje sofaznega ojačevalnika. Kljub temu smo izbrali pristop brez direktnega injeciranja toka, saj zagotavlja kar najmanjšo nično napetost v diferencialnem načinu. Ojačevalnik je stabiliziran s standardno Millerjevo kompenzacijo, izvedeno s transistorjem C_C . S kondenzatorjem C_A sklopimo visokofrekvenčni substratni šum, ki ga pobirajo upori, z njim tudi dodatno stabiliziramo zanko za regulacijo sofazne delovne točke. Substrat vhodnih transistorjev M_1 in M_2 je vezan na elektrodo izvora, s čimer izboljšamo njuno medsebojno ujemanje in s tem manjšo diferencialno nično napetost ojačevalnika, hkrati pa zmanjšamo presluh šuma V_{DD} linije na signalno pot.

Vezje je zrcalno simetrično, z diferencialnim ojačanjem $A_d = (V_{out+} - V_{out-}) / (V_{in+} - V_{in-})$, zato lahko po metodi analize pol-vezja analiziramo le eno od zrcalno simetričnih vej. Slika 45 prikazuje malosignalni model ene od vej ojačevalnika.

5.1.2.1 Diferencialno ojačanje

Diferencialno ojačanje ojačevalnika zapišemo po enačbi (2.32) in enačbi (2.37) kot produkt ojačanja diferencialne stopnje in kaskodne stopnje:

$$A_{vd} = A_{v1} A_{v2} = [g_{m1}(r_{ds1} \parallel r_{ds3})] \cdot [g_{m7}(R_{cout1} \parallel R_{cout2})] \quad (5.2)$$

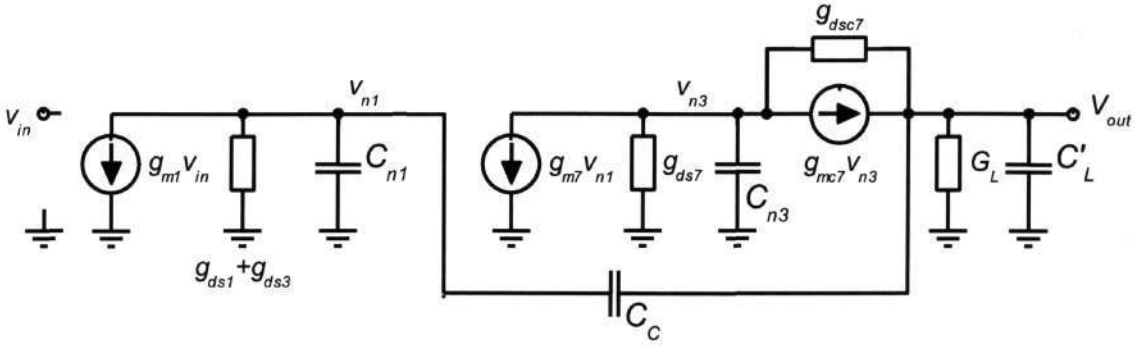
V enačbi (5.2) prvi člen enačbe predstavlja ojačanje diferencialne stopnje, drugi člen pa ojačanje kaskodne stopnje z aktivnim bremenom. Izhodno upornosti kaskodne stopnje z aktivnim bremenom zapišemo iz enačbe (2.36):

$$\begin{aligned} R_{cout1} &= r_{ds7}(1 + g_{mc7}r_{dsc7}) + r_{dsc7} \\ R_{cout2} &= r_{ds6}(1 + g_{mc6}r_{dsc6}) + r_{dsc6} \end{aligned} \quad (5.3)$$

Izhodna upornost kaskode je precej večja od izhodne upornosti transistorja v vezavi s skupnim izvorom. Če privzamemo $g_m r_o \gg 1$, lahko iz enačbe (5.3) zapišemo

$$R_{out1} \approx g_{mc7}r_{dsc7}r_{ds7}. \text{ Kaskodni transistor torej poveča impedanco za faktor } g_{mc7}r_{dsc7}.$$

Malosignalna frekvenčna analiza:



Slika 45: Pol-vezje diferencialnega vezja ojačevalnika

Parazitne kapacitivnosti MOS transistorjev v posameznih vozliščih operacijskega ojačevalnika zapišemo:

$$\begin{aligned} C_{n1} &= C_{gd1} + C_{db1} + C_{gd3} + C_{db3} + C_{gs7} + C_{gd7} \\ C_{n3} &= C_{gd7} + C_{db7} + C_{sbc7} + C_{gsc7} \\ C'_L &= C_L + C_{gdc7} + C_{dbc7} + C_{gdc6} + C_{dbc6} \end{aligned} \quad (5.4)$$

V enačbi (5.4) C_L predstavlja ekvivalentno bremensko kapacitivnost [6] ojačevalnika v fazi integriranja F_2 (slika 23). Izhod ojačevalnika dodatno bremenimo s kapacitivnostmi na izhodu integratorja – kapacitivnost spodnje plošče integracijskega kondenzatorja C_{bp} , vhodna kapacitivnost primerjalnika C_{comp} in kapacitivnost kondenzatorja v detektorju sofazne delovne točke C_A

$$C_L = \frac{(C_{sig} + C_{ref} + C_{ip})C_I}{C_{sig} + C_{ref} + C_{ip} + C_I} + C_{bp} + C_{comp} + C_A \quad (5.5)$$

C_{ip} v enačbi (5.5) predstavlja vhodno kapacitivnost v operacijski ojačevalnik

S pomočjo malosignalnega modela vezja zapišemo vozliščne enačbe. Upoštevamo, da ojačanje druge stopnje (kaskodne stopnje) pri pogoju $R_L = R_1 < (r_{cout1} \parallel r_{cout2})$ določa bremenski upor sofazne povratne vezave R_I .

$$\begin{bmatrix} g_{ds1} + g_{ds3} + sC_{n1} + sC_C & 0 & -sC_C \\ g_{m7} & g_{mc7} + g_{dsc7} + g_{ds7} + sC_{n3} & -g_{dsc7} \\ -sC_C & -g_{mc7} - g_{dsc7} & g_{dsc7} + G_L + sC'_L + sC_C \end{bmatrix} \cdot \begin{bmatrix} V_{n1} \\ V_{n3} \\ V_{out} \end{bmatrix} = \begin{bmatrix} -g_{m1}V_{in} \\ 0 \\ 0 \end{bmatrix} \quad (5.6)$$

Iz enačbe (5.6) zapišemo kompleksno prevajalno funkcijo vezja:

$$A_d = \frac{v_{out}}{v_{in}} = \frac{-g_{m1}(Y_{21}Y_{32} - Y_{22}Y_{31})}{Y_{11}Y_{22}Y_{33} + (Y_{13}Y_{21} - Y_{11}Y_{23})Y_{32} - Y_{13}Y_{22}Y_{31}} \quad (5.7)$$

Kjer člen Y_{xy} predstavlja element admitančne matrike v x vrstici in y stolpcu.

Analiza enačbe (5.7) pokaže, da ima vezje poleg dominantnega pola v vozlišču n_1 , določenega s kompenzacijskim kondenzatorjem C_C , še dva pola in dve ničli pri visokih frekvencah. Problematična je ničla na desni strani s ravnine [7, str. 434-442], ki je posledica sklopa vhodnega signala na izhod preko kompenzacijskega kondenzatorja. Ta ničla oži pasovno širino ojačevalnika, zato jo lahko z uvedbo dodatnega kompenzacijskega upora R_C zaporedno kompenzacijskemu kondenzatorju C_C popolnoma odpravimo, oz. lahko z ničlo kompenziramo enega od nedominantnih visokofrekvenčnih polov. V našem vezju pa simulacije pokažejo, da uvedba kompenzacijskega upora razdeli enega od realnih nedominantnih polov v dva kompleksna pola, poleg tega pa potisne ničlo na levi strani proti nižjim frekvencam. Ker tudi brez dodatnega kompenzacijskega upora ojačevalnik doseže želene karakteristike (pasovna širina, fazna varnost), kompenzacijskega upora v ojačevalnik ne bomo vstavili.

5.1.2.2 Izhodna odzivnost

V realnem operacijskem ojačevalniku se odziv na vhodno stopnico razlikuje od linearnega prehodnega pojava v linearnih RC vezjih. Izhodna napetost operacijskega ojačevalnika se pri znatnih spremembah vhodnega signala nekaj časa spreminja po premici s konstantnim nagibom, preden spet preide v področje linearnega prehodnega pojava.

Tokovni generator vhodne stopnje zagotavlja tok I_{SS} , ki se deli med vhodna transistorja M_1 in M_2 . Vzbujanje vhodov ojačevalnika z relativno visoko diferencialno vhodno napetost $V_{in}^+ \gg V_{in}^-$ pa lahko povzroči, da se M_1 popolnoma zapre, ob tem ko se M_2 popolnoma odpre. Pri zaprtem M_1 lahko tok skozi bremenski transistor M_3 , ki ga je prej zagotavljal M_1 priteče le skozi serijo kaskodnih transistorjev M_6 , M_{C6} in M_{C7} ter skozi kompenzacijski kondenzator C_C . Če privzamemo, da je napetost na krmilni elektrodi M_7 konstantna, potem tok skozi kompenzacijski kondenzator povzroči, da izhodna napetost V_{out} raste linearno z naklonom:

$$SR_{\text{int}} = \frac{I_{D1}}{C_C} \quad (5.7)$$

Poleg internega kompenzacijskega kondenzatorja moramo za korekten izračun upoštevati tudi polnjenje bremenskega kondenzatorja C'_L s preostalim tokom transistorja M_6 . Za polnjenje bremenskega kondenzatorja je na voljo le tok tokovnega generatorja M_6 , zmanjšan za tok I_{D1} , ki v tem trenutku teče skozi kompenzacijski kondenzator. Posledično napetost na krmilni elektrodi M_7 pade, kar zmanjša tok skozi transistor M_7 . Za polnjenje bremenskega kondenzatorja C'_L je tako na voljo skoraj celoten tok $I_{D6} - I_{D1}$:

$$SR_{\text{ext}} = \frac{I_{D6} - I_{D1}}{C'_L} \quad (5.8)$$

Strmina naklona izhodne napetosti, oz. izhodna odzivnost operacijskega ojačevalnika je torej:

$$SR = \min(SR_{\text{int}}, SR_{\text{ext}}) \quad (5.9)$$

5.1.2.3 Šumna karakteristika

Vse napetostne šumne vire transistorjev lahko seštejemo v ekvivalentni vhodni napetostni šumni vir z močnostno gostoto:

$$S_{eq,in}(f) = \sum_{i=1}^n S_{i,in}(f) \left(\frac{A_{vni}}{A_v} \right)^2 \quad (5.10)$$

V enačbi (5.10) z $S_{eq,in}(f)$ označimo močnostno gostoto ekvivalentnega vhodnega napetostnega šumnega vira transistorja M_i , z A_{vni} ojačanje od sponke s šumnim virom do izhodne sponke, A_v pa predstavlja ojačanje ojačevalnika. Če privzamemo visoko ojačanje prve stopnje, potem lahko zanemarimo prispevek šumnih virov druge, kaskodne stopnje.

Ekvivalentna močnostna gostota vhodnih transistorjev je že izračunana na vhodu operacijskega ojačevalnika, prispevek ekvivalentnih vhodnih napetostnih šumnih virov bremenskih transistorjev vhodne stopnje pa preračunamo na izhod diferencialne stopnje po enačbi:

$$S_{M3,M4,out}(f) = g_{m3}^2 (r_{ds1} \| r_{ds3})^2 V_{M3,in}^2(f) + g_{m4}^2 (r_{ds2} \| r_{ds4})^2 V_{M4,in}^2(f) \quad (5.11)$$

Iz enačbe (5.11) izračunamo močnostno gostoto ekvivalentnega napetostnega šumnega vira operacijskega ojačevalnika tako, da delimo močnostno gostoto na izhodu s kvadratom ojačanja diferencialne stopnje $g_{m1}^2 (r_{o1} \| r_{o3})^2$:

$$S_{eq,in}(f) = 2S_{M1,in}(f) + 2 \frac{g_{m3}^2}{g_{m1}^2} V_{M3,in}^2(f) \quad (5.12)$$

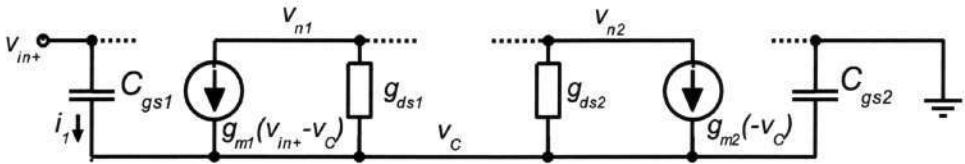
V enačbo (5.12) vstavimo enačbi termičnega šuma (2.20) in $1/f$ šuma (2.21) transistorja. Tako dobimo končno enačbo močnostne gostote šuma operacijskega ojačevalnika:

$$S_{eq,in}(f) = 2 \cdot 4kT \left(\frac{2}{3g_{m1}} + \frac{2g_{m3}}{3g_{m1}^2} \right) + \frac{2K_P}{C_{ox}(WL)_1} \frac{1}{f} + \frac{2K_N}{C_{ox}(WL)_3} \frac{1}{f} \frac{g_{m3}^2}{g_{m1}^2} \quad (5.13)$$

Iz enačbe (5.13) razberemo, da s povečanjem g_{m1} , oziroma z zmanjšanjem g_{m3} zmanjšamo vpliv termičnega šuma, vpliv $1/f$ šuma, ki prevladuje pri nizkih frekvencah pa zmanjšamo s povečanjem površine WL MOS transistorjev. Ker je g_m proporcionalen $\sqrt{I_D W/L}$, po enačbi (5.13) ugotovimo, da moramo za nizkošumno delovanje kar najbolj podaljšati dolžine transistorjev v vlogi tokovnih generatorjev.

5.1.2.4 Vhodna kapacitivnost

Za izračun vhodne kapacitivnosti na vhodu V_{in+} priključimo V_{in-} na signalno maso, v tem primeru pa skupne točke izvorov vhodnih transistorjev V_c ne smemo več obravnavati kot virtualno maso, saj je izmenična napetost skupne točke izvorov v tej vezavi $v_M = v_{in+}/2$.

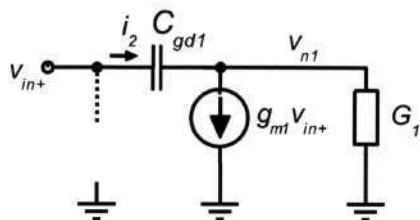


Slika 46: Vpliv C_{gs} na vhodno kapacitivnost

Izmenični tok iz vhodne točke teče preko C_{gs1} , nato pa se preko skupne točke izvorov zaključi preko C_{gs2} na signalno maso. Ker velja $C_{gs1} = C_{gs2}$, prispeva C_{gs} vhodnih transistorjev (zaradi kapacitivnega delilnika od vhoda proti signalni masi k kapacitivnosti vhoda) približno $C_{gs1}/2$.

Vhodni tok zapišemo:

$$i_1 = v_{in+} \frac{sC_{gs1}}{2} \quad (5.14)$$



Slika 47: Vpliv C_{gd} na vhodno kapacitivnost

Izmenični tok vhoda V_{in+} lahko teče tudi preko C_{gd1} proti signalni masi izhoda diferencialne stopnje. Privzemimo, da se tokrat skupna točka izvorov vhodnih transistorjev tokrat ne spreminja (obravnavamo jo kot virtualno maso). Če napetost v_{n1} zapišemo s približkom $v_{n1} = -g_{m1}v_{in+}/G_1$, lahko tok i_2 skozi C_{gd1} zapišemo:

$$i_2 = v_{in+} s C_{gd1} \left(1 + \frac{g_{m1}}{G_1} \right) \quad (5.15)$$

G_1 v enačbi (5.15) predstavlja skupno prevodnost v vozlišču n_1 . Iz enačb (5.14) in (5.15) zapišemo enačbo za vhodno kapacitivnost s približkom:

$$C_{ip} = \frac{C_{gs1}}{2} + C_{gd1} \left(1 + \frac{g_{m1}}{G_1} \right) \quad (5.16)$$

Vhodna kapacitivnost je torej približno polovica C_{gs} , k vhodni kapacitivnosti pa prispeva še C_{gd} , povečana s faktorjem Millerjevega efekta ojačanja prve stopnje.

5.1.2.5 Območje vhodnega signala

Za pravilno delovanje vhodne stopnje moramo zagotoviti delovanje vseh transistorjev v nasičenju. Za izračun minimalnega vhodnega signala lahko zapišemo:

$$U_{DS,M5} + U_{DS(sat),M1} = U_{in,min} + U_{GS,M1} \quad (5.17)$$

Upoštevamo, da je $U_{DS(sat)} = U_{GS} - U_T$, enačba (5.17) s tem postane:

$$U_{in,min} = U_{DS,M5} + U_{DS(sat),M1} - U_{GS,M1} = U_{DS,M5} - U_{T,M1} \quad (5.18)$$

Iz enačbe (5.18) je razvidno, da lahko pri vhodni stopnji, izvedeni s PMOS vhodnimi transistorji, minimalno vhodno napetost približamo negativni napajalni napetosti, pa bodo vsi MOS transistorji še vedno v nasičenju.

Za izračun maksimalne vhodne napetost nastavimo enačbo:

$$U_{in,max} = V_{DD} - U_{T,M1} - U_{DSSat,M5} \quad (5.19)$$

Pri maksimalni vhodni napetost moramo zagotoviti, da vhodni transistor deluje v področju nasičenja, ob tem pa mora tudi transistor tokovnega generatorja delovati v področju nasičenja.

5.1.2.6 Območje izhodnega signala

Za pravilno delovanje ojačevalnika morajo izhodni transistorji delovati v področju nasičenja v vseh pogojih delovanja. Vezje sofazne povratne zanke postavi srednjo točko izhoda na $V_{DD}/2$, isto vezje pa tudi zagotavlja simetričnost pozitivnega in negativnega izhoda operacijskega ojačevalnika okrog $V_{DD}/2$. Območje izhodnega signala je tako določeno z:

$$U_{out} = V_{DD} - 2 \max(V_{dssat,M7} + V_{dssat,MC7}, V_{dssat,M6} + V_{dssat,MC6}) \quad (5.20)$$

enake vhodni stopnji diferencialnega načina, sofazna vhodna stopnja naj bo torej enaka diferencialni vhodni stopnji. Ojačevalnik sofazne povratne zanke je sestavljen iz vhodnih PMOS transistorjev M_8 in M_9 s pripadajočim tokovnim generatorjem M_{12} in bremenskima transistorjema M_{10} in M_{11} . Sofazni signal vpliva preko transistorjev M_3 in M_4 diferencialne stopnje na srednjo točko izhoda, signalna pot sofaznih signalov pa deli izhodno stopnjo ter kompenzacijsko vezje s signalno potjo diferencialnega signala.

V diferencialnem načinu želimo kar se da majhno nično komponento, zato signala sofazne povratne zanke ne bomo preprosto seštevali kot tok na bremenskih transistorjih [1], pač pa bomo s tem signalom krmilili delovno točko bremenskih transistorjev diferencialne stopnje. S takšnim vezjem sicer dosežemo nekaj manjše ojačanje v sofazni povratni zanki, vendar lahko tako pasovno širino, kot tudi ojačanje, neodvisno nastavimo s parametri transistorjev M_{10} in M_{11} v ojačevalniku sofazne povratne zanke. Ker vsako vozlišče takšnega ojačevalnika v karakteristiko popolnoma diferencialnega ojačevalnika prinese tudi nedominantni pol, je optimizacija dveh medsebojno prepletenih ojačevalnikov - diferencialnega in sofaznega - zahtevno delo, pri katerem moramo izbirati med množico kompromisov.

Malosignalno analizo lahko povzamemo po malosignalni analizi diferencialnega dela. Transistor M_{11} , vezan kot dioda v tokovnem zrcalu M_3+M_4 , zrcali izmenični tok sofaznega ojačevalnika v diferencialno stopnjo, sofazni signal pa nadaljuje do izhoda po isti poti, kot diferencialni signal. Pri malosignalni analizi sofaznega ojačevalnika vežemo vhoda diferencialne stopnje in referenčni signal $AGND$ na izmenično maso. Celotno malosignalno ojačanje sofaznega ojačevalnika s tem zapišemo:

$$A_{v,cm} = A_{v1,cm} A_{v2} = [g_{m11} (r_{ds11} \| r_{ds9})] [g_{m7} (r_{cout1} \| r_{cout2})] \quad (5.21)$$

Ojačanje po enačbi (5.21) je podobno ojačanju po enačbi (5.2), le ojačanje prve stopnje je definirano z ojačanjem g_{m11} .

Čeprav je pri ojačevalniku večina sofazne signalne poti deljene s signalno potjo diferencialnega signala, pa nedominantni poli in ničle vplivajo na vsako signalno pot drugače. Ob vsaki spremembi elementov moramo ojačevalnik simulirati tako v diferencialnem, kot tudi sofaznem načinu delovanja. Pozorni moramo biti na fazno varnost, saj lahko ojačevalnik zaniha v kateremkoli načinu. V predstavljenem ojačevalniku je fazna varnost sofaznega ojačevalnika nekoliko manjša (kar lahko pri vzbujanju ojačevalnika s sofaznim signalom povzroči nekaj sofaznega prenihaja), vendar je še vedno v mejah stabilnega delovanja.

5.1.3 Izvedba operacijskega ojačevalnika

Kompleksnost analognega načrtovanja se skriva v večdimenzionalnem prostoru medsebojno povezanih parametrov analognega bloka. Sprememba enega od parametrov nujno vpliva tudi na druge (npr. višanje frekvenčne meje ali odprtozančnega ojačanja vpliva na tokovno porabo, manjšanje nivoja $1/f$ šuma z večanjem vhodnih transistorjev vpliva na vhodno kapacitivnost, itd...), zato mora načrtovalec na osnovi analiz vpliva posameznih parametrov elementov vezja in na osnovi izkušenj sklepati kompromise, dokler ne doseže **zadovoljivih** karakteristik delovanja analognega bloka.

Okvirni postopek načrtovanja operacijskega ojačevalnika poteka po naslednjih korakih:

- a) Glede na zahtevano odprtozančno ojačanje in dovoljeno porabo izračunamo tokove v diferencialni stopnji in izhodnih kaskodnih stopnjah. Znani tokovi omogočajo izračun širin transistorjev diferencialne stopnje in širin transistorjev kaskodne stopnje, tako da dosežemo želeno malosignalno ojačanje. Upoštevamo, da je tok kaskode ojačevalnika razreda A tudi maksimalni izhodni tok bremena. Bremenska kapacitivnost v kombinaciji z izhodnim tokom določa zunanjo izhodno odzivnost ojačevalnika, tok diferencialne stopnje pa skupaj s kompenzacijskim transistorjem določa interno strmino spremembe izhodnega signala.
- b) Glede na želeno območje izhodne napetosti in mirovni tok kaskode optimiziramo U_{DSsat} kaskodnih transistorjev s spreminjanjem njihove širine. Spreminjanje širine vpliva na ojačanje kaskodne stopnje, spreminjanje parazitnih kapacitivnosti pa vpliva na položaj nedominantnih polov.
- c) Želena območja vhodne napetosti in sofazno vhodno napetost definira U_{DSsat} tokovnega generatorja diferencialne stopnje in U_{DSsat} aktivnih bremen.
- d) Termično šumno karakteristiko določa razmerje g_m vhodnega transistorja z g_m aktivnega bremena, na $1/f$ šum pa vpliva površina WL vhodnega transistorja.
- e) Vhodna kapacitivnost je odvisna od parazitnih kapacitivnosti površine WL vhodnega transistorja in njegovega malosignalnega ojačanja.

Optimizacija vezja zahteva precej ponovitev opisanega postopka. Sodobna načrtovalska orodja omogočajo določeno avtomatsko optimizacijo vezij v okviru izbranega prostora posameznih parametrov elementov vezja in kriterija, ki ga določi načrtovalec [8]. Poleg tega načrtovalska orodja omogočajo t.im. »what-if« analizo vezja, s katero analiziramo vpliv parametra določenega elementa v vezju na ostale parametre vezja.

Poseben problem predstavlja izvedba končne geometrije vezja. Avtomatsko generirane končne geometrije analognih vezij ostajajo zgolj želja načrtovalcev, saj orodja omogočajo le postavitev nekaj elementov preprostega vezja glede na predlogo (template), ki jo pripravi načrtovalec. Dobrodošla pomoč so »gate router« orodja, ki glede na listo povezav povežejo transistorje v celici. Žal pa nobeno od teh orodij ne dosega kvalitete ročno izdelane končne geometrije izkušenega načrtovalca, zato so primerna zgolj za hitro izdelavo prototipnih vezij.

Iz izdelane končne geometrije načrtovalska orodja izračunajo parazitne kapacitivnosti posameznih transistorjev, izračunajo tudi kapacitivnosti posameznih povezav do substrata ter medsebojne sklopne kapacitivnosti povezav, z izračunanimi vrednostmi pa lahko ponovimo analize vezja in s tem potrdimo karakteristike delovanja analognega bloka.

5.1.4 Povzetek rezultatov simulacij

V tabeli 8 so zbrane velikosti transistorjev operacijskega ojačevalnika, izvedenega v 0.35 μ m CMOS tehnologiji, v tabeli (9) pa so zbrane nekatere lastnosti operacijskega ojačevalnika.

Transistor	W/L (μ m)
M1, M2	150.0/5.0
M3, M4	60.0/2.4
M5	184.0/1.2
M6, M'6	368.0/1.2
MC6, M'C6	368.0/1.2
M7, M'7	120.0/1.2
MC7, M'C7	120.0/1.2
M8, M9	150.0/5.0
M10, M11	100.0/4.0
M12	184.0/1.2

Tabela 8: Optimalne velikosti transistorjev operacijskega ojačevalnika

A_d	89.3 dB
f_t	6.26 MHz
PM_d	61°
SR	15 V/ μ s
C_C in C'_C	2 pF
C_A in C'_A	0.44 pF
R_1 in R_2	100 k Ω
V_{DD}	3 V
$I_{kaskode}$	90 μ A
I_{tot}	590 μ A
P_{tot}	1.77 mW
V_{th0} (pri 1 MHz)	36 nV/ $\sqrt{Hz}$

Tabela 9: Ostale lastnosti operacijskega ojačevalnika

5.2 SC vhodno vezje

Zaradi zahtev po temperaturni stabilnosti delovanja analogno-digitalnega pretvornika v števcu električne energije, bomo SC vhodno vezje izvedli z dvema ločenima vejama: signalno vejo, ki vzorči vhodno napetost, in referenčno vejo, ki vzorči temperaturno stabilizirano referenčno napetost. Enačbo integratorja na sliki 23, izvedenega z dvema vhodnima vejama, zapišemo:

$$x_{n+1} = x_n + \frac{C_s}{C} u_n - \frac{C_r}{C} U_{ref} \cdot y_n, \quad y_n = \begin{cases} +1; x \geq 0 \\ -1; x < 0 \end{cases} \quad (5.22)$$

V enačbi (5.22) predstavlja x pomožno notranjo spremenljivko integratorja, y pa izhod sigma-delta modulatorja, ki ga preko D/A pretvornika vodimo v povratno zanko. Enačba (5.22) kaže, da bo notranja spremenljivka integratorja x omejena le pod pogojem, če bo absolutna vrednost vhodne napetosti u_n zadostovala pogoju:

$$|u_n| < \frac{C_r}{C_s} U_{ref} \quad (5.23)$$

Če z velikostjo vhodnega signala zadostimo enačbi (5.23), potem lahko z razmerjem kondenzatorjev C_r/C_s navidezno povečamo amplitudo vhodnega signala v samem sigma-delta modulatorju brez uporabe dodatnega predojačevalnika:

$$u'_n = \frac{C_s}{C_r} u_n \quad (5.24)$$

Stikala v SC vezju so izvedena z MOS transistorji, zato upoštevamo, da v vključenem stanju v vezju predstavljajo majhno serijsko upornost. Začetno področje delovanja stikala je odvisno od napetosti na MOS stikalu v izključenem stanju. V primeru, ko velja $U_{DS} > U_{GS} - U_T$, začne MOS stikalo prevajati v področju nasičenja. Kasneje napetost med ponorom in izvorom pade glede na polnjenje oz. praznjenje kondenzatorja, stikalo pa končno preide v linearno področje. Tok nasičenja transistorja v stikalu v času t_{slew} omeji hitrost spremembe napetosti na kondenzatorju z:

$$SR_{sw} = \frac{I_{Dsat}}{C_s} \quad (5.25)$$

$$t_{slew} = \frac{U_{DS}}{SR_{sw}} \quad (5.26)$$

V linearnem področju se napetost na kondenzatorju spreminja s časovno konstanto τ , odvisno od velikosti kondenzatorja in vsote vseh serijskih upornosti stikal v veji:

$$\tau = \sum_{n=1}^i R_n \cdot C_s = \sum_{n=1}^i \frac{1}{g_{dsn}} \cdot C_s \quad (5.27)$$

Čas, v katerem napetost na kondenzatorju doseže končno vrednost z napako ε definira enačba:

$$t = \tau \ln\left(\frac{1}{\varepsilon}\right) \quad (5.28)$$

Poseben problem SC vezij predstavljata presluh krmilnega signala MOS stikal na signalno pot in injekcija naboja kanala v okoliške kondenzatorje. Naboj kanala (ki je odvisen od krmilne napetosti U_{GS}) steče ob izklopu stikala izpod krmilne elektrode skozi izvor in ponor transistorja v okoliške kondenzatorje, s tem pa povzroča napako vzorčenja na vzorčevalnih kondenzatorjih. Injecirani naboj se spreminja glede na vhodno napetost stikal, s tem pa v signalno pot vnaša signalno odvisna popačenja.

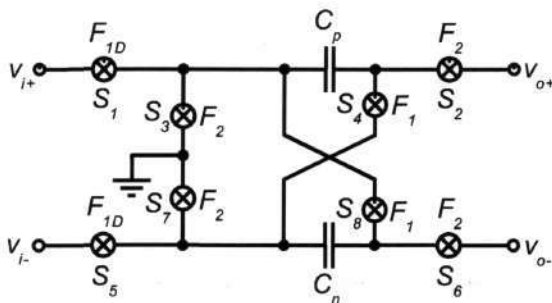
Vplive presluha krmilnega signala, kot tudi vpliv injeciranega naboja, zmanjšamo z diferencialno izvedbo SC vezja. Če sta si pozitivna in negativna polovica vezja enaki, potem vplivi presluha in injekcije naboja ne bodo degradirali signala. Kljub temu pa signalno odvisni injecirani naboj povzroča harmonsko popačenje signala, četudi se diferencialni veji SC vezja popolnoma ujemata. V diferencialni strukturi presluh krmilnega signala in injekcija naboja tudi premika sofazno točko signala na vseh vstopih v operacijski ojačevalnik.

Vpliv presluha krmilnega signala v veliki meri odpravimo z modificirano »transmission gate« CMOS strukturo stikal. Če izenačimo širino W PMOS in NMOS transistorja v modificiranem stikalu, lahko zmanjšamo spremembo napetosti na vzorčnem kondenzatorju (enačba 5.29). Upoštevamo, da ima krmilni signal PMOS transistorja obrnjeno fazo krmilnega signala NMOS transistorja, zato lahko zapišemo:

$$\Delta V = V_{CLK} \frac{W_N C_{ov}}{W_N C_{ov} + C_S} - V_{CLK} \frac{W_P C_{ov}}{W_P C_{ov} + C_S} \quad (5.29)$$

Glede na enačbi (3.75) injekcija naboja povzroča napako ojačanja, dodatno nično napetost in popačenje signala. Medtem, ko napaka ojačanja in dodatna nična napetost ne vplivata na delovanje sistema (napako ojačanja odpravimo z umerjanjem, nično napetost pa odpravimo z dodatnimi ukrepi v analognem in digitalnem delu sistema), pa popačenje signala direktno vpliva na pravilnost meritve. Kljub temu, da diferencialna struktura močno zmanjša vplive injeciranega naboja, uvedemo dodatne zakasnjene faze krmilnih signalov vhodnih stikal.

5.2.1 Signalna veja vhodnega SC vezja



Slika 49: Signalna veja vhodnega SC vezja

S signalno vejo vhodnega vezja na sliki 49 želimo vzorčiti signal tako okrog V_{SS} , kot tudi okrog $V_{DD}/2$. Osnovna ideja izvedbe vezja je v tem, da vzorčimo signal s paralelno vezavo dveh vzorčevalnih kondenzatorjev, v fazi integriranja pa kondenzatorja ločimo. Na ta način naboj ločeno integriramo v pozitivni in negativni veji diferencialnega integratorja. Z vezjem zmanjšamo vpliv sofaznih motenj na vhodu v SC vezje, hkrati pa vezje deluje v vseh želenih režimih delovanja.

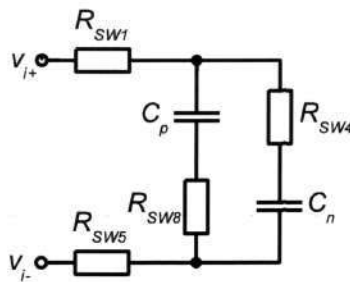
Parazitne kapacitivnosti med ploščami kondenzatorja in substratom so v fazi vzorčenja priključene paralelno k vhomom. Ob vklopu v fazi integriranja naboj parazitne kapacitivnosti

spodnje plošče preko stikali S_3 in S_7 steče v signalno maso, zato na signal nima vpliva. Naboj parazitne kapacitivnosti med zgornjo ploščo vzorčevalnega kondenzatorja in substratom pa v fazi integriranja spreminja napetost skupnega načina na vhodu operacijskega ojačevalnika, poleg tega pa malenkost spremeni ojačanje integratorja (naboj je odvisen od napetosti vhodnega signala). Kljub temu, da je parazitna kapacitivnost zgornje plošče v MiM tipu kondenzatorjev zelo majhna ter linearna, želimo čim manjšo spremembo napetosti skupnega načina, zato v sumacijsko točko integratorja priključimo zgornje plošče kondenzatorjev.

Zaradi zahtev sistema naj vezje pravilno deluje v dveh režimih:

- a) $V_{ss} - 300 \text{ mV} < V_{in} < V_{ss} + 300 \text{ mV}$ (nesimetričen, oz. single-ended signal, $\pm 300 \text{ mV}$)
- b) $V_{DD}/2 - 300 \text{ mV} < V_{in} < V_{DD}/2 + 300 \text{ mV}$ (simetričen diferencialni signal, 600 mV)

V fazi vzorčenja (F_1) preko stikal S_1 , S_4 , S_5 in S_8 priključimo napetost vhodnih sponk na kondenzatorja C_p in C_n . Kondenzatorja sta na začetku faze vzorčenja prazna, zato je njuna napetost v trenutku vklopa enaka 0 V . Nadomestno RC vezje v fazi vzorčenja (slika 50) uporabimo za analizo razmer na stikalih.



Slika 50: Nadomestno vezje vzorčne veje v fazi F1

Konduktanca NMOS transistorja v linearnem področju delovanja je podana z enačbo (5.30):

$$g_{ds} = \mu C_{ox} \frac{W}{L} (U_{GS} - U_T) = \mu C_{ox} \frac{W}{L} (V_{DD} - V_S - U_T) \quad (5.30)$$

V enačbi (5.30) V_S predstavlja napetost izvora, oz. napetost signala na stikalu. Pri tipični vrednosti U_T (v standardnih CMOS tehnologijah okrog 0.7 V) in pri napajalni napetosti $V_{DD} = 3 \text{ V}$, je maksimalna amplituda vhodnega signala do 2.3 V , kar pri $V_{AGND} = 1.5 \text{ V}$ pomeni razpon vhodnega signala $V_{in} = \pm 0.8 \text{ V}$.

Analizirajmo vezje glede upornosti stikal $R_{sw}=1/g_{ds}$ v najbolj neugodnih pogojih delovanja. Krmilna napetost stikal, izvedenih z NMOS transistorjem, bo najmanjša v režimu delovanja (b), pri maksimalni vhodni napetosti. V tem primeru je napetost V_S na stikalu S_I enaka $V_{DD}/2 + 300$ mV, kar pomeni krmilno napetost okrog 1.2 V. Pri tipičnih U_T znaša efektivna krmilna napetost na krmilni elektrodi stikala $U_{Geff} = U_{GS} - U_T$ približno 0.5 V.

Relativno visoka minimalna krmilna napetost na stikalu pomeni, da stikala minimalnih dimenzij še vedno ustrezajo minimalnemu času polnjenja vzorčevalnega kondenzatorja (enačbi 5.27 in 5.28). Minimalne dimenzije pomenijo minimalno injekcijo naboja kanala v signalno pot, hkrati pa tudi minimalno porabo prostora na siliciju. Izognemo se tudi posebnim CMOS procesom, s katerimi izvedemo transistorje z nizkimi U_T , kompliciranim »bootstrap« izvedbam stikal [9] in vezjem za generacijo dodatnih višjih napetosti za krmiljenje stikal [10].

Arhitektura vhodnega vezja v povezavi z relativno visoko krmilno napetostjo stikal zagotavlja, da nobeno od stikal ne bo delovalo v področju nasičenja, saj za transistorje v vsakem od stikal velja $U_{DS} < U_{GS} - U_T$.

Naboj, ki ga injecirajo stikala S_2, S_3, S_7 in S_6 v signalno pot, signala ne popači, saj so napetosti na stikalih ob izklopu vedno enake: V_{AGND} za diferencialni par S_3 in S_7 in napetost virtualne mase operacijskega ojačevalnika v integratorju za diferencialni par S_2 in S_6 . Injecirani naboj bo zaradi konstantne napetosti ob izklopu vedno enak (enačba 3.80), poleg tega pa pri diferencialni izvedbi vezja injecirani naboj soležnih parov stikal predstavlja sofazni signal.

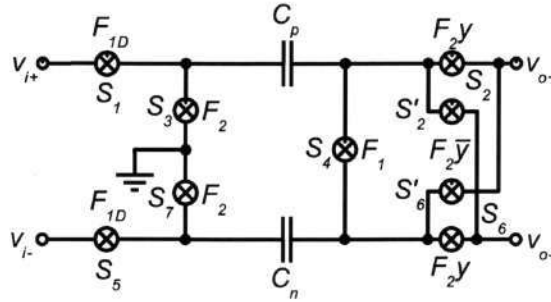
Naboj, ki ga injecirajo stikala S_1, S_4, S_8 in S_5 , vpliva na vzorčeni signal (enačba 3.80), saj napetosti na stikalih ob izklopu v različnih trenutkih niso enake. Kljub temu bo pri krmiljenju stikal S_1 in S_5 z zakasnjjenimi krmilnimi signali ob izklopu velika večina naboja stikal S_4 in S_8 stekla preko vhodnih stikal S_1 in S_5 v nizkoohmske vhodne napetostne generatorje. Naboj kanalov stikal S_1 in S_5 ob izklopu prav tako steče v vhodne generatorje, saj je signalna pot proti kondenzatorjem že prekinjena. Poleg tega vpliv injeciranega naboja stikal S_4 in S_8 tudi v tem primeru zmanjšuje diferencialna izvedba vezja, saj na vzorčeni signal v primeru diferencialne izvedbe vpliva le razlike injeciranega naboja med obema vejama.

Simulacije vezja kažejo, da se v skrajnih točkah vhodnega signala ($V_{DD}/2 + 300$ mV in $V_{DD}/2 - 300$ mV) integrirani naboj na integratorju zaradi injeciranega naboja stikal zanemarljivo razlikuje (simulacije razlike sploh ne pokažejo), kar so potrdile tudi meritve linearnosti na prototipih integriranega vezja.

5.2.2 Referenčna veja vhodnega SC vezja

Referenčna veja vhodnega SC vezja glede na izhod sigma-delta modulatorja (y_n) po enačbi (5.22) injecira pozitivni ali negativni paket naboja q_r v integrator:

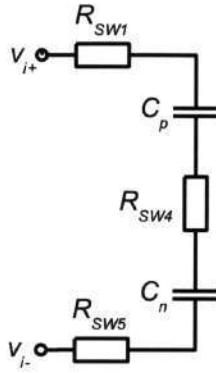
$$q_r = y_n \cdot C_r U_{ref}, \quad y_n = \begin{cases} +1 \\ -1 \end{cases} \quad (5.31)$$



Slika 51: Referenčna veja vhodnega SC vezja

Diferencialna izvedba vezja na sliki 51 omogoča izvedbo referenčne veje z eno samo temperaturno stabilizirano napetostno referenco. V fazi vzorčenja F_1 preko vhodnih stikal S_1 , S_5 in pomožnega stikala S_4 na referenčno napetost zaporedno priključimo kondenzatorja pozitivne in negativne veje diferencialnega vezja. Na ta način nabijemo vhodna kondenzatorja približno na polovico referenčne napetosti, v fazi integriranja F_2 pa naboj na kondenzatorjih preko stikal S_2 , S_3 , S_6 in S_7 pošljemo v integrator. Ker z referenčno vejo vzorčimo »single-ended« referenčno napetost, je prednost takšne izvedbe v večji simetričnosti naboja kondenzatorjev pozitivne in negativne veje. Injeciranje negativnega naboja v integrator izvedemo z dodatnima stikaloma S'_2 in S'_6 , s katerima naboj pozitivne veje referenčnega vezja integriramo v negativni veji integratorja (in obratno v negativni veji), pare stikal S_2 in S_6 , oziroma S'_2 in S'_6 pa vključujemo glede na izhod iz primerjalnika.

Tudi v tem vezju injecirani naboj stikal S_3 , S_2 , S_6 in S_7 ni problematičen, saj so (podobno kot v signalni veji vhodnega SC vezja) napetosti stikal vedno enake, s tem je tudi injecirani naboj vedno enak. Injecirani naboj vhodnih stikal S_1 , S_4 in S_5 se prav tako ne spreminja, saj se tudi vhodna referenčna napetost ne spreminja. Injecirani naboj le malo spreminja referenčno napetost integratorja (enačba 5.22), pomembno pa je, da je vpliv injeciranega naboja povsem neodvisen od izhodnega signala modulatorja y_n .



Slika 52: Nadomestno vezje referenčne veje v fazi F1

Pri vhodni referenčni napetosti $U_{ref} = 1.2$ V in napetosti napajanja $V_{DD} = 3$ V tudi v tem vezju za vsa stikala, izvedena z NMOS transistorji, velja $U_{DS} < U_{GS} - U_T$, zato vsi transistorji vedno delujejo v linearnem področju. Nadomestno RC vezje je prikazano na sliki 52.

5.2.3 Ukrepi za zmanjšanje injeciranega naboja v signalno pot

Zaradi relativno visoke krmilne napetosti stikal in relativno dolgega časa, ki je na voljo za polnjenje kondenzatorjev, lahko celotno SC vezje izvedemo samo z NMOS transistorji minimalnih dimenzij. V literaturi [4, str. 418-420] pa je prikazan zanimiv pristop k zmanjšanju tako presluha krmilnega signala stikal, kot tudi zmanjšanju injeciranega naboja stikala. Če paralelno k NMOS transistorju dodamo še PMOS transistor, se injecirana naboja PMOS in NMOS transistorja deloma izničita:

$$\Delta q_N = k_N W_N L_N C_{ox} (V_{DD} - V_{in} - U_{TN}) \quad (5.32)$$

$$\Delta q_P = k_P W_P L_P C_{ox} (V_{in} - |U_{TP}|) \quad (5.33)$$

Čeprav deleža naboja, ki tečeta proti kondenzatorju (k_p , k_n) nista enaka, in čeprav popolna kompenzacija naboja velja le za eno vrednost V_{in} , bo injecirani naboj v vsakem primeru manjši.

Zmanjšanje presluha krmilnega signala stikal (enačba 5.29) temelji na predpostavki, da sta parazitni kapacitivnosti C_{ov} PMOS in NMOS transistorjev enaki. Poleg presluha krmilnega signala preko C_{GS} v transistorju, je pomemben tudi presluh krmilnega signala iz krmilne linije v integriranem vezju na signalno linijo. V primeru, da sta krmilni liniji PMOS in NMOS

transistorja skupaj, se zmanjša vpliv presluha preko parazitnih kapacitivnosti povezav vezja, saj sta si fazi krmilnih signalov nasprotni, s tem pa se njun vpliv do neke mere izniči.

Enačba (5.32) kaže, da uvedba diferencialnega vezja odpravi vpliv injeciranega naboja le v primeru če sta vhodni napetost V_{inp} in V_{inn} enaki. Če obravnavamo injeciranje naboja v diferencialnih vezjih kot sofazno motnjo, lahko zapišemo:

$$\begin{aligned}\Delta q_p - \Delta q_n &= WLC_{ox} [(V_{inp} - V_{inn}) + (U_{Tp} - U_{Tn})] = \\ &= WLC_{ox} [(V_{inp} - V_{inn}) + (\sqrt{2V_F + V_{inp}} - \sqrt{2V_F + V_{inn}})]\end{aligned}\quad (5.34)$$

Vpliv injeciranega naboja ni popolnoma izničen, vendar se zmanjšata nična napetost in nelinearna komponenta vzorčenega signala.

5.2.4 Temperaturna kompenzacija SC vezij

Ker signalna in referenčna veja nista enaki, lahko temperaturna odvisnost upornosti stikal in temperaturna odvisnost kondenzatorjev povzročita napako vzorčenja, če prehodni pojav ne izzveni v celoti. Iz nadomestne sheme signalne veje po enačbi (5.27) zapišimo časovno konstanto v fazi vzorčenja:

$$\tau = R_{eq} \cdot C_{eq} = \left(R_{SW1} + R_{SW5} + \frac{R_{SW2}}{2} \right) \cdot 2C \quad (5.35)$$

Enako zapišemo še časovno konstanto referenčne veje v fazi vzorčenja:

$$\tau = R_{eq} \cdot C_{eq} = (R_{SW1} + R_{SW5} + R_{SW4}) \cdot \frac{C}{2} \quad (5.36)$$

Časovni konstanti (5.35) in (5.36) bosta enaki ob pogojih:

$$\begin{aligned}R_{SW1s} &= \frac{R_{SW1r}}{4} \\ R_{SW5s} &= \frac{R_{SW5r}}{4} \\ R_{SW4s} = R_{SW8s} &= \frac{R_{SW4r}}{2}\end{aligned}\quad (5.37)$$

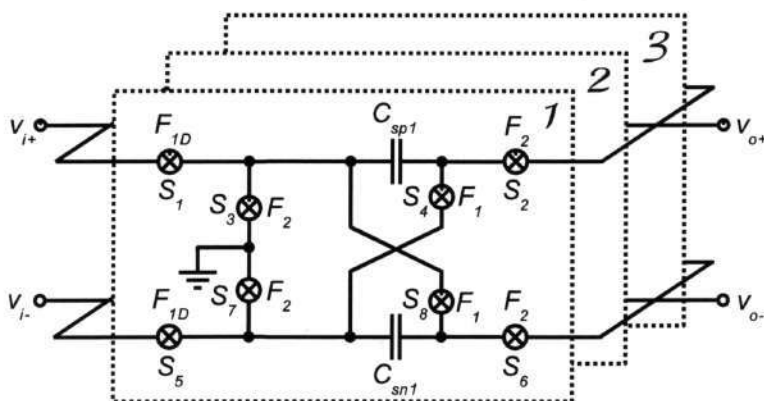
V fazi integriranja naj velja:

$$\begin{aligned} R_{SW2s} &= R_{SW2r} \\ R_{SW3s} &= R_{SW3r} \\ R_{SW6s} &= R_{SW6r} \\ R_{SW7s} &= R_{SW7r} \end{aligned} \quad (5.38)$$

Različne upornosti lahko izvedemo z večanjem širine preklopnega transistorja stikala:

$$R_{SW1s} = \frac{R_{SW1r}}{4} \Rightarrow g_{ds1s} = 4g_{ds1r} \Rightarrow W_{M1s} = 4W_{M1r} \quad (5.39)$$

5.2.5 Izvedba nastavljivega ojačanja



Slika 53: Izvedba nastavljivega ojačanja v integratorju

Enačbo (5.22) lahko obravnavamo v razširjeni obliki:

$$x_{n+1} = x_n + \left(\frac{C_{s1} + C_{s2} + \dots + C_{sn}}{C_i} \right) u_n - \frac{C_r}{C_i} U_{ref} \cdot y_n, \quad y_n = \begin{cases} +1; x \geq 0 \\ -1; x < 0 \end{cases} \quad (5.40)$$

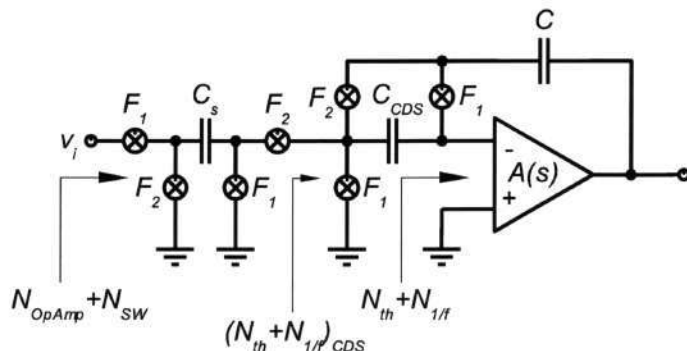
V enačbi (5.40) naj velja

$$|u_n| < \frac{C_r}{\sum_{i=1}^n C_{si}} U_{ref} \quad (5.41)$$

Enačba (5.40) kaže, da lahko z dodajanjem kondenzatorjev v signalni veji izvedemo ojačanje signala v integratorju. Paziti pa moramo na temperaturno kompenzacijo, zato širine stikal

uskladimo z večanjem kapacitivnosti. Problem vključevanja dodatnih kondenzatorjev lahko enostavno rešimo s paralelno vezavo vezij signalne veje (slika 53), kjer stikala dodatnih signalnih vezij krmilimo glede na izbrano ojačanje. Z večanjem števila kondenzatorjev večamo bremensko kapacitivnost operacijskega ojačevalnika, zato moramo delovanje vezja skrbno preveriti in simulirati v vsaki točki ojačanja.

5.3 Integrator s CDS ničenjem



Slika 54: Integrator s CDS ničenjem

Izračun šumne moči elektronskih komponent integratorja razdelimo na izračun šumne moči operacijskega ojačevalnika in izračun šumne moči SC stopnje, oz. kT/C šum:

$$N_T = N_{OpAmp} + N_{SW} = (N_{th} + N_{1/f})_{CDS} + N_{SW} \quad (5.42)$$

5.3.1 CDS ničenje šuma

Eden od načinov ničenja nične napetosti in počasi spreminjajočih se šumnih komponent je ničenje CDS («correlated double sampling»). CDS vzorčevalnik v prvi fazi vzorči ojačevalnikov šum in nično napetost, v naslednji fazi – fazi ničenja - pa vzorčeno napetost odšteva od šuma in nične napetosti prejšnje faze. S postopkom ničenja bo enosmerna nična napetost odstranjena, nizkofrekvenčni ($1/f$ in nizkofrekvenčne komponente termičnega šuma) šum pa bo filtriran z visokoprepustno frekvenčno karakteristiko in s tem močno zmanjšan pri nizkih frekvencah. Ker je CDS proces vzorčenja, zaradi podvzorčenja povzroči zgibanje širokopasovnega šuma v signalni pas [11, str. 1586].

Proces ničenja poteka v dveh fazah – fazi vzorčenja šuma in nične napetosti in v fazi procesiranja, kjer je kompenzirana stopnja na voljo za procesiranje signalov. Učinkovitost

procesa ničanja enosmerne nične napetosti in odstranjevanja vpliva nizkofrekvenčnega šuma je tako odvisna od korelacije med vzorčenim šumom v fazi vzorčenja in šumom v fazi procesiranja signala [12, 13].

Za oceno vpliva CDS vzorčenja na $1/f$ šum zapišimo izhodno napetost ničanja kot razliko dveh vzorčenih napetosti, prvo napetost vzorčimo v času $nT-T/2$, drugo pa v času nT :

$$v_o(nT) = v_i(nT) - v_i(nT - T/2) \quad \Rightarrow \quad H_{CDS}(z) = 1 - z^{1/2} \quad (5.43)$$

Enačbo (5.43) zapišemo v frekvenčnem prostoru in izračunamo prenosno funkcijo:

$$H(s) = \frac{V_o(s)}{V_n(s)} = (1 - e^{-sT/2}) \quad (5.44)$$

Upoštevajmo enakost [14, str. 221-225], kjer velja $1 - e^{-sT/2} = e^{-sT/4}(e^{sT/4} - e^{-sT/4}) = e^{-sT/4} 2 \sinh(j\omega T/4) = e^{-sT/4} 2j \sin(\omega T/4)$:

$$|H(f)|^2 = \left| e^{-j\omega T/4} 2j \sin\left(\frac{\omega T}{4}\right) \right|^2 = 4 \sin^2\left(\frac{\omega T}{4}\right) = 4 \sin^2\left(\frac{\pi f}{2f_c}\right) \quad (5.45)$$

Enačba (5.45) ima ničlo v izhodišču pri $\omega = 0$, s katero odpravimo nično napetost ojačevalnika, šum pa zmanjšamo po karakteristiki filtra z enačbo (5.45). Preostali šum $1/f$ komponente v signalnem pasu ocenimo po enačbi:

$$N_{1/f} = \int_0^{f_s/2} |H(f)|^2 S_{1/f}(f) df \quad (5.46)$$

Ničenje nične napetosti je izvedeno z uvedbo dodatnega kondenzatorja C_{CDS} , s katerim zadržimo vzorčeno nično napetost [15] (slika 54). Kondenzatorja C_S in C predstavljata vzorčni in integracijski kondenzator, C_{CDS} pa poleg ničanja nične napetosti in $1/f$ šuma tudi kompenzira napake ojačanja in fazne napake integratorja pri nizkih frekvencah. Napaki nastaneta kot posledica neželenega pola integratorja pri zelo nizki frekvenci zaradi končnega ojačanja operacijskega ojačevalnika [15].

Prevajalno funkcijo integratorja na sliki 54 zapišemo:

$$H(\omega) = \frac{H_i(\omega)}{[1 - m(\omega)]e^{-j\theta(\omega)}} \cong \frac{H_i(\omega)}{1 - m(\omega) - j\theta(\omega)} \quad (5.47)$$

Iz analize prevajalne funkcije vezja [16] lahko ob pogoju $A \gg 1$ in $\omega T \ll 1$ s pomočjo enačbe (5.47) zapišemo napako ojačanja (5.48) in fazno napako integratorja (5.49):

$$m(\omega) = -\frac{1}{A_0} \left[1 + \frac{C_s}{C} + \frac{C_{CDS}}{C} \right] \quad (5.48)$$

$$\theta(\omega) = \frac{1}{A_0^2} \frac{C_s}{C_1 \omega T} \quad (5.49)$$

Z uvedbo ničanja z dodatnim CDS kondenzatorjem kompenziramo frekvenčno odvisnost amplitudne napake, fazno napako integratorja pa zmanjšamo iz $1/A_0$ na $1/A_0^2$. Amplitudna napaka bo s tem postala neodvisna od frekvence, fazna napaka pa bo neodvisna od spremembe C_s pri spremembi nastavljivega ojačanja. Fiksna amplitudna napaka $m(\omega)$ ne predstavlja posebnega problema, saj z umerjanjem števecv zajamemo tudi napako ojačanja integratorja.

5.3.2 Šum operacijskega ojačevalnika

Šum operacijskega ojačevalnika je sestavljen iz termičnega šuma in $1/f$ šuma. Celotni šum, izračunan na vhodu operacijskega ojačevalnika, pretvorimo na vhod integratorja, kjer ga bomo lahko primerjali s šumom vzorčevalnih stikal in vhodnim signalom.

Šum operacijskega ojačevalnika pretvorimo na izhod integratorja z obratnim faktorjem povratne zanke $\beta_i = C/(C + C_s)$ (enačba 3.48), tako dobljeni izhodni šum pa z obratno vrednostjo ojačanja integratorja $g_0 = C_s/C$ pretvorimo na signalni vhod integratorja [6]:

$$N_{OpAmp} = (N_{th} + N_{1/f})_{CDS} \cdot \left(\frac{1}{\beta_i} \right)^2 \left(\frac{1}{g_0} \right)^2 \quad (5.50)$$

5.3.2.1 Ničenje širokopasovnega termičnega šuma:

Močnostno gostoto širokopasovnega termičnega šuma operacijskega ojačevalnika izračunamo po enačbi (5.13):

$$S_{th}(f) = S_{th0} = 2 \cdot 4kT \left(\frac{2}{3g_{m1}} + \frac{2g_{m3}}{3g_{m1}^2} \right) \quad (5.51)$$

Vpliv vzorčenja širokopasovnega šuma (5.51) s CDS ničenjem podamo z enačbo [13]:

$$v_z = \sum_{m=-\infty}^{+\infty} h(t - mT_s) [v_{th}(t) - v_{th}(mT_s)] \quad (5.52)$$

$$h(t) \equiv \begin{cases} 1, & 0 \leq t < T_H \\ 0 & \end{cases} \quad (5.53)$$

Čas T_s predstavlja trenutek vzorčenja (sample time), T_H pa predstavlja čas zadrževanja (hold time) signala. Ob predpostavki, da je v_{th} stacionarni naključni proces z močnostno gostoto $S_{th}(f)$, zapišemo močnostno gostoto S_z :

$$S_z(f) \equiv \sum_{n=-\infty}^{+\infty} |H_n(f)|^2 S_{th} \left(f - \frac{n}{T_s} \right) \quad (5.54)$$

Močnostna gostota (5.54) predstavlja izvorni močnostni spekter šuma ter isti spekter, premaknjen za mnogokratnike vzorčne frekvence, množene s kvadratom prevajalne funkcije v tem pasu. Prevajalno funkcijo izračunamo s Fourierjevo transformacijo enačbe (5.52) ob upoštevanju (5.53):

$$H_n(f) = \frac{T_H}{T_s} \left[e^{-j\pi n \frac{T_H}{T_s}} \text{sinc} \left(\pi n \frac{T_H}{T_s} \right) - e^{-j\pi T_H} \text{sinc}(\pi T_H) \right] \quad (5.55)$$

oziroma:

$$|H_n(f)|^2 = \left(\frac{T_H}{T_s} \right)^2 \left\{ \left[\frac{\sin \alpha}{\alpha} - \frac{\sin \beta}{\beta} \right]^2 + \left[\frac{1 - \cos \alpha}{\alpha} - \frac{1 - \cos \beta}{\beta} \right]^2 \right\} \quad (5.56)$$

V enačbi (5.56) velja $\alpha = 2n\pi \frac{T_H}{T_s}$, $\beta = 2\pi T_H$.

Enačbo (5.54) lahko podamo kot vsoto prispevkov šuma osnovnega frekvenčnega pasu in prispevek komponent zgibov:

$$S_z(f) = \underbrace{|H_0(f)|^2 S_{th}(f)}_{\text{osnovni pas}} + \sum_{\substack{n=-\infty \\ n \neq 0}}^{+\infty} |H_n(f)|^2 S_{th}\left(f - \frac{n}{T_s}\right) \quad (5.57)$$

Prenosna funkcija osnovnega frekvenčnega pasu $H_0(f)$, izpeljana iz (5.55) za $n = 0$ in pri pogoju $\pi f T_H \ll 1$ predstavlja enačbo diferenciatorja z ničlo v izhodišču. Ker za majhne x velja $\text{sinc}(x) = x$, lahko zapišemo:

$$|H_0(f)| \cong \pi f T_H \quad (5.58)$$

Čeprav je oblika preostalih prevajalnih funkcij odvisna od razmerja T_H/T_s , lahko za nizke frekvence pri $T_s > T_H$ podamo oceno enačbe (5.56):

$$|H_n(f)|^2 \cong \left[\frac{T_H}{T_s} \text{sinc}(\pi f T_H) \right]^2, \quad n \neq 0 \quad (5.59)$$

Če smatramo ojačevalnikov šum kot idealno nizkoprepustno filtriran signal belega šuma z močnostno gostoto S_{th0} v pasovni širini B , lahko prispevke zaradi podvzorčenja šuma ocenimo kot $N S_{th0}$, kjer N predstavlja celoštevilčni faktor podvzorčenja, definiran kot $2BT_s$:

$$\sum_{n=-\infty}^{+\infty} S_{th}\left(f - \frac{n}{T_s}\right) \cong 2BT_s S_{th0} \quad (5.60)$$

Enačbi (5.60) (v kateri odštejemo komponento pri $n = 0$) in (5.59) vstavimo v (5.57). Pri konstantni močnostni gostoti velja $S_{th}(f) = S_{th0}$, zato zapišemo:

$$S_{fold-th}(f) = \left(\frac{T_H}{T_s} \right)^2 (2BT_s - 1) S_{th0} \text{sinc}^2(\pi f T_s) \quad (5.61)$$

Enačbo (5.61) lahko razširimo za primer, ko je širokopasovni šum nizkoprepustno filtriran. Termični šum operacijskega ojačevalnika je nizkoprepustno filtriran z nizkoprepustno karakteristiko operacijskega ojačevalnika v zaprti zanki s polom pri f_{CL} . Ekvivalentno pasovno širino nizkoprepustno filtriranega filtra s polom pri f_{CL} tako zapišemo [17, str. 320]:

$$B = \int_0^{\infty} \frac{df}{1 + (f/f_{CL})^2} = f_{CL} \arctan\left(\frac{f}{f_{CL}}\right) \Big|_0^{\infty} = f_{CL} \frac{\pi}{2} \quad (5.62)$$

Frekvenco pola f_{CL} zapišemo kot produkt faktorja povratne zanke integratorja β_i in mejne frekvence operacijskega ojačevalnika $f_t = g_{m1}/(2\pi C_c)$:

$$f_{CL} = \beta_i f_t \approx \beta_i \frac{g_{m1}}{2\pi C_c} \quad (5.63)$$

Enačba (5.61) s tem postane:

$$S_{fold-th}(f) = \left(\frac{T_H}{T_S} \right)^2 (\pi f_{CL} T_S - 1) S_{th0} \text{sinc}^2(\pi f T_S) \quad (5.64)$$

5.3.2.2 Ničenje $1/f$ šuma

Izhajamo iz $1/f$ komponente močnostne gostote šumnega vira:

$$S_{1/f}(f) = \frac{2K_P}{C_{ox}(WL)_1} \frac{1}{f} + \frac{2K_N}{C_{ox}(WL)_3} \frac{1}{f} \frac{g_{m3}^2}{g_{m1}^2} \quad (5.65)$$

Ocenimo šum v frekvenčnem pasu 0 do $f_s/2$:

$$N_{1/f} = \int_0^{f_s/2} S_{1/f} df = \left[\frac{2K_P}{C_{ox}(WL)_1} + \frac{2K_N}{C_{ox}(WL)_3} \left(\frac{g_{m3}}{g_{m1}} \right)^2 \right] \ln \left(\frac{f_s/2}{0} \right) \quad (5.66)$$

Enačba (5.66) kaže na neskončno moč $1/f$ šuma v signalnem pasu. Neskončna moč pomeni, da opazujemo vezje v zelo dolгих obdobjih, v tem času pa lahko zelo počasne šumne komponente zavzamejo tudi precej velike amplitude. Vendar pa tako počasnih komponent ne moremo ločiti od termičnega lezenja, vplivov staranja in končno od nične napetosti ojačevalnika. V običajnih aplikacijah tako počasnih frekvenčnih komponent signali ne vsebujejo, zato počasno spreminjanje šuma s frekvenco, nižjo od minimalne frekvence signala, ne vpliva znatno na kvaliteto samega signala.

Podobno kot v analizi termičnega šuma lahko zapišemo prispevke komponent zgibov pri $1/f$ šumu. Močnostno gostoto $S_N(f)$ $1/f$ šuma omejenega z nizkofrekvenčnim filtrom s polom pri f_{CL} podamo v obliki:

$$S_N(f) = S_{th0} \frac{f_k}{|f| \left(1 + \frac{f}{f_{CL}} \right)^2} \quad (5.67)$$

Frekvenca f_k predstavlja zgornjo mejno frekvenco $1/f$ šuma, kjer močnostna gostota $1/f$ šuma postane enaka močnostni gostoti termičnega šuma S_{th0} . Prispevek komponent zgibov, $1/f$ šuma izpeljan iz enačbe (5.67) je tako [13]:

$$S_{fold-1/f}(f) \cong 2 \left(\frac{T_H}{T_S} \right)^2 S_{th0} f_k T_S \left[1 + \ln \left(\frac{2}{3} f_{CL} T_S \right) \right] \text{sinc}^2(\pi f T_S) \quad (5.68)$$

Močnostno gostoto zgibov $1/f$ šuma dodamo enačbi (5.54). Celotno močnostno gostoto po procesu ničanja tako zapišemo v končni obliki kot vsoto prispevkov močnostne gostote osnovnega pasu ter močnostne gostote zgibov termičnega in $1/f$ šuma:

$$S_z(f) = |H_0(f)|^2 S_n(f) + S_{fold-th} + S_{fold-1/f} \quad (5.69)$$

Zaradi podvzorčenja šuma s frekvenco vzorčenja f_s se šumna karakteristika zgiba v frekvenčni pas $0 - f_s/2$. Močnostni gostoti šuma v osnovnega pasu prištejemo močnostne gostote posameznih zgibov:

$$S_{CDS}(f) = \sum_{n=-\infty}^{+\infty} S_z \left(f - \frac{n}{T_S} \right) \quad (5.70)$$

Skupno moč šuma ničnega operacijskega ojačevalnika v signalnem pasu izračunamo:

$$(N_{th} + N_{1/f})_{CDS} = \int_0^{f_s/2} S_{CDS}(f) df \quad (5.71)$$

5.3.3 Šum SC stopnje

Šum SC stopnje je posledica upornosti stikal, ki vzorčijo vhodno napetost na kondenzatorjih. Kondenzatorji ne generirajo šuma, vendar akumulirajo šum ostalih virov. Kadar je kondenzator priključen na uporovni šumni vir velja, da je generirani šum filtriran s preprostim RC nizkoprepustnim filtrom, skupna šumna moč v ekvivalentnem šumnem pasu je torej po enačbi (5.62):

$$N_{sw} = V_R^2(f) \left(\frac{\pi}{2} \right) f_0 = (4kTR) \left(\frac{\pi}{2} \right) \left(\frac{1}{2\pi RC} \right) \quad (5.72)$$

$$N_{sw} = \frac{kT}{C}$$

Pri vzorčenju kT/C šuma z vzorčno frekvenco f_s , se vsa šumna moč preslika v frekvenčni pas od 0 do $f_s/2$. Močnostno gostoto šuma v enostranski predstavitvi v nizkofrekvenčnem signalnem pasu pri dveh vzorčenjih šuma v periodi tako zapišemo:

$$S_{sw}(f) = \frac{N_{sw}}{\Delta f} = \frac{4kT}{f_s C} \quad (5.73)$$

Upoštevajmo, da k celotnemu šumu prispeva akumuliran šum na vseh kondenzatorjih v diferencialnem vezju. V posamezni periodi takta šum stikal vzorčimo tako v fazi vzorčenja, kot tudi v fazi integriranja, zato ima šum le »direktno« komponento [18, str. 500-512]. Poseben primer so CDS kondenzatorji, kjer šum stikal vzorčimo le v fazi vzorčenja F_1 , v fazi integriranja pa šum držimo na kondenzatorju. Če m predstavlja razmerje časa vključenega stikala proti času periode takta (»duty cycle ratio«), potem velja, da je čas držanja signala šuma CDS stikal na CDS kondenzatorju $\tau = (1-m)T$. Iz [18, str. 500-512] zapišemo močnostno gostoto šuma CDS stikal (enostranska predstavitev):

$$S_{sw,CDS}(f) = m \cdot 4kT \cdot R_{sw} + \frac{2(1-m)^2 kT}{f_s C_{CDS}} \text{sinc}^2([1-m]\pi f T_s) \quad (5.74)$$

Enačbo skupnega akumuliranega šuma kondenzatorjev pri nizkih frekvencah ($f < f_s$) tako zapišemo kot močnostno gostoto:

$$S_{sw}(f) = \frac{4kT}{f_s} \left(\frac{1}{C_{ref}} + \frac{(1-m)^2}{2C_{CDS}} + \sum_n \frac{1}{C_{sig,n}} \right) + m \cdot 4kTR_{sw} \quad (5.75)$$

V enačbi (5.75) upoštevamo šumne prispevke tako referenčnega kondenzatorja, kot tudi vseh z izbiro nastavljivega ojačanja aktivnih vzorčnih kondenzatorjev signalne veje. Običajno je zadnji člen enačbe (5.75) zelo majhen v primerjavi z ostalimi, zato ga lahko zanemarimo. Pri diferencialni izvedbi integratorja upoštevamo šum kondenzatorjev obeh vej, zato:

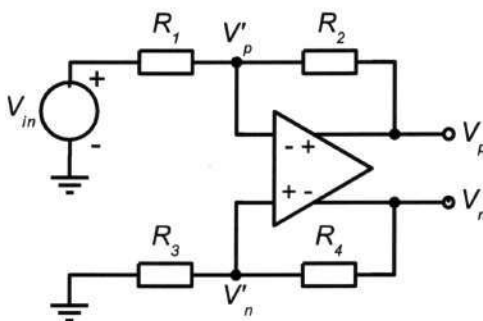
$$S_{sw,dif}(f) = 2 \cdot S_{sw}(f) \quad (5.76)$$

Diferencialna izvedba integratorja omogoča dvakrat višjo amplitudo signala, zato diferencialna izvedba izboljša razmerje SNR za $\sqrt{2}$.

5.4 Predojačevalnik tokovnega kanala

Z večanjem števila vzorčevalnih kondenzatorjev povečujemo ojačanje integratorja, hkrati pa povečujemo tudi bremensko kapacitivnost C_L (enačba 5.5) do točke, ko izhod ojačevalnika zaradi omejene dvizhne hitrosti ne more več slediti hitrim spremembam vhoda. Za dosego želenega ojačanja moramo glede na nivo vhodne napetosti vhodni signal ojačiti z dodatnim predojačevalnikom tokovnega kanala. Predojačevalnik dvigne nivo vhodnega signala, s čimer lahko izkoristimo celotno vhodno dinamično območje integratorja.

Predojačevalnik izvedemo z diferencialnim ojačevalnikom enake strukture, kot je ojačevalnik v integratorju. Za popolnoma diferencialne ojačevalnike velja, da lahko sofazno vhodno napetost $V_{CM,in}$ postavimo na nivo, ki je različen nivoju izhodne sofazne napetosti $V_{CM,out}$. Z upori R_1 , R_2 , R_3 in R_4 nastavimo diferencialno ojačanje, hkrati pa upori tvorijo napetostni mostiček (slika 55). Zanima nas sprememba diferencialne izhodne napetosti glede na medsebojno neujemanje uporov mostička.



Slika 55: Mostiček uporov predojačevalnika

Pri $V_{in} = 0$ in ob predpostavki, da je ojačanje diferencialnega ojačevalnika zelo veliko, lahko zapišemo enačbi:

$$V'_p - V'_n = V_p \frac{1}{1 + \frac{R_2}{R_1}} - V_n \frac{1}{1 + \frac{R_4}{R_3}} = 0 \quad (5.77)$$

$$\frac{V_p + V_n}{2} = V_{CM,out}$$

Iz enačbe (5.77) izpeljemo diferencialno izhodno napetost:

$$V_{dif} = V_p - V_n = 2 \cdot V_{CM,out} \left[\frac{1 + \frac{R_2}{R_1}}{2 + \frac{R_2}{R_1} + \frac{R_4}{R_3}} - \frac{1 + \frac{R_4}{R_3}}{2 + \frac{R_2}{R_1} + \frac{R_4}{R_3}} \right]$$

kar je:

$$V_{dif} = 2 \cdot V_{CM,out} \left[\frac{\frac{R_2}{R_1} - \frac{R_4}{R_3}}{2 + \frac{R_2}{R_1} + \frac{R_4}{R_3}} \right] \quad (5.78)$$

S parcialnim odvajanjem (5.78) po razmerju (R_2/R_1) ali (R_4/R_3) izračunamo občutljivost izhodne napetosti na spremembo upornosti:

$$\frac{\partial V_{dif}}{\partial \left(\frac{R_2}{R_1} \right)} = 4 \cdot V_{CM,out} \frac{1 + \frac{R_4}{R_3}}{\left(2 + \frac{R_2}{R_1} + \frac{R_4}{R_3} \right)^2} \quad (5.79)$$

$$\frac{\partial V_{dif}}{\partial \left(\frac{R_4}{R_3} \right)} = -4 \cdot V_{CM,out} \frac{1 + \frac{R_2}{R_1}}{\left(2 + \frac{R_2}{R_1} + \frac{R_4}{R_3} \right)^2}$$

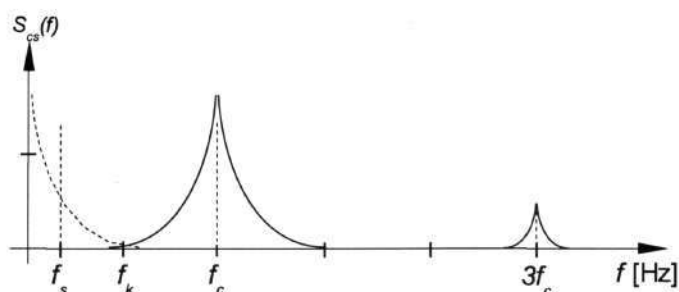
Enačbi (5.79) kažeta na precej veliko občutljivost na neskladnost uporov. Pri štirikratnem ojačanju predajačevalnika ($R_2/R_1 = R_4/R_3 = 4$) so občutljivosti:

$$\begin{aligned} \frac{\partial V_{dif}}{\partial (R_2/R_1)} &= 0.5V \\ \frac{\partial V_{dif}}{\partial (R_4/R_3)} &= -0.5V \end{aligned} \quad (5.80)$$

Spremembe razmerja (R_2/R_1) za 1 % torej generira nično napetost 20 mV. Za kar najboljše medsebojno skladnost zahteva predajačevalnik v takšni vezavi precizne difuzijske upore z veliko površino.

5.4.1 Odstranjevanje nične napetosti s sekanjem signala

Pri zveznih signalih lahko preostalo nično napetost in $1/f$ šum ojačevalnika zmanjšamo s sekanjem vhodnega signala. Za razliko od ničenja s katerim od načinov vzorčevanja neželenega signala (npr CDS), pri sekanju vhodni signal moduliramo na lihe harmonike visokofrekvenčne modulatorske frekvence izven območja $1/f$ šuma ($f > f_k$), po ojačanju pa signal demoduliramo nazaj v osnovni signalni pas (slika 56).



Slika 56: Moduliranje $1/f$ šuma s sekanjem signala

Medtem, ko je vhodni signal moduliran dvakrat (oz. moduliran in demoduliran), pa sta nična napetost in šum operacijskega ojačevalnika modulirana le enkrat in s tem prestavljena na lihe harmonike frekvence sekanja f_c . Ker je signal sekanja pravokotne oblike s periodo T , lahko močnostni spekter sekanega širokopasovnega šuma zapišemo:

$$S_{cs}(f) = \left(\frac{2}{\pi}\right)^2 \sum_{\substack{n=-\infty \\ n=2K-1}}^{+\infty} \frac{1}{n^2} S_N\left(f - \frac{n}{T}\right) \quad (5.81)$$

Ob pogoju, da je pasovna širina ojačevalnika vsaj $f_c \gg \frac{1}{T}$, lahko prispevek širokopasovnega termičnega šuma v signalnem pasu $f_s \leq \frac{1}{2T}$ ocenimo z [11]:

$$S_{chop-th}(f) \equiv S_{th0} \quad (5.82)$$

Modulacija s sekanjem signala minimalno vpliva na širokopasovni termični šum, saj ga le periodično invertira. Ker ga ne vzorči, niti ga ne drži, se parametri šuma v časovnem prostoru ne spremenijo. Prispevki zgibov posameznih komponent v osnovnem pasu se zaradi

modulacije sicer seštevajo, vendar so ti prispevki množeni z $1/n^2$, torej njihov vpliv zelo hitro pada.

Prispevek $1/f$ komponente v signalnem pasu ocenimo s pomočjo podatka o frekvenci f_k $1/f$ šuma:

$$S_{chop-1/f}(f) = S_{th0} \frac{f_k}{f} \quad (5.83)$$

Enačbo (5.83) vstavimo v (5.81) in izračunamo prispevek [11]:

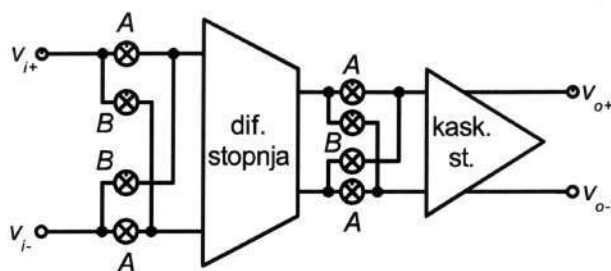
$$S_{chop-1/f}(f) \cong 0.8525 S_{th0} f_k T \quad (5.84)$$

Združimo enačbi (5.82) in (5.84):

$$S_{chop}(f) = S_{th0} (1 + 0.8525 f_k T) \quad (5.85)$$

Enačba (5.85) kaže, da v primeru, če je frekvenca sekanja približno enaka zgornji mejni frekvenci f_k $1/f$ šuma, je povečanje močnostne gostote šuma v signalnem pasu manjše od 6 dB.

Po enačbi (5.10) največji delež k celotnemu šumu ojačevalnika prinesejo vhodni transistorji, zato je dovolj, če sekamo samo šum vhodne diferencialne stopnje [19, str. 26-28]. V tem primeru postavimo modulacijska stikala na vhod operacijskega ojačevalnika, demodulacijska stikala pa med izhod diferencialne stopnje in izhodno stopnjo (slika 57). Ker skozi stikala ne teče tok, lahko uporabimo transistorje minimalnih dimenzij. Poleg tega je $1/f$ šum posledica fluktuacij števila nosilcev naboja v kanalu, zato transistor, ki ne vodi toka **nima $1/f$ tokovnega šuma** [4, str. 355]. Torej tudi stikala, izvedena s transistorji minimalnih dimenzij, na $1/f$ šum operacijskega ojačevalnika ne vplivajo.

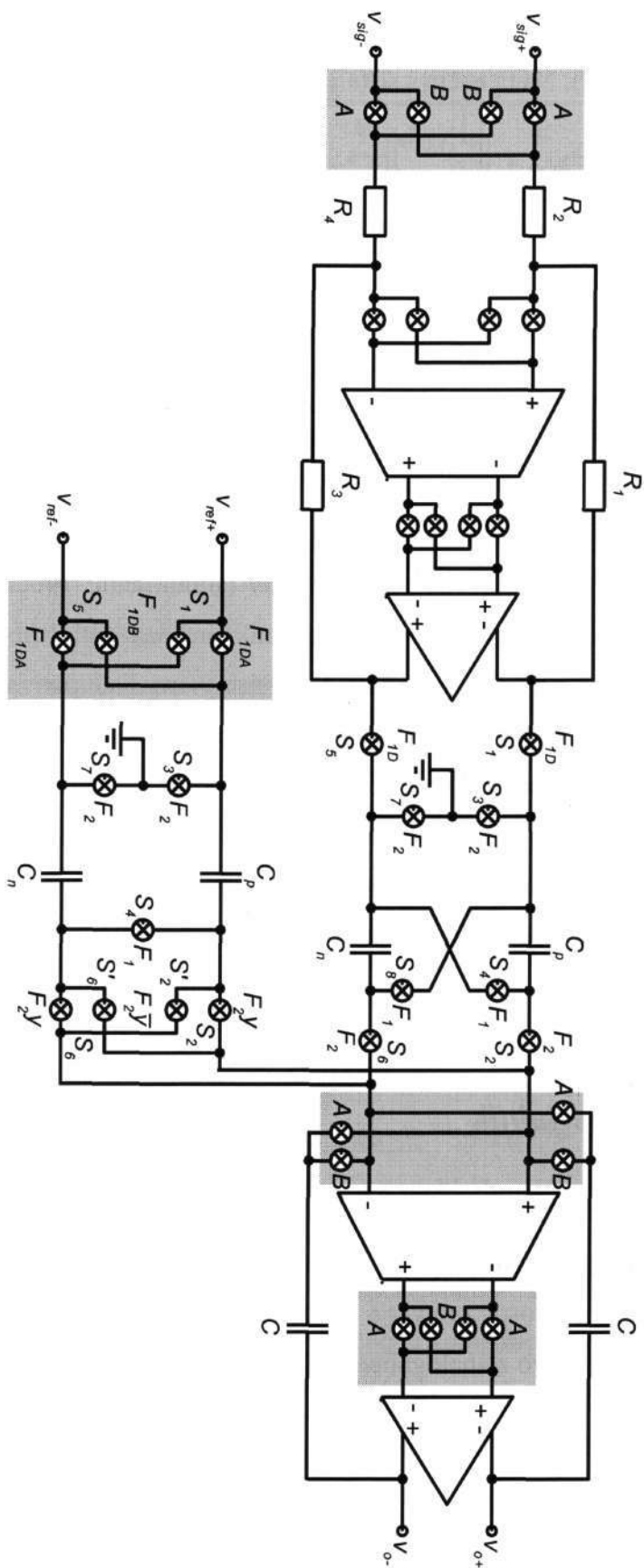


Slika 57: Sekanje signala vhodne stopnje operacijskega ojačevalnika

Takšen način sekanja šuma in nične napetosti diferencialne stopnje ne zahteva ojačevalnika z visokim dvižnim časom, saj ne preklapljam o niti kompenzacijskih, niti bremenskih kondenzatorjev. Minimizarati moramo le mrtvi čas med preklopoma faz, da preprečimo »odskakovanje« izhodov operacijskega ojačevalnika med preklopom.

5.5 Sekanje signala celotne tokovne signalne verige

Neusklajenost dimenzij uporov povratne vezave povzroči dodatno nično napetost v mostičku predojačevalnika (glej prejšnjo točko), to nično napetost pa lahko prav tako moduliramo s sekalnikom signala celotne signalne verige [20]. Demodulacijska stikala vstavimo v operacijski ojačevalnik integratorja, saj podobno kot pri vgnezenem sekalniku signala vhodne stopnje predojačevalnika tokovnega kanala, sekamo le signal do izhodne stopnje operacijskega ojačevalnika. S tem odpade zahteva po visoki izhodni odzivnosti operacijskega ojačevalnika v integratorju.



Slika 58: Sekalnik signala celotne signalne verige

Modulacijska stikala sekalnika vstavimo povsem na začetek tokovne signalne verige modulatorja [21] (slika 58). Na ta način s sekalnikom zmanjšamo:

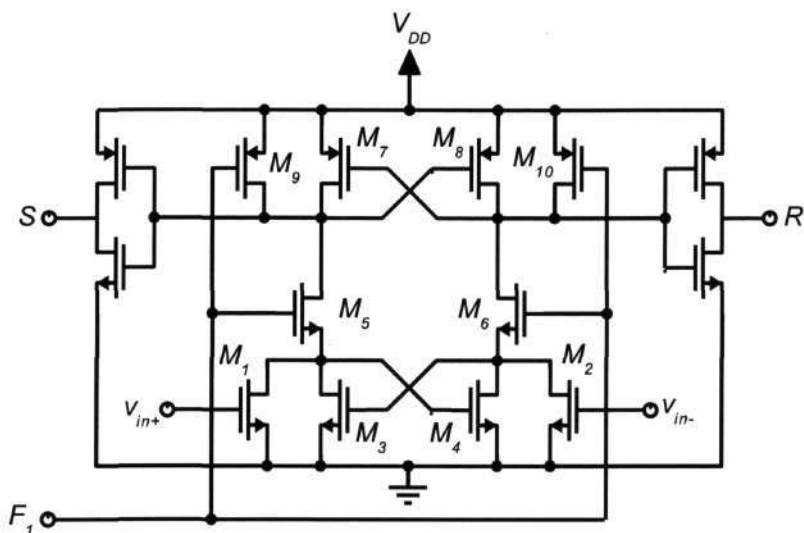
- nično napetost kot posledica neusklajenosti uporov povratne vezave predojačevalnika
- preostalo nično napetost predojačevalnika (z vgnezenim sekalnikom signala)
- preostanek napake zaradi injeciranja naboja stikal integratorja
- ostale vplive integriranega vezja (šum) na diferencialno signalno poti

Ker stikala sekalnika sekajo signal s precej manjšo frekvenco (2 kHz) od vzorčne frekvence (500 kHz, oz 1 MHz), lahko zanemarimo vpliv injeciranja naboja stikal. Problem pa predstavlja nelinearnost in signalna odvisnost upornosti vhodnih stikal. Čeprav skozi stikala teče tok, je njihov prispevek k $1/f$ šumu zanemarljiv (simuliranih -140dB s frekvenco kota nekaj Hz); tudi ta šum se modulira s frekvenco sekalnika in s tem zaduši.

Nelinearnost stikal odpravimo z večanjem širine transistorjev, s čimer manjšamo njihovo upornost. Ker stikala preklaplajo signal okrog V_{SS} , izvedemo stikala z NMOS transistorji. Poleg tega je amplituda vhodnega signala relativno majhna (± 300 mV), saj sta tako maksimum in minimum signala omejena z zaščitnimi »back-to-back« diodami na vhodu integriranega vezja. Relativno majhen vhodni signala s srednjo točko pri V_{SS} in visoka napetost na vratih NMOS stikala zagotavljata nizko nelinearnost sistema zaradi nelinearnosti stikal.

5.6 Sinhroni primerjalnik

Sinhroni primerjalnik [22] na sliki 59 je del digitalno-analognega pretvornika v povratni zanki modulatorja. D/A pretvornik, sestavljen iz primerjalnika, referenčnega kondenzatorja in generatorja referenčne napetosti, pretvarja modulatorjev digitalni izhod nazaj v analogno obliko, primerno za primerjavo z analognim vhodom.



Slika 59: Sinhroni primerjalnik

Ena najpomembnejših prednosti sigma-delta modulatorja je, da lahko v njihovo povratno zanko vstavimo D/A pretvornike z nizko resolucijo, vendar z veliko linearnostjo. Tako mora biti linearnost 4-bitnega D/A pretvornika v povratni vezavi 16-bitnega sistema enaka linearnosti preostalih 16-bitnih komponent. To pa običajno ni dosegljivo brez dodatne kalibracije.

Zahteve po linearnosti so razlog, da tipični sigma-delta modulator v povratni zanki vsebuje 1-bitni D/A pretvornik. Pretvornik s samo dvema stanjema je že sam po sebi linearen, kljub temu pa vrsta neidealnosti D/A pretvornika vpliva na karakteristiko sigma-delta modulatorja [23, str. 356-360]:

- Neidealnosti generatorja referenčne napetosti: Spektralne komponente na izhodu generatorja referenčne napetosti se množijo s spektralnimi komponentami toka bitov v povratni vezavi. Ker spekter toka bitov v povratni vezavi ni bel, se lahko posamezne spektralne komponente modulirajo s spektralnimi komponentami referenčnega signala, kar lahko povzroči neželene frekvenčne komponente v signalnem pasu.
- Vpliv odvzema naboja na signal reference: Velikost naboja in čas, v katerem je odvzet s signala reference morata biti enaka v vsakem ciklu takta, neodvisno od stanja D/A pretvornika. Neodvisnost zagotavlja konstrukcija referenčne veje (slika 51).
- Vpliv prenosa naboja v integrator: Naboj na kondenzatorjih referenčne veje se mora vedno enako prenesti v integrator, ne glede na stanje primerjalnika in ne glede na čas, kdaj primerjalnik doseže preklon stanja.

Krmiljenje D/A pretvornika izvedemo s sinhronim primerjalnikom [22] (slika 59). Sinhroni primerjalnik sestavljajo: razelektritvena (discharge) vhodna transistorja M_1 in M_2 , NMOS flip-flop vezje, sestavljeno iz transistorjev M_3 in M_4 , PMOS flip-flop vezje, sestavljeno iz transistorjev M_7 in M_8 , naelektritvena (precharge) PMOS transistorja M_9 in M_{10} in prožilna transistorja M_5 in M_6 sta, vezana na ponor M_3 in M_4 . Vezava na ponor NMOS transistorjev flip-flopa ima prednost pred vezavo transistorjev na izvor v tem, da se s tem poveča hitrost regeneracije N-MOS flip-flopa. Poleg tega prožilna transistorja opravljata vlogo bremena flip-flop vezja, hkrati pa izolirata transistorje NMOS flip-flopa od izhoda in s tem zmanjšata vhodno kapacitivnost vezja. Inverter na izhodu zagotavlja enako obremenitev na izhodih.

Dinamično delovanje vezja lahko razdelimo v interval ponastavitve (reset) in primerjalni interval. V intervalu ponastavitve, ko je F_I na nizkem nivoju, sta prožilna transistorja izključena, naelektritvena transistorja pa vključena. Oba izhoda PMOS flip-flopa sta v tem intervalu na visokem nivoju, oba izhoda NMOS flip-flopa pa v nizkem nivoju, saj ju držita razelektritvena NMOS transistorja.

V primerjalnem intervalu, ko F_I preide iz nizkega v visoki nivo, začne teči tok iz PMOS flip-flopa preko prožilnih transistorjev v NMOS flip-flop, del tega toka pa teče skozi razelektritvena transistorja. Ker so krmilne elektrode razelektritvenih transistorjev vezane na vhodno napetost, bo tok skozi razelektritvena transistorja različen. Od trenutka, ko napetost na ponorih transistorjev NMOS flip-flopa preseže pragovno napetost, se na izhodu NMOS flip-flopa pojavi velika napetostna razlika, ta pa se še poveča, ko naraste ojačanje flip-flopa. Napetostna razlika se prenese preko prožilnih transistorjev na PMOS flip-flop, z izhodom flip-flopa pa prožimo inverterje na izhodu vezja.

Glede na vhodno napetost bo ob proženju vezja eden od obeh izhodov prešel iz visokega stanja v nizko. Invertirana izhoda sinhronega primerjalnika vodimo v SR flip-flop, izveden z digitalnimi NOR celicami (tabela 10), s Q izhodom SR flip-flopa (ki predstavlja digitalni izhod modulatorja) pa krmilimo polariteto stikala na vhodu integratorja.

S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	(prepovedano)

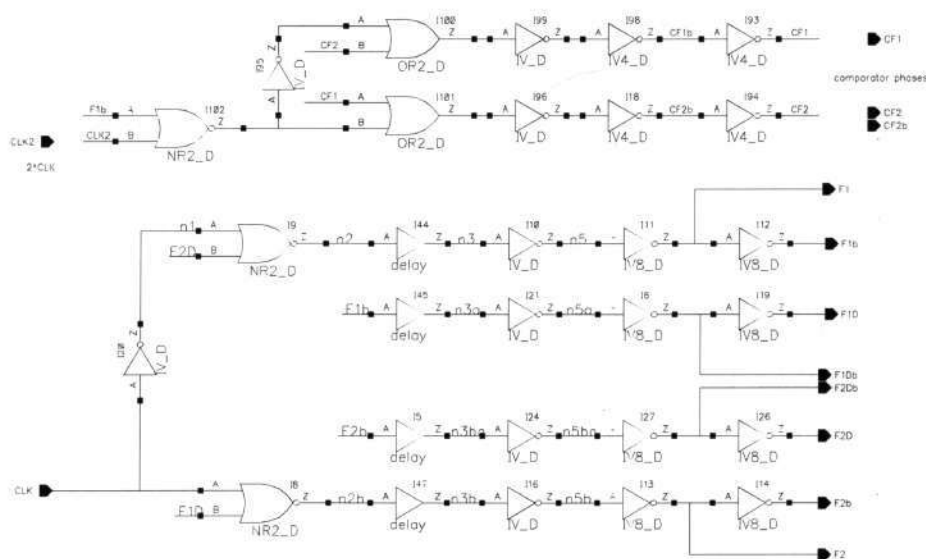
Tabela 10: Stanja NOR SR flip-flopa

Nična napetost primerjalnika ni problematična, saj se primerjalnik nahaja pred izhodom signalne verige sigma-delta modulatorja. Njegova nična napetost, preračunana na vhod se deli z ojačanjem integratorja, torej:

$$V_{os,in} = V_{os,comp} / A_{int} \quad (5.86)$$

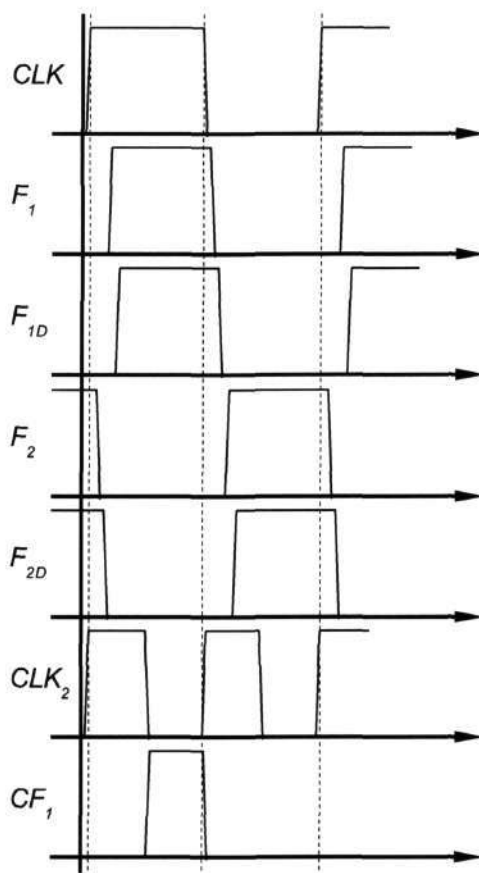
Pomembno je tudi, da primerjalnik nima histereze, oziroma kakršnegakoli pomnjenja prejšnje vrednosti. Histereza pomeni, da je stanje primerjalnika odvisno od njegovega prejšnjega stanja, to pa vnaša dodatne pole v prenosno funkcijo sigma-delta modulatorja.

5.7 Generator krmilnih signalov stikal



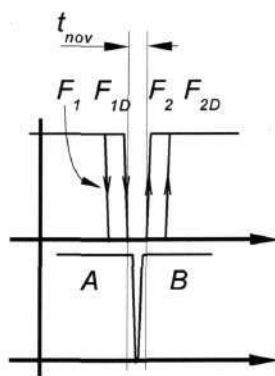
Slika 60: Vezje za generacijo neprekrivanih signalov

Osnova generatorja krmilnih signalov stikal je razširjeno standardno vezje [25] za generiranje neprekrivnih (non-overlapped) signalov F_1 in F_2 , skupaj z zakasnjjenima F_{1D} in F_{2D} . na sliki 60. Dva dodatna signala CF_1 in CF_2 potrebujemo za krmiljenje primerjalnika, saj primerjalnik prožimo na sredini faze integriranja, ko prehodni pojavi integratorja že izzvenijo (slika 61).



Slika 61: Krmilni signali faz F_1 in F_2

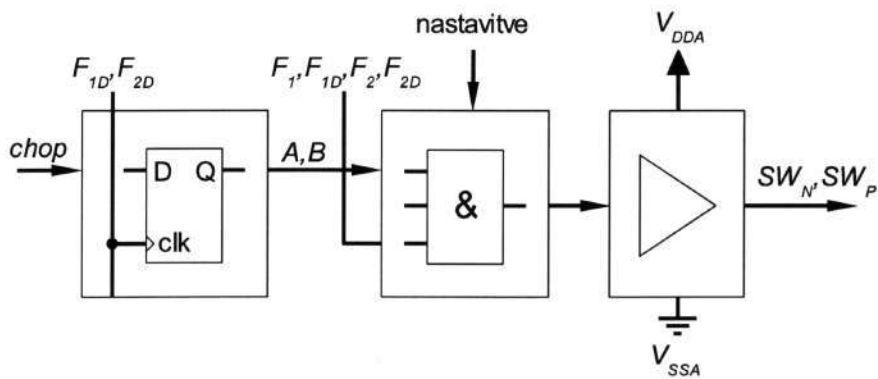
Signali sekalnika morajo biti stabilni v vsaki od faz F_1 in F_2 , zato lahko prehodi med stanji A in B sekalnika potekajo le v mrtvem času med koncem prve faze, ko zakasneni signal F_D preide v nizko stanje in začetkom druge faze, ko nezakasneni signal F preide iz nizkega stanja v visoko (slika 62).



Slika 62: Preklop stanj sekalnika

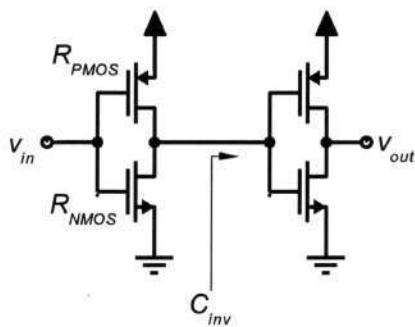
Signale sekalnika, sinhronizirane na ustrezno fazo, skupaj s signali nastavitve parametrov delovanja (npr. ojačanja) vodimo v logično vezje (slika 63), s katerim krmilimo posamezne

transistorje v stikalih. Signale vgnazdenega sekalknika in signala predojačevalnika prožimo v mrtvem času med fazo vzorčenja (F_1) in fazo integriranja (F_2), s čimer maskiramo prehodni pojav pri preklopu sekalknika.



Slika 63: Generacija krmilnih signalov stikal

Zakasnilno vezje za izvedbo zakasnitve neprekrivnega signala izvedemo s kombinacijo šibkega inverterja na vhodu zakasnilnega vezja in močnega inverterja z veliko vhodno kapacitivnostjo na izhodu vezja (slika 64).



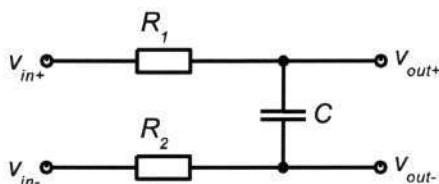
Slika 64: Generator zakasnitvenega signala

Na ta način verigo inverterjev zamenjamo s površinsko precej manjšim vezjem, preklopni čas vezja s preklopno točko pri napetosti $V_{DD}/2$ pa znaša približno:

$$\begin{aligned} t_r &= 0.693 \cdot R_{PMOS} \cdot C_{inv} \\ t_f &= 0.693 \cdot R_{NMOS} \cdot C_{inv} \end{aligned} \tag{5.87}$$

5.8 Protizgibni vhodni filter

Da preprečimo zgibanje signala v okolici frekvence vzorčenja v signalni pas, na vhod signalne verige dodamo preprost protizgibni (antialiasing) RC nizkoprepustni filter (slika 65).



Slika 65: Protizgibni vhodni filter

Pol filtra postavimo okrog frekvence 10 kHz:

$$f_p = \frac{1}{2\pi(R_1 + R_2)C} \quad (5.88)$$

5.9 Literatura k 5. poglavju

- [1] M. Banu, J.M. Khoury, Y. Tsividis, Fully Differential Operational Amplifiers with Accurate Output Balancing, IEEE J. Solid-State Circuits, vol SC-23, str. 1410-1414, December 1988.
- [2] R. Castello, P. Gray, A high-performance micropower SC filter, IEEE J. Solid-State Circuits, vol SC-20, str. 1122-1132, December 1985.
- [3] F. Medeiro et al, A Vertically Integrated Tool for Automated Design of S-D modulators, IEEE J. Solid-State Circuits, vol 30, str. 762-772, July 1995.
- [4] Behzad Razavi: Design of Analog CMOS Integrated Circuits, McGraw-Hill Higher Education, Boston, 2001.
- [5] Uroš Bizjak, Diferencialni CMOS operacijski ojačevalnik, diplomska naloga, Fakulteta za elektrotehniko, Univerza v Ljubljani, junij 1996.
- [6] V. Peluso, P. Vancorenland, A. M. Marques, M.S.J. Steyaert, W. Sansen, A 900 mV Low-Power Sigma-Delta A/D Converter with 77 dB Dynamic range, IEEE J. Solid-State Circuits, vol 33, str. 1887-1897, December 1998.

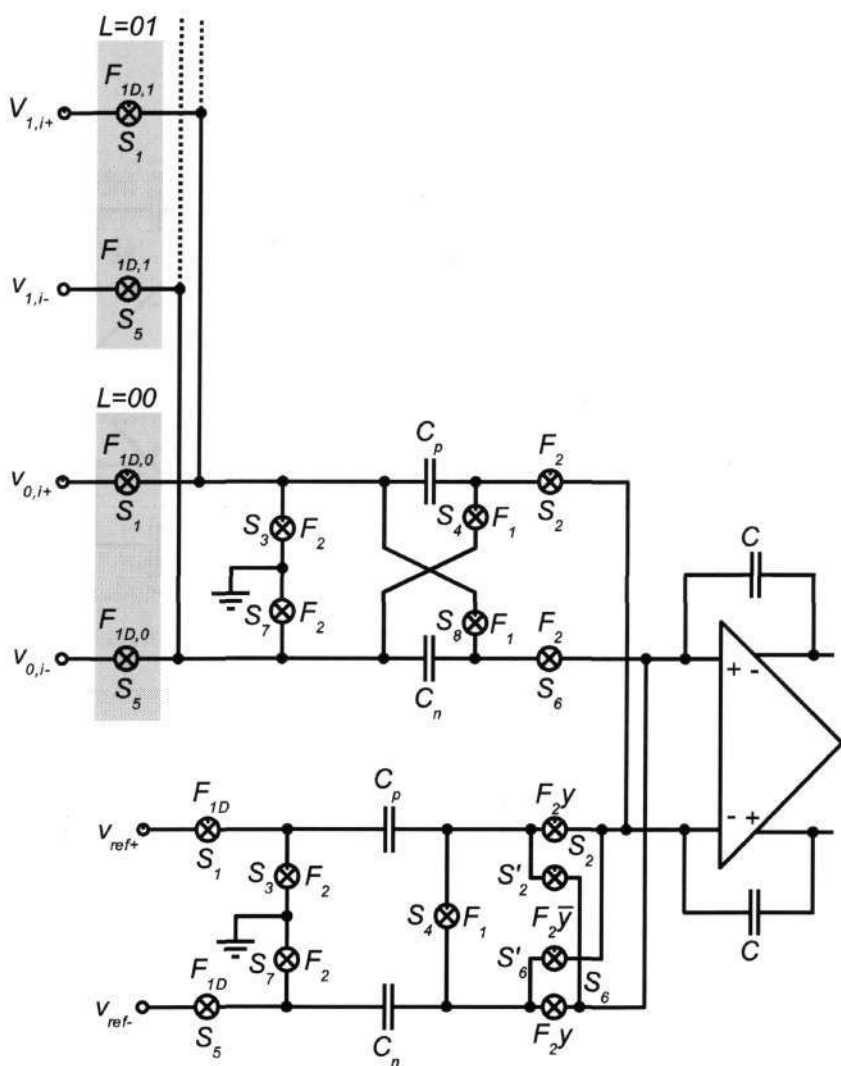
- [7] Kenneth R. Laker, Willy M.C. Sansen: Design of Analog Integrated Circuits and Systems, McGraw-Hill, New York, 1994.
- [8] A. Burmen, D. Strle, F. Bratkovič, J. Puhar, I. Fajfar, T. Tuma, Automated Robust Design and Optimization of Integrated Circuits by Means of Penalty Functions, *Int. J. Electron. Commun. (AEUE)*, vol. 56, str. 1-10, 2002.
- [9] S. R. Norsworthy, R. Schreier, G. Themes, Delta-Sigma Data Converters – Theory, Design, and Simulation, *IEEE Circuits & Systems Society*, IEEE Press, New York, 1997.
- [10] S. Rabbii, B. A. Wooley: A 1.8-V digital-audio SD modulator in 0.8 μ m CMOS, *IEEE J. Solid-State Circuits*, vol SC-32, str. 783-796, June 1997.
- [11] Christian C. Enz, Gabor C. Temes, Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization, *Proc. of the IEEE*, vol 84, No. 11, str. 1584-1614, November 1996.
- [12] M. H. White, D. R. Lampe, F. C. Blaha, I. A. Mack, Characterization of Surface channel CCD Image Arrays at Low Light Levels, *IEEE J. Solid-State Circuits*, vol SC-9, str. 1-13, Feb. 1974.
- [13] R. J. Kinsky, Response of a Correlated Double Sampling Circuit to 1/f Noise, *IEEE J. Solid-State Circuits*, vol SC-15, str. 373-375, June 1980.
- [14] J. N. Bronštejn, K. A. Semendjajev, *Matematični priročnik*, Tehniška založba Slovenije, Ljubljana, 1988.
- [15] K. Nagaraj, J. Vlach, T. R. Viswanathan, K. Singhal, Switched-capacitor integrator with reduced sensitivity to amplifier gain, *Electronics Letters*, Vol. 22, No. 21, October 1986.
- [16] R. Wang: Performance of Switched-Capacitor Circuits Due to Finite Gain Amplifiers, Nov. 2002, url: http://www.eecg.toronto.edu/~kphang/papers/2002/wang_sc.pdf
- [17] S. Franco: Design with Operational Amplifiers and Analog Integrated Circuits, McGraw-Hill Series in Electrical and Computer Engineering, 1997.
- [18] R. Gregorian, G. C. Temes: Analog MOS Integrated Circuits for Signal Processing, John Willey and Sons, 1986.
- [19] A. Bakker, J. Huijsing, High-Accuracy CMOS Smart Temperature Sensors, Kluwer Academic Publishers, Boston, 2000.
- [20] A. Bakker, K. Thiele, and J. H. Huijsing, A CMOS nested-chopper instrumentation amplifier with 100 nV offset, *IEEE Journal of Solid-State Circuits*, vol. 35, str. 1877 - 1883, December 2000.

- [21] W. Lee, A 4-channel, 18b $\Sigma\Delta$ modulator IC with chopped-offset stabilization, IEEE International Solid-State Circuits Conference, vol. XXXIX, str. 238 - 239, February 1996.
- [22] A. Yukawa: A CMOS 8-Bit High-Speed A/D Converter IC, IEEE J. Solid-State Circuits, vol. 20, pp. 775-779, Jun. 1985.
- [23] James C. Candy, Gabor C. Temes: Oversampling Delta-Sigma Data Converters, Theory, Design, and Simulation, Wiley Interscience IEEE Press, New York, 1992.

6 Multipleksirana vhodna stopnja trifaznega števca

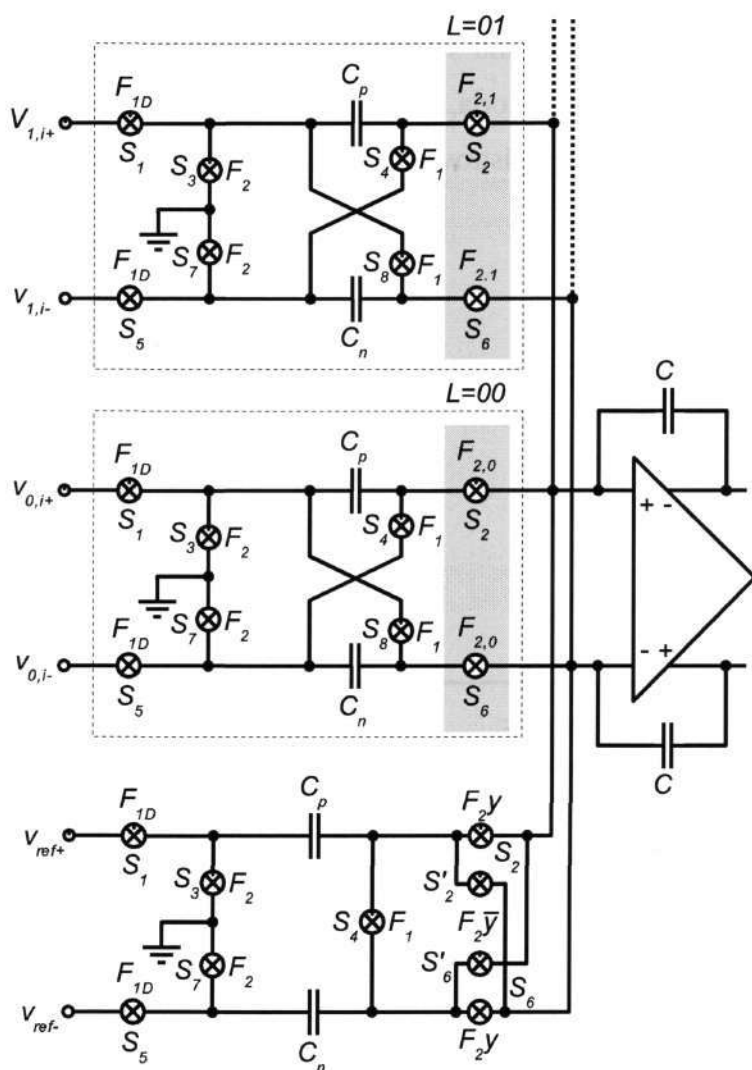
Trivialni pristop k izvedbi trifaznega števca je izvedba s trojnim enofaznim merilnim sklopom (v vsaki fazi sklop vsebuje po dva analogno-digitalna pretvornika), kar je energetsko in prostorsko potratna rešitev. V sigma-delta modulator zato uvedemo multipleksiranje signalov, vendar pa morajo karakteristike integriranega vezja ob tem še vedno ustrezati IEC standardu [1] za števce razreda 1 oz. 2.

Multipleksiranje signalov lahko izvedemo z nizkofrekvenčnim multipleksiranjem vhodov, kjer vsakemu vhodu pripada določeno časovno okno, v katerem obdelujemo signal na tem vhodu [2]. Kanale preklapljam s frekvenco nekaj kHz, med preklopi pa shranimo notranja stanja integratorja in decimatorja, za kar potrebujemo ustrezno število integracijskih kondenzatorjev in ustrezno število registrov decimatorja [3].



Slika 66: Multipleksirani integrator z eno signalno vejo

Skrajni primer multipleksiranja predstavlja visokofrekvenčno multipleksiranje signalov, kjer preklapljamo ob vsakem vzorčenju vhodnega signala. Vhode posameznih kanalov v modulator preklapljamo sinhrono s preklapljanjem integracijskih kondenzatorjev, multipleksirani kanali pa si delijo referenčno vejo, operacijski ojačevalnik in primerjalnik v sigma-delta modulatorju. Pri visokofrekvenčnem multipleksiranju posamezen kanal potrebuje le svoj integracijski kondenzator ter svoj 1-bitni register, v katerega se shrani vrednost izhoda primerjalnika. Glede na zahteve presluha med kanali lahko multipleksirano izvedbo sigma-delta modulatorja izvedemo v izvedbi s skupno signalno vejo (slika 66), lahko pa vsak kanal vsebuje lastno signalno vejo (slika 67).

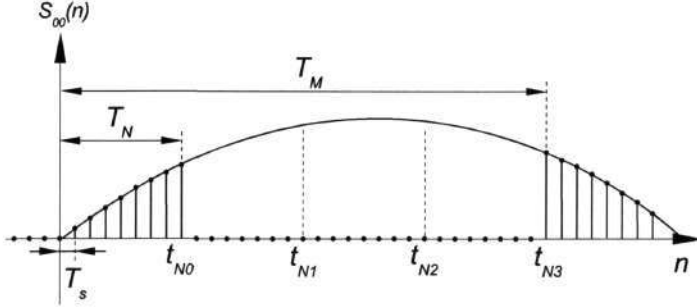


Slika 67: Multipleksirani integrator z več signalnimi vejami

6.1 Vpliv multipleksiranja na merjeni signal

Pri počasnem multipleksiranju (slika 68) vsakega od kanalov vzorčimo določen časovni interval T_N , določen z razmerjem med številom vzorcev in frekvenco njihovega vzorčenja f_s :

$$T_N = N \cdot \frac{1}{f_s} \quad (6.1)$$



Slika 68: Počasno multipleksirano vzorčenje

Nizkofrekvenčni vhodni signala množimo s periodičnim signalom $f(t) = f(t + T_M)$, kjer je T_M perioda multipleksiranja:

$$T_M = M \cdot \frac{1}{f_s} \quad (6.2)$$

Periodični signal izvedemo z vlakom pravokotnih pulzov s periodo T_M in dolžino pulza T_N :

$$f(t) = \begin{cases} 1, & 0 < t \leq T_N \\ 0, & T_N < t \leq T_M \end{cases} \quad (6.3)$$

Signal vzorčenja, opisan z enačbo (6.3) v časovnem prostoru zapišemo kot Fourierjevo vrsto z realnimi koeficienti:

$$a_n = 2 \frac{T_N}{T_M} \cdot \text{sinc} \left(\pi \frac{nT_N}{T_M} \right) \quad (6.4)$$

Spekter funkcije (6.3) v frekvenčnem prostoru je torej diskreten, koeficienti a_n imajo vrednost 0 pri $nT_N = T_M$. Pri vzorčenju (moduliranju) s funkcijo (6.3) se frekvenčni spekter signala zgiba okrog diskretnih frekvenčnih komponent modulatorske funkcije. Perioda cikla multipleksiranja T_M tako omeji maksimalno frekvenco vhodnega signala na $\omega_{\max} = 2\pi \frac{1}{2T_m}$.

Pri vzorčenju v diskretnih časovnih intervalih lahko časovna intervala T_M in T_N normiramo s časom vzorčenja. Razmerje predstavlja število vzorcev:

$$\frac{T_N}{T_s} = N, \quad \frac{T_M}{T_s} = M \quad (6.5)$$

Multipleksirano vzorčenje signala s funkcijo (6.3), kjer je čas vzorčenja T_N celoštevilčni del časa periode T_M , lahko obravnavamo kot podvzorčenje (downsampling) z razmerjem L :

$$L = \frac{M}{N} \quad (6.6)$$

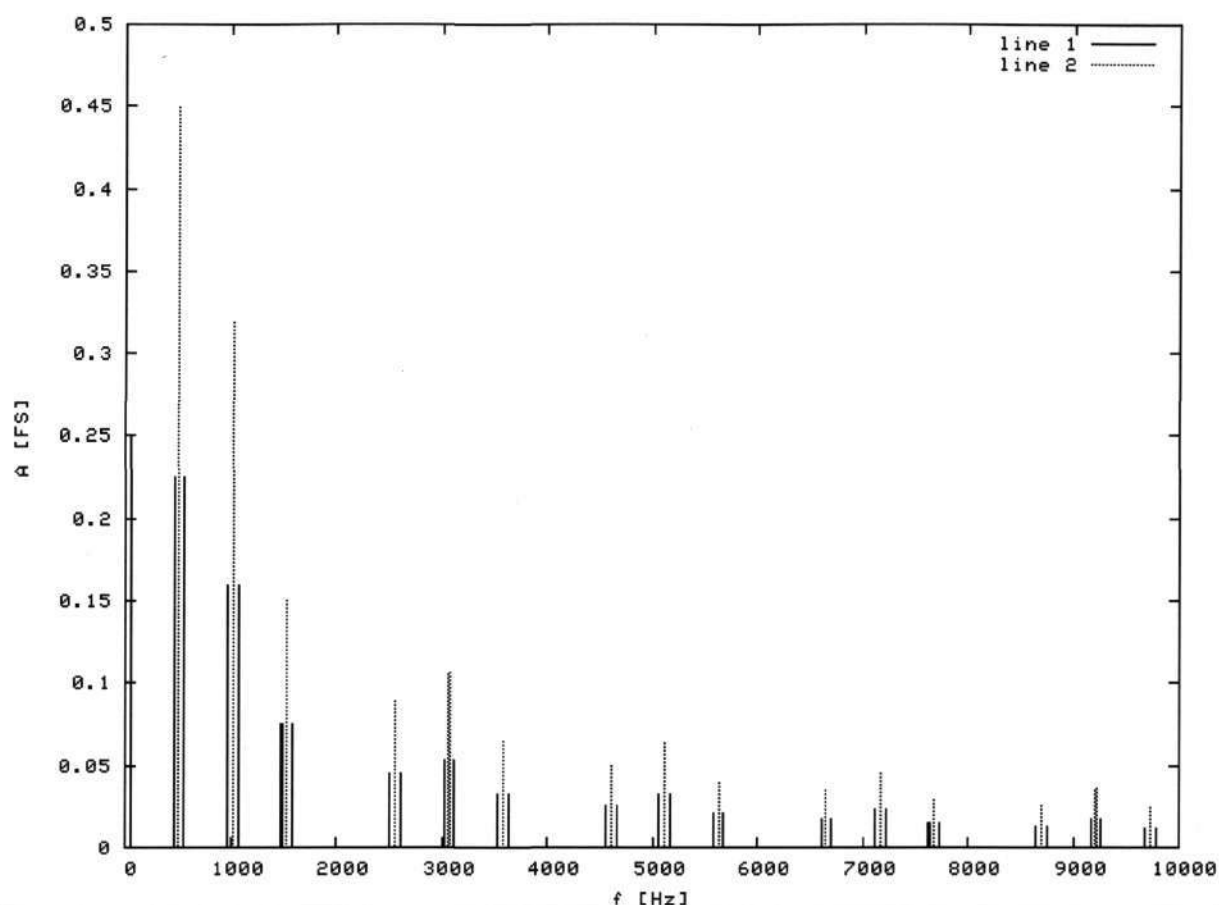
Podvzorčenje, kjer ohranimo le vsak L -ti vzorec, povzroči razširitev originalnega spektra signala za faktor L . Da se izognemo zgibanju signala nazaj v signalni pas, moramo pred podvzorčenjem spekter vhodnega signala omejiti na $f_s/(2L)$, oziroma moramo vhodni signal vzorčiti z L -krat višjo frekvenco, kot je minimalna vzorčna frekvenca.

Multipleksirano vzorčenje, kjer v časovnem intervalu enega vhoda L -vhodnega multipleksiranega sistema vzorčimo N vzorcev, omeji Nyquistovo frekvenco vhodnega signala na:

$$\omega_{\max} = 2\pi \cdot \frac{f_s}{2N} \cdot \frac{1}{L} \quad (6.7)$$

Iz enačbe (6.4) lahko izberemo, da bo moč multipleksirano vzorčenega signala v primerjavi z nemultipleksiranim vzorčenjem manjša za faktor $(T_M/T_N)^2 = L^2$.

Slika 69 prikazuje amplitudni spekter multipleksirano vzorčenega signala s frekvenco 50 Hz pri frekvenci vzorčenja 512 kHz. Okno 4-kanalnega ($L = 4$) multipleksiranega vzorčenja posameznega kanala je $N=256$ vzorcev. Vidne so ničle po enačbi (6.3) pri koeficientih a_n , kjer je $n = 4, 8, 12, \dots$, oz. pri frekvencah $\omega_k = 2\pi k \frac{f_s}{N}$, $k = 1, 2, 3, \dots$. Vidne so tudi komponente zgibov osnovnega signala okrog višjih harmonskih komponent frekvence multipleksiranja f_s/M .



Slika 69: Amplitudni spekter multipleksiranega vzorčenja pri $L = 4$, $N = 256$, $f_{vz} = 512$ kHz.

Ocenimo, kakšno napako prinese multipleksirano vzorčenje signala $u(t)$ in $i(t)$. Privzemimo, da signal napetosti vzorčimo ob času t , signal toka pa v času $t + T_N$. Enačbo (4.2) zapišemo v obliki:

$$p(t) = \hat{U} \sin(\omega_1 t) \cdot \hat{I} \sin[\omega_1(t + T_N) + \varphi] \quad (6.8)$$

Iz enačbe (6.8) sledi:

$$p(t) = \frac{\hat{U}\hat{I}}{2} [\cos(\varphi + \omega_1 T_N) - \cos(2\omega_1 t + \varphi + \omega_1 T_N)] \quad (6.9)$$

Povprečno vrednost moči v času t izračunamo iz enačbe (6.9):

$$P = \frac{1}{T} \int_0^T [\dots] dt = \frac{\hat{U}\hat{I}}{2} \cos(\varphi + \omega_1 T_N) \quad (6.10)$$

Vzorčenje $u(t)$ in $i(t)$ v različnih časih vnese maksimalno napako, definirano po IEC standardu [1] kot napako pri faznem kotu 60° :

$$e = \frac{\cos(\pi/3) - \cos(\pi/3 + \omega_1 T_N)}{\cos(\pi/3)} = 1 - 2 \cos[\pi(1/3 + 2f_{sig} T_N)] \quad (6.11)$$

6.2 Princip počasnega multipleksiranja

Počasno multipleksiranje kanalov, kjer med posameznimi kanali preklapimo relativno počasi glede na vzorčno frekvenco, je primerno za klasično strukturo digitalnega obdelave signala [4]. Signal multipleksiramo pred sigma-delta modulatorjem, dobljene paralelne besede iz decimatorja pa kasneje obdelujemo s pomočjo DSP ali splošnonamenskega procesorja pri relativno nizki frekvenci.

Nizkofrekvenčni decimirani vzorec izračunamo kot vsoto N_D vzorcev izhoda sigma-delta modulatorja, množenih z ustrezno utežno funkcijo okna. Število procesiranih vzorcev (oz. okno) je določeno z razmerjem med frekvenco f_s vhodnih vzorcev x_i in frekvenco f_D izhodnih vzorcev y_k :

$$N_D = \frac{f_s}{f_D} \quad (6.12)$$

Z redom decimacijskega filtra, ki je za ena večji od reda sigma-delta modulatorja, zagotovimo dovolj digitalne resolucije za SNR razmerje, ki ga zagotavlja modulator [5], zato pri izvedbah z modulatorjem 1. reda vpeljemo sinc^2 decimacijski filter. Izbrani sinc^2 filter ima prenosno funkcijo definirano z:

$$|H(f)| = \frac{\left| \text{sinc}\left(\pi \frac{f}{f_D}\right) \right|^2}{\left| \text{sinc}\left(\pi \frac{f}{f_s}\right) \right|^2} \quad (6.13)$$

Red sinc decimacijskega filtra določimo z utežno funkcijo, sinc^2 filter izvedemo s trikotno utežno funkcijo. Enačbo (6.13) zapišimo v diskretnem frekvenčnem prostoru:

$$H(z) = \frac{1}{N_D^2} \left[\frac{1 - z^{-N_D}}{1 - z^{-1}} \right]^2 \quad (6.14)$$

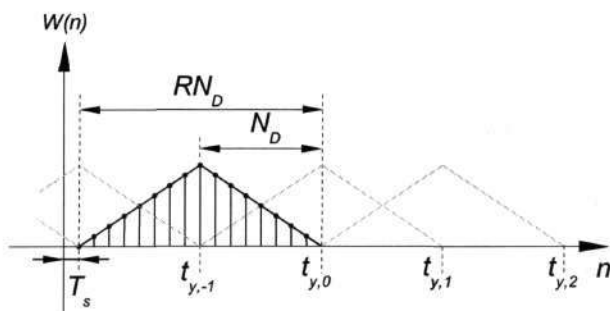
Digitalni filter, opisan z enačbo (6.14) ima impulzni odziv trikotne oblike z obsegom $2N_D$ zaporednih vhodnih vzorcev. Izhodni vzorec $y_k \text{ sinc}^2$ decimacijskega filtra zapišemo kot trikotno uteženo vsoto $2N_D$ vhodnih vzorcev x_i :

$$y_k = \sum_{i=N_D k}^{N_D k + (N_D - 1)} (i - N_D k) x_i + \sum_{i=N_D (k+1)}^{N_D k + (2N_D - 1)} [N_D (k+2) - i] x_i \quad (6.15)$$

V splošnem velja, da filter R -tega reda zahteva uteženo vsoto (RN_D) vhodnih vzorcev, torej je maksimalno decimacijsko razmerje določeno z:

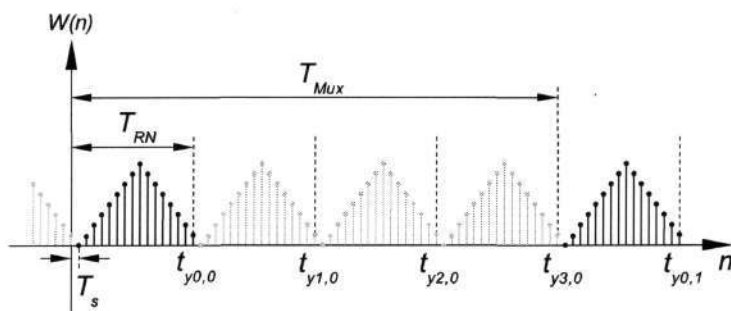
$$D = \frac{(RN_D)}{R} \quad (6.16)$$

Enačbo (6.15) ilustrira slika 70.



Slika 70: Uteži sinc^2 filtra za $N = 8$

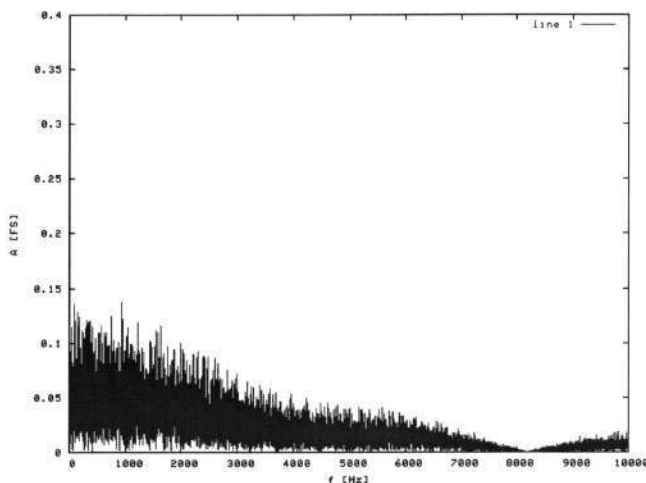
Sinc^2 filter lahko sestavimo iz binarnih števecv in binarnih seštevalnikov [6], strmejše karakteristike filtra pa izvedemo [7] z uporabo Hanningove, Hammingove, Blackmannove, itd. utežne funkcije.



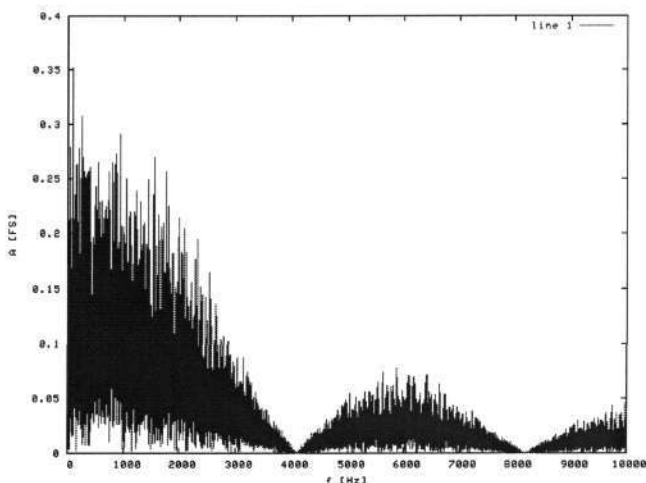
Slika 71: Počasno 4-kanalno multipleksiranje z neprekrivnim sinc^2 decimacijskim filtrom

Z izbiro dovolj velikega R in N_D je šum v signalnem pasu dovolj majhen za sprejemljivo razmerje signal-šum (SNR). V tem primeru lahko zvišamo decimacijsko razmerje tako, da opustimo vse, razen R -tega izhodnega vzorca decimatorja (kjer je R red sinc filtra). S tem

pristopom lahko decimator izvedemo kot neprekrivni (non-overlaped) FIR filter (slika 71). Ker se ves šum zgiba v končni signalni pas, je posledica opuščanja izhodnih vzorcev R^2 -krat višja šumna moč v nizkofrekvenčnem signalnem pasu, poleg tega pa se R -krat zmanjšata frekvenca izhodnih vzorcev $f_D' = f_D/R$ in pasovna širina decimiranega signala. Šum je dodatno filtriran s karakteristiko FIR sinc filtra.



Slika 72: Amplitudni spekter s prekrivnim sinc^2 filtrom



Slika 73: Amplitudni spekter z neprekrivnim sinc^2 filtrom

Sliki 72 in 73 prikazujeta amplitudna spektra prekrivnega in neprekrivnega sinc^2 FIR filtra pri decimacijskem razmerju $N_D = 64$ in frekvenci vzorčenja $f_s = 512\text{kHz}$. Vhodni signal v sigma-delta modulator 1. reda smo v obeh primerih generirali z Gaussovimi šumnimi generatorjem s $\sigma = 0.005 \text{ FS}$.

Če izenačimo število vzorcev (RN_D) v času decimacijskega okna (T_{RN}) neprekrivnega FIR sinc^R decimacijskega filtra s številom vzorcev (N) v času okna multipleksiranega kanala (T_N), lahko en sam digitalni filter [8] delimo med vse multipleksirane kanale [9]. Zaradi »accumulate-and-dump« strukture decimacijskega sinc^2 filtra lahko vsako L -to decimacijsko okno pripišemo L -temu kanalu, s tem bo vsak L -ti izhodni vzorec pripadal L -temu kanalu. V tem primeru multipleksirano vzorčenje ponovno obravnavamo kot podvzorčenje izhodnih vzorcev, kar po enačbi (6.7) povzroči zoženje frekvenčne skale izhodnih decimiranih vzorcev za faktor $1/L$:

$$\omega_{\max} = 2\pi \cdot \frac{f_D}{2R} \cdot \frac{1}{L} \quad (6.17)$$

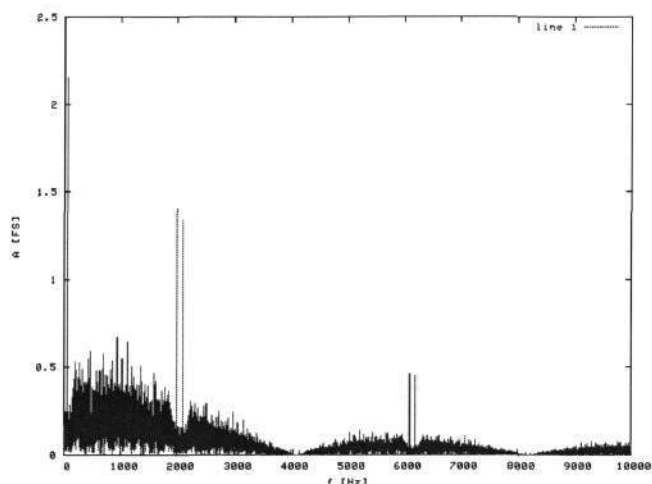
Vpliv začetne vrednosti integratorja na izhodni vzorec decimatorja je majhen (upada z daljšanjem časovnega okna multipleksiranega kanala, poleg tega pa vpliv začetnega vhodnega vzorca v decimator dodatno zmanjšamo z utežno funkcijo FIR filtra), zato nam pri počasnem multipleksiranju kanalov integracijskega kondenzatorja sigma-delta modulatorja ni treba ponastaviti.

Frekvenčna karakteristika multipleksiranega sinc^2 filtra se ohranja, saj v enačbi (6.13) nastopata samo decimacijska frekvenca in vzorčna frekvenca. Multipleksiranje zmanjša frekvenčno mejo vhodnega signala za faktor $1/L$, hkrati pa za faktor $1/L^2$ zmanjša moč vzorčenega signala v osnovnem pasu. Upoštevamo multipleksiranje v enačbi (6.13) da dobimo prenosno funkcijo multipleksiranega sinc^2 filtra.

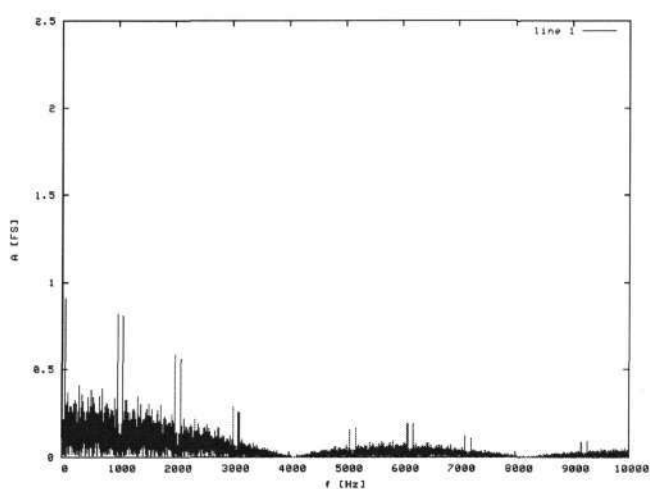
$$\left| H_{(L)}(f) \right| = \left(\frac{1}{L} \right) \frac{\left| \text{sinc} \left(\pi \frac{f}{f_D} \right) \right|^2}{\left| \text{sinc} \left(\pi \frac{f}{f_s} \right) \right|^2} \quad (6.18)$$

Sliki 74 in 75 prikazujeta amplitudni spekter decimiranega izhoda enega kanala multipleksiranega 2- in 4-vhodnega ($L = 2$, oz. $L = 4$) sigma-delta modulatorja 1. reda. Frekvenca vzorčenja $f_s = 512$ kHz, izhodna frekvenca decimiranih vzorcev $f_D = 8$ kHz/ 2^2 , decimator je izveden kot neprekrivni sinc^2 FIR filter 2. reda ($R = 2$). Vhodni signal sestavljata sinusni signal frekvence 50 Hz z amplitudo $A = 0.001$ FS in Gaussov šum s $\sigma = 0.005$ FS. Iz slik je razvidno zmanjšanje frekvenčne meje izhodnih vzorcev po enačbi (6.17) in zmanjšanje moči vzorčenega signala po enačbi (6.18).

² 8 kHz z vsakim drugim izpuščenim vzorcem pri $R=2$



Slika 74: Amplitudni spekter izhoda decimatorja multipleksiranega sigma-delta modulatorja 1. reda pri $L = 2$



Slika 75: Amplitudni spekter izhoda decimatorja multipleksiranega sigma-delta modulatorja 1. reda pri $L = 4$

Tako kot v primeru nemultipleksiranega sistema, nas tudi pri multipleksiranem sistemu zanima vpliv vhodnega šuma na kvantizacijsko napako sigma-delta pretvornika. V tabeli 11 so zbrani statistično obdelani rezultati 500 simulacij v nekaj karakterističnih delovnih točkah pri frekvenci vzorčenja $f_s = 512\text{kHz}$. Tudi tukaj je izhodna frekvenca decimiranih vzorcev $f_D = 8\text{kHz}/2$, decimator je izveden kot neprekrivni sinc^2 FIR filter 2. reda ($R = 2$). Multipleksiramo 4 kanale ($L = 4$), vhodni signal pa sestavlja sinusni signal frekvence 50 Hz različnih amplitud z različnimi nivoji dodanega Gaussovega šuma. Izračunajmo napako (normirano na rezultat pri amplitudi vhodnega signala $A = 0.1$ FS) na povprečni amplitudi 50 Hz komponente.

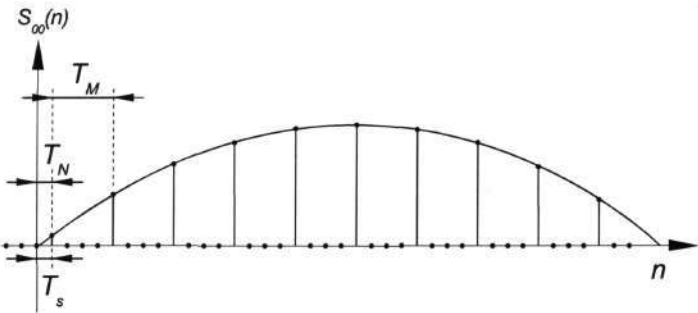
σ [FS]	$A_{in} = 0.001$ FS		$A_{in} = 0.005$ FS		$A_{in} = 0.01$ FS	
	$\bar{e}$ [%]	σ_e [%]	$\bar{e}$ [%]	σ_e [%]	$\bar{e}$ [%]	σ_e [%]
1m	-21.92	35.71	-0.474	0.91	0.103	0.56
2m	-22.61	35.02	-0.097	1.29	-0.023	0.58
5m	-0.59	11.58	-0.088	2.12	0.033	1.20
10m	0.58	10.59	0.190	2.68	0.125	1.72

Tabela 11: Vpliv različnih nivojev dodanega šuma na kvantizacijsko napako 50 Hz komponente

Sliki 9 in 10 kažeta, da sigma-delta modulator 1. reda ni primeren za 4-kanalni multipleksirani sistem s počasnim multipleksiranjem. Napaka na 50 Hz komponenti je prevelika, poleg tega pa za zadovoljivo SNR razmerje potrebujemo visoke decimacijske faktorje, kar pri želenih relativno nizkih frekvencah vzorčenja preveč omeji frekvenčni pas vhodnega signala.

6.3 Princip hitrega multipleksiranja sigma-delta signalov

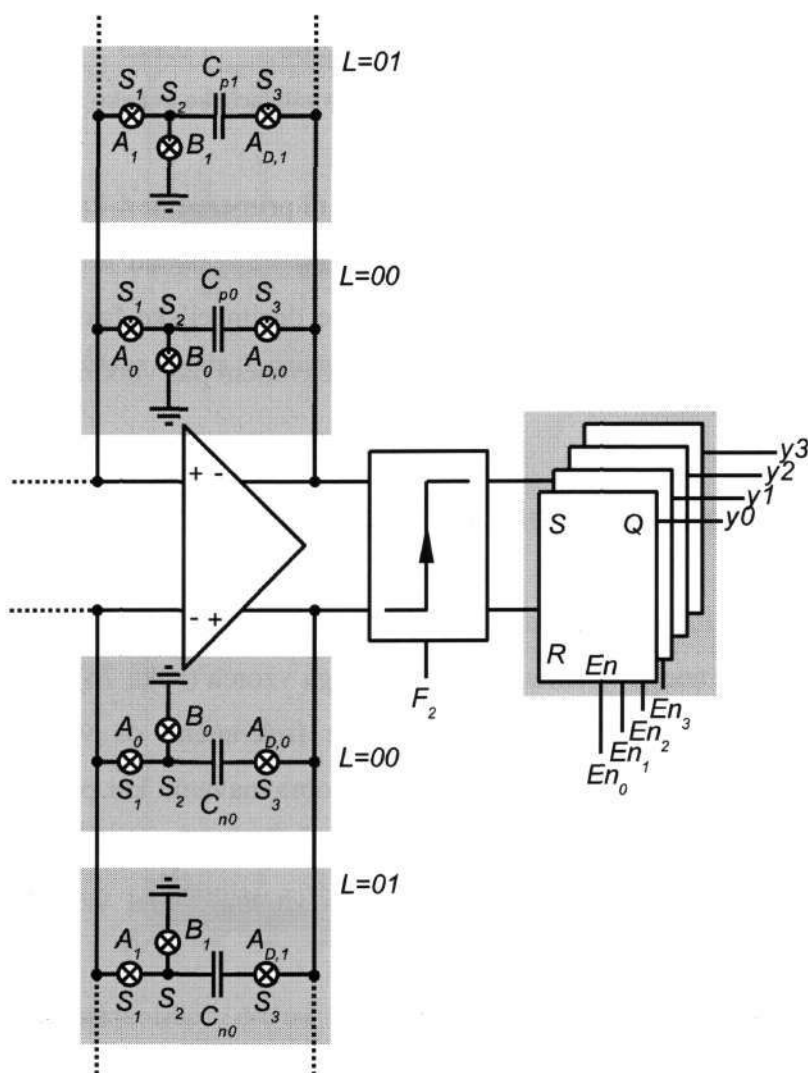
Skrajni primer multipleksiranega vzorčenja dobimo, ko je časovni interval enega vhoda L -vhodnega multipleksiranega sistema enak času enega vzorca (slika 76), torej pri $N=1$. Tudi v tem primeru multipleksirano vzorčenje raztegne frekvenčno os vhodnega signala na posameznem kanalu za L , multipleksirano vzorčenje obravnavamo kot podvzorčenje vhodnih vzorcev. Da preprečimo zgibanje, moramo tudi pri hitrem multipleksiranju omejiti spekter vhodnega signala na $f' = f_s/2L$, oziroma moramo vhodni signal vzorčiti z L -krat višjo frekvenco.



Slika 76: Hitro multipleksirano vzorčenje

Iz ugotovljenega lahko izpeljemo osnovna idejo izvedbe hitrega multipleksiranega vzorčenja. Lastnosti nemultipleksiranega vzorčenja se ohranijo, če L -kratno multipleksirani signal

vzorčimo L -krat hitreje. Če ob tem notranje spremenljivke vezja, tako analogne kot digitalne, shranimo ob vsakem preklopu kanalov, bomo po preteku celotnega cikla multipleksiranja dobili L neodvisnih vrednosti, primernih za nadaljnjo digitalno obdelavo. Slika 77 prikazuje strukturo multipleksiranega integratorja s primerjalnikom in L enobitnimi izhodnimi registri.



Slika 77: Multipleksirani integrator s primerjalnikom in izhodnimi registri

Princip hitrega časovnega multipleksiranja lahko izvedemo tudi v digitalnem filtru [10]. Multipleksirane digitalne strukture si delijo kompletno strukturo vezja, v ustreznem časovnem oknu pa aktiviramo le tisti del pomnilniške strukture, ki hranijo notranje vrednosti pripadajočega kanala.

Hitro multipleksiranje analognega in digitalnega dela nam omogoča, da z menjavo pomnilniških struktur v analognem in digitalnem delu z njihovimi L -kratno multipleksiranimi ekvivalenti enokanalno izvedbo vezja na preprost način nadgradimo v časovno

multipleksirano L -kanalno izvedbo. Ob tem se lastnosti analogne in digitalne strukture ohranjajo, upoštevati pa moramo vpliv multipleksiranja na frekvenčni pas vhodnega signala.

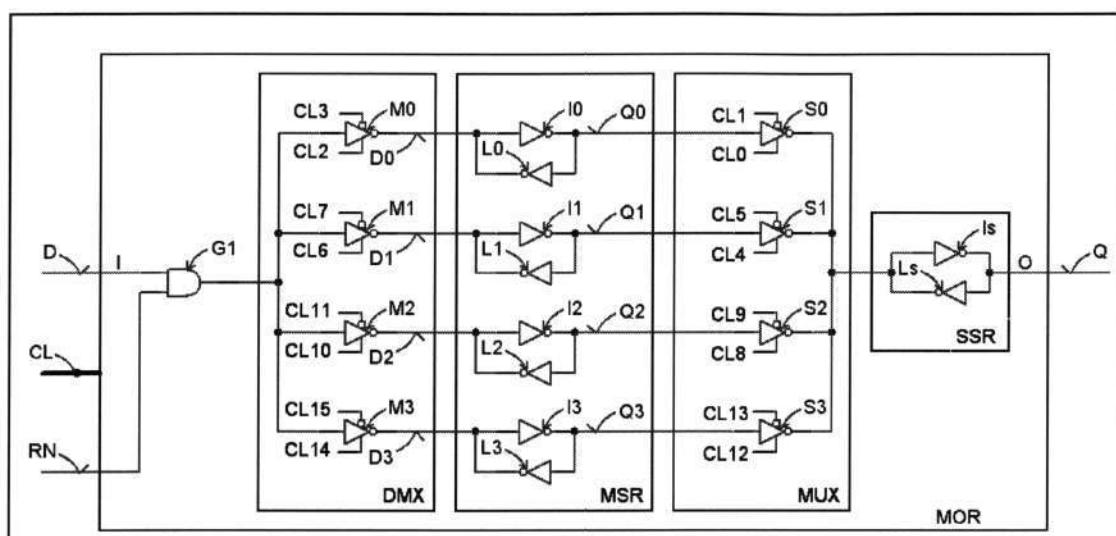
6.4 Digitalne multipleksirane strukture

Z digitalnimi multipleksiranimi strukturami izvedemo navidezno sočasno obdelavo izmerjenih rezultatov. Izmerjeni rezultati nastajajo v realnem času z relativno visoko frekvenco in so v obliki enobitnih vhodnih signalov priključeni na vhode multipleksirane strukture. Število navidezno sočasno obdelanih kanalov (L) je določeno z enačbo (6.6).

Digitalno procesiranje signalov v sigma-delta obliki se je izkazalo kot prostorsko najvarčnejša izvedba digitalnega dela enofaznega števca električne energije. Pri uvedbi multipleksiranja v digitalni del bi radi ohranili vse lastnosti enokanalnega digitalnega signalnega procesorja (arhitektura, frekvenčna karakteristika filtrov). Z zamenjavo osnovnih pomnilniških gradnikov digitalnih struktur (D register) z njihovim multipleksiranim ekvivalentom lahko celotno enokanalno digitalno vezje na preprost način pretvorimo v večkanalno multipleksirano izvedbo.

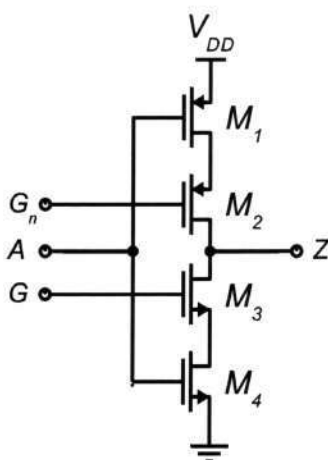
Trivialni multipleksirani ekvivalent osnovne digitalne pomnilniške celice je kar vezje L takšnih pomnilniških celic, vezanih preko L -kanalnega digitalnega demultiplekserja na skupno vhodno linijo in preko L -kanalnega multiplekserja na skupno izhodno linijo. Vpis v posamezno pomnilniško celico v tem primeru reguliramo s sinhronim preklopom vhodnega demultiplekserja in izhodnega multiplekserja.

Takšna rešitev je prostorsko precej potratna, zato multipleksirano pomnilniško celico izvedemo s strukturo na sliki 78. Strukturo sestavljajo vrata G_I , ki omogočajo sinhrono ponastavitev (reset), demultiplekser DMX , ki usmeri vhodni podatek v enega od statičnih pomnilnikov MSR , ter multiplekser MUX , ki prepíše shranjeni podatek iz enega od statičnih pomnilnikov MSR v pomožni statični pomnilnik SSR . Posamezni kanal tako sestavljajo: vpisovalnik M_N , kot del demultiplekserja DMX , statični pomnilnik I_N/L_N in vpisovalnik S_N , ki je del multiplekserja MUX .



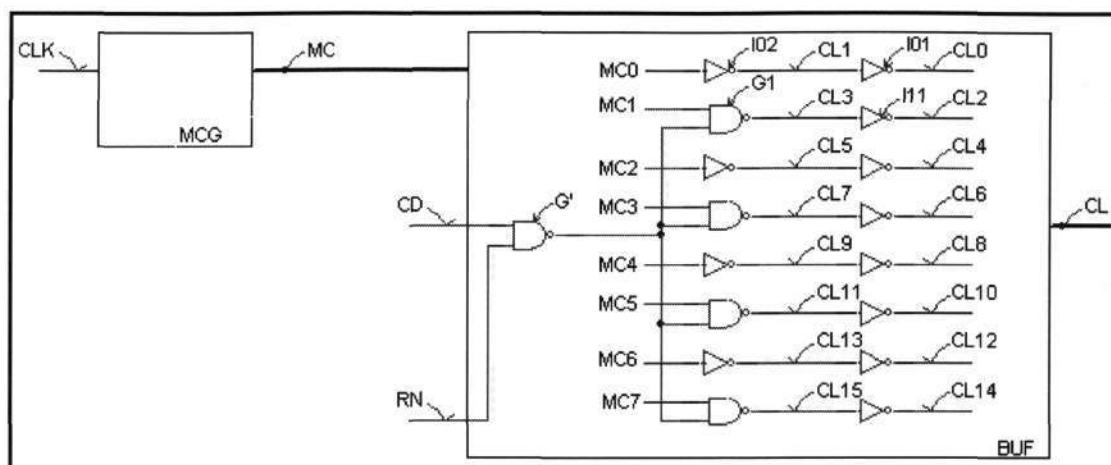
Slika 78: 4-kanalna multipleksirana pomnilna celica

Statični pomnilnik I_N/L_N je sestavljen iz medsebojno povezanega para inverterjev [11]. Ker ima inverter L_N v povratni zanki 8-krat večjo impedanco kot vpisovalnik M_N , zmore vpisovalnik spremeniti stanje v pomnilniku I_N tudi, ko je novo stanje drugačno od vpisanega. Vsak vpisovalnik je izveden kot tristanjski inverter, kar dodatno zmanjša tokovno porabo (slika 79).

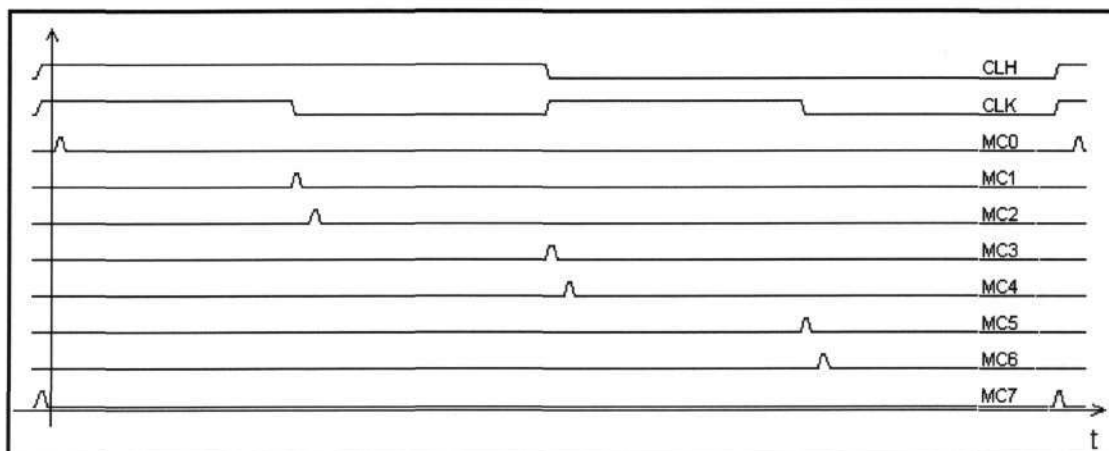


Slika 79: Tristanjski inverter

Del posameznega multipleksiranega pomnilniškega bloka je tudi generator krmilnih impulzov BUF prikazan na sliki 80. Vezje za generacijo krmilnih impulzov vzbujamo z globalnimi signali MC_n (slika 81), generiranimi iz taktne signala CLK .



Slika 80: Generator krmilnih impulzov multipleksne pomnilniške celice



Slika 81: Krmilni impulzi multipleksirane pomnilniške celice

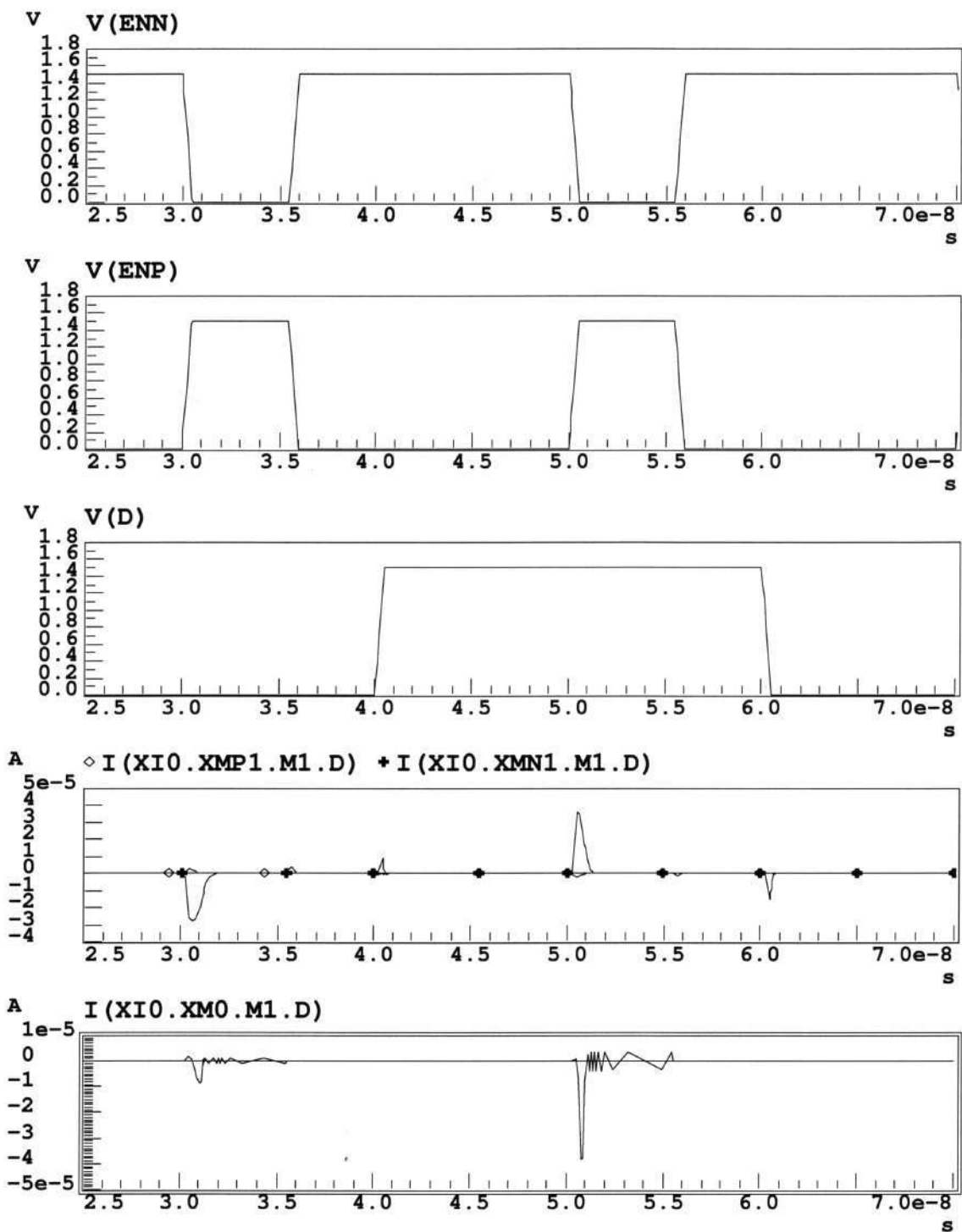
6.5 Dinamična poraba digitalnih multipleksiranih struktur

Eden od pomembnih vplivov, ki ga upoštevamo pri načrtovanju mešanih analogno-digitalnih integriranih vezij, je šum, ki nastane zaradi injeciranja nosilcev v substrat vezja [12]. Lastnost digitalnih multipleksiranih struktur so manjši tokovni sunki na napajalnih linijah (saj naenkrat prožimo le M/L pomnilniških struktur), s tem pa tudi manjši preklonni šum v integriranem vezju. Če privzamemo, da v multipleksiranem vezju v določenem trenutku poleg N deljenih logičnih preklonnih vezij preklopi še M/L pomnilniških struktur, lahko zapišemo faktor zmanjšanja konic napajalnega toka:

$$F = \frac{N + M}{N + M/L} \quad (6.19)$$

V enačbi (6.19) smo upoštevali, da je dinamična poraba N logičnih preklopnih vezij enaka, kot če N/L deljenih logičnih vezij vzbujaemo z L -krat višjim taktom.

23-Nov-2004 File : MasterS_test.cou
13:22:50 ELDO v6.3_1.1 (Production version) :



Slika 82: Simulacija prečnih tokov pomnilniške celice

Dodatno zmanjšanje prečnih tokov dosežemo z uporabo tristanjskega inverterja (slika 79). Če zagotovimo, da se vhodni signal D spreminja samo takrat, ko signala multipleksiranega vpisovanja G in G_n nista aktivna, lahko prečne tokove inverterja učinkovito zmanjšamo, saj je v vertikalni verigi MOS transistorjev eden od transistorjev vedno izključen.

Slika 82 prikazuje simulacijo prečnih tokovnih impulzov pri vzbujanju multipleksirane pomnilniške celice na sliki 78. Signala ENN in ENP (oziroma G_n in G v sliki 79) krmilita krmilna vrata NMOS in PMOS transistorjev vhodnega demultiplekserja M_0 (izvedenega s tristanjskim inverterjem na sliki 79), signal D pa spreminjamo takrat, ko je inverter izključen.

Slika 82 v predzadnjem grafu prikazuje negativne tokovne sunke na ponoru PMOS transistorja ($XMPI.MI.D$) in pozitivne tokovne sunke na ponoru NMOS transistorja ($XMNI.MI.D$). Tokovni sunki, ki so posledica polnjenja parazitnih kapacitivnosti in polnjenja vhodne kapacitivnosti pomnilne celice, pri napajanju 1.5 V dosežajo amplitudo 30 μA , sam prehodni pojav pa izzveni v 1 ns. Prečni tok celice je pri tem zanemarljiv.

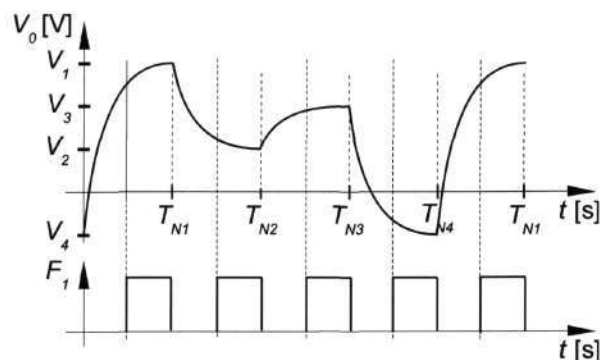
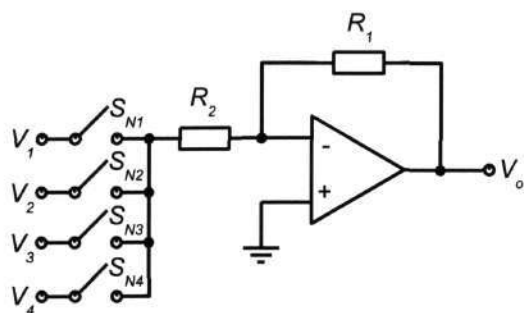
Spodnja slika prikazuje prehodni pojav pri preklopu statičnega pomnilnika I_N/L_N . Prikazani prečni tok NMOS transistorja v inverterju I_N se prekine v zelo kratkem času, kar je posledica majhnih dimenzij in s tem majhnih parazitnih kapacitivnosti transistorjev v celicah I_N in L_N .

6.6 Multipleksiranje analogne vhodne stopnje

Multipleksiranje vhodne analogne stopnje lahko izvedemo pred vhodnimi vzorčevalnimi kondenzatorji (slika 66, v tem primeru lahko izvedemo multipleksiranje tudi pred vhodnimi predojačevalniki), lahko pa multipleksiramo samo integrator s pripadajočim primerjalnikom in referenčno vejo (slika 67).

Pri hitrem multipleksiranju analognih struktur zahtevamo, da prehodni pojavi v analognih strukturah izzvenijo v času T_N . Medtem, ko prehodni pojavi pri počasnem multipleksiranju niso kritični, saj je vpliv prehodnega pojava v relativno dolgem času T_N dodatno maskiran z utežno funkcijo decimacijskega filtra, pa prehodni pojavi analognih struktur pri hitrem multipleksiranju predstavljajo velik problem.

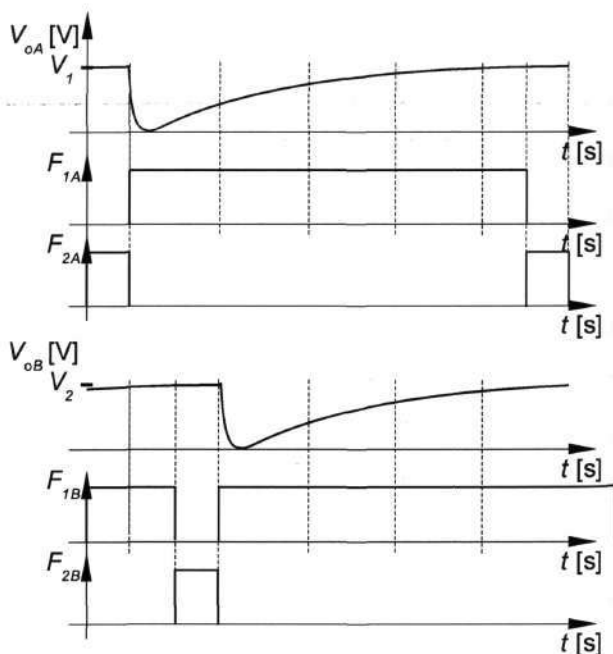
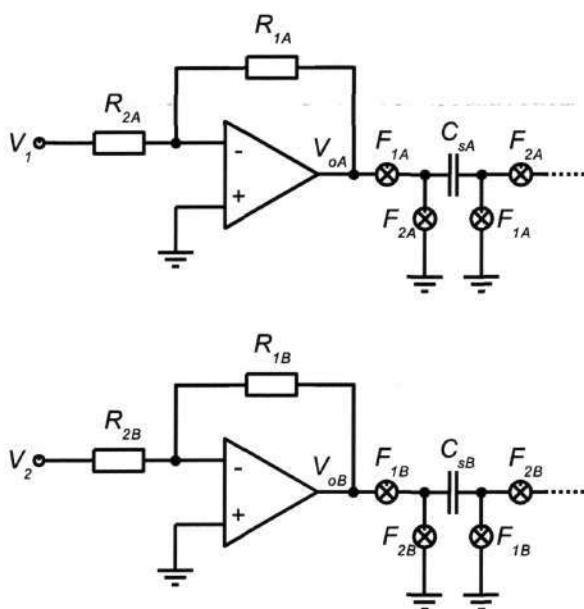
Prehodni pojav preklopa predojačevalnika analogne stopnje pri hitrem multipleksiranju mora izzveneti v precej kratkem času $T_N = T_S$, za kar potrebujemo zelo zmogljiv, s tem pa prostorsko in energijsko potraten predojačevalnik vhodnih signalov (slika 83).



Slika 83: Predojačevalnik vhodne stopnje pri hitrem multipleksiranju vhodov

Tudi v multipleksiranem sistemu želimo kot senzor toka uporabiti tuljavice Rogowski. Induktivni senzor s parazitnimi kondenzatorji stikal tvori nihajni krog, ki ga vzbujaemo z vključevanjem stikal posameznega multipleksiranega kanala. Izvedba z multipleksiranjem na vhodu predojačevalnika zato za takšen tip senzorja ni primerna.

Prehodni pojavi pri hitrem multipleksiranju induktivnega senzorja in prehodni pojavi pri preklopu multipleksiranega predojačevalnika so razlog za uvedbo ločenega predojačevalnika v vsakem kanalu. Na ta način induktivni senzor ločimo tako od vplivov visokofrekvenčnega multipleksiranja, kot tudi od vplivov vzorčenja z vzorčevalnimi kondenzatorji. Prednost uvedbe ločenega predojačevalnika je tudi manjši medsebojni vpliv kanalov, saj prehodni pojavi v posameznem kanalu niso več odvisni od stanja prejšnjega kanala ob zaključku njegove časovne periode.



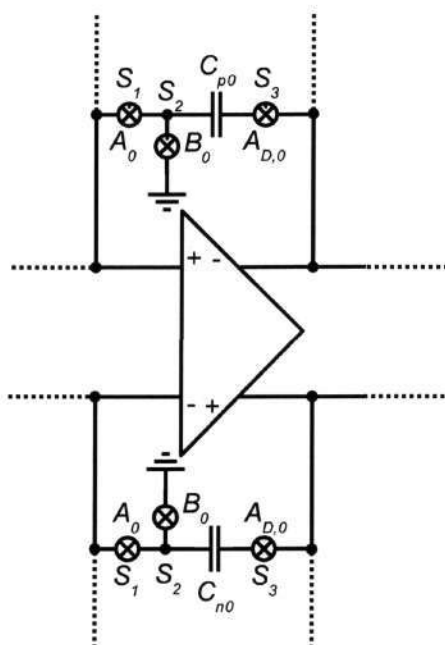
Slika 84: Nesimetrično vzorčenje signala predojačevalnika

Uvedba ločenih predojačevalnikov omogoča nesimetrično vzorčenje izhodnega signala. Pri takšnem vzorčenju je čas samega vzorčenja lahko L -krat daljši, kot čas integriranja signala (slika 84). Tak sistem vzorčenja še dodatno sprosti zahteve po hitrosti odziva predojačevalnika, zato lahko uporabimo manj zmogljive in s tem prostorsko in energijsko manj potratne predojačevalnike.

Operacijski ojačevalnik v integratorju pri L -kratnem multipleksiranem sistemu deluje z efektivno frekvenco vzorčenja, ki je za L višja od frekvence vzorčenja posameznega kanala. Prehodni pojavi operacijskega ojačevalnika v integratorju morajo izzveneti L -krat hitreje, da še dosežemo karakteristike enokanalnega merjenja. Ker naš sistem vzorči posamezen kanal pri 512 kHz, v 4-kanalnem multipleksiranem sistemu integrator deluje z efektivno frekvenco 2 MHz, takšno povečanje pa lahko dosežemo s preprostim povečanjem napajalnega toka.

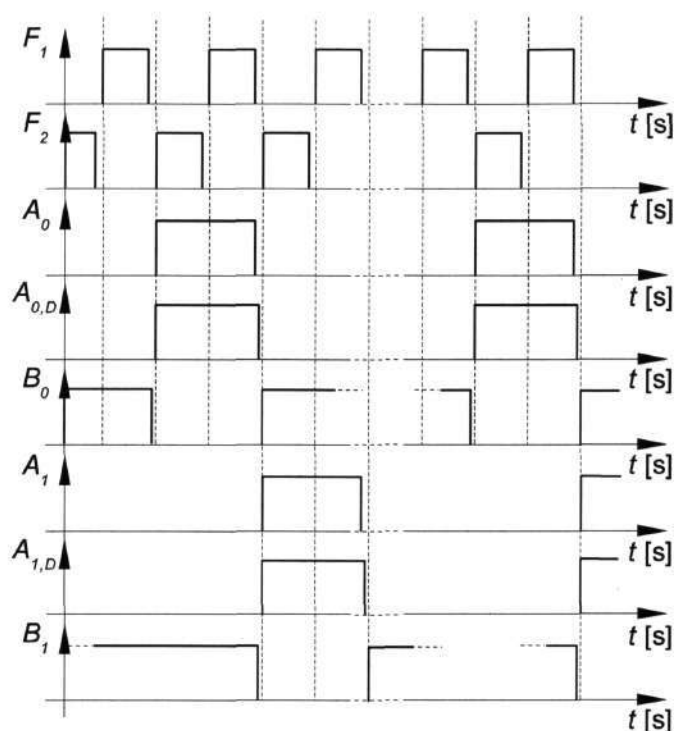
6.7 Injeciranje naboja v integracijske kondenzatorje

Podoben pojav, kot pri preklapljanju vzorčevalnih kondenzatorjev, se pojavi pri izklopu integracijskih kondenzatorjev. Integracijski kondenzator izklopimo iz povratne vezave operacijskega ojačevalnika ob koncu faze integriranja v ciklu posameznega kanala. Ker je ena stran kondenzatorja priključena na izhodno sponko integratorja, je velikost injeciranega naboja ob izklopu stikala nelinearno odvisna od napetosti na stikalu. Vpliv injeciranega naboja zmanjšamo z zakasnjnim izklopom stikala na izhodni sponki integratorja.



Slika 85: Zmanjšanje injeciranja naboja v integracijske kondenzatorje

Na začetku cikla s stikali A_m in $A_{D,m}$ vključimo integracijski kondenzator med vhodni in izhodni sponki operacijskega ojačevalnika, ob izklopu integracijskega kondenzatorja pa najprej izključimo stikalo A_m , sledi mu izklop stikala $A_{D,m}$. Na ta način signalno odvisni naboj kanala pod krmilno elektrodo tranzistorja steče v nizkoohmsko izhodno sponko operacijskega ojačevalnika. Stikalo B_m sklene zgornjo ploščo neaktivnega integracijskega kondenzatorja na napetost srednje točke V_{AGND} . Na ta način stabiliziramo napetost kondenzatorja, ker pa je napetost V_{AGND} približno enaka napetosti v sumacijski točki, se na ta način tudi izognemo polnjenju in praznjenju (sicer majhnega) parazitnega kondenzatorja med zgornjo ploščo integracijskega kondenzatorja in substratom (oz. V_{SS}). Vpliv krmilnega signala, ki preko parazitnega kondenzatorja C_{GD} spremeni shranjeni naboj na kondenzatorju, zmanjšamo z diferencialno strukturo integratorja.

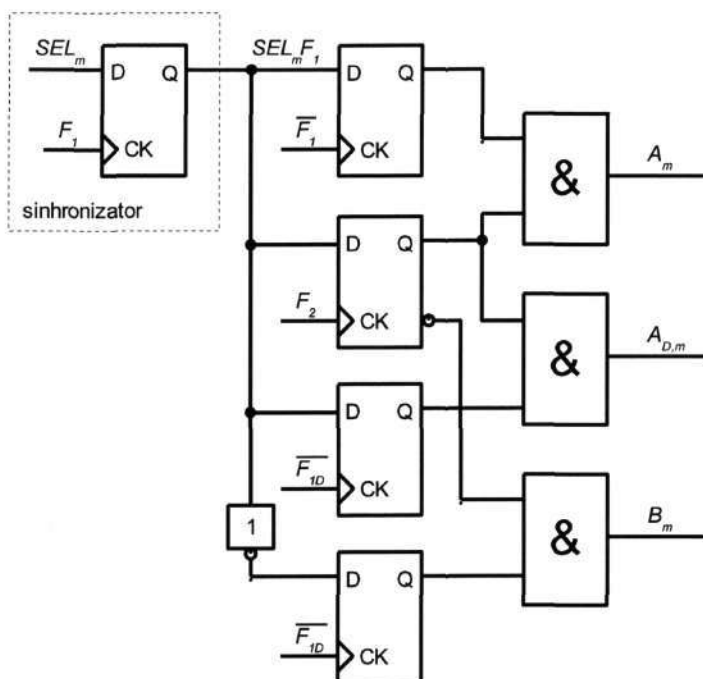


Slika 86: Krmiljenje stikal integracijskih kondenzatorjev

6.8 Generacija neprekrivnih signalov multipleksiranega sistema

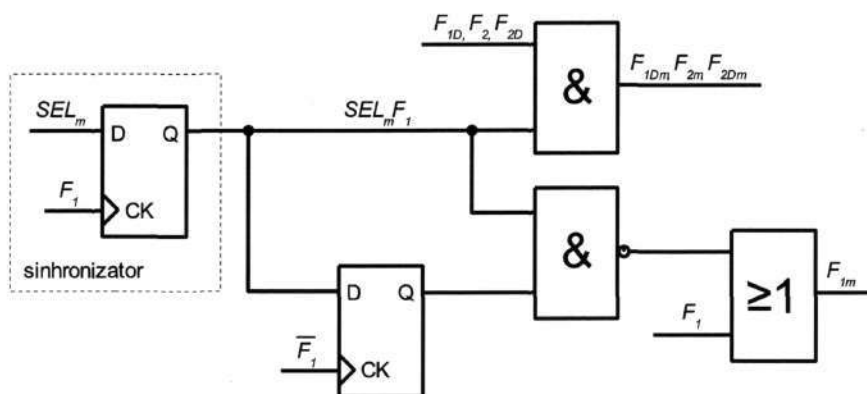
Možnost kratkostičenja kondenzatorja v posameznem kanalu preprečimo z uporabo neprekrivnih krmilnih signalov F_1 , F_{1D} , F_2 in F_{2D} , pri multipleksiranem načinu pa z uporabo neprekrivnih krmilnih signalov multipleksirane stopnje preprečimo tudi medsebojni kratek stik posameznih kanalov v sumacijski točki. S pravilnim vključevanjem stikal preprečimo tudi medsebojni kratek stik med integracijskimi kondenzatorji pri preklapljanju integracijskih kondenzatorjev posameznih kanalov.

Za generacijo krmilnih signalov imamo na voljo štiri medsebojno zakasnjene signali, ki pri preklopu signala takta CLK iz 0 v 1 sledijo zaporedju $F_2 \downarrow, F_{2D} \downarrow, F_1 \uparrow, F_{1D} \uparrow$, pri preklopu signala takta iz 1 v 0 pa v zaporedju $F_1 \downarrow, F_{1D} \downarrow, F_2 \uparrow, F_{2D} \uparrow$ (slika 61). Krmilne signale multipleksiranega integratorja A_m , $A_{D,m}$ in B_m , prikazane na sliki 86, generiramo z vezjem na sliki 87.

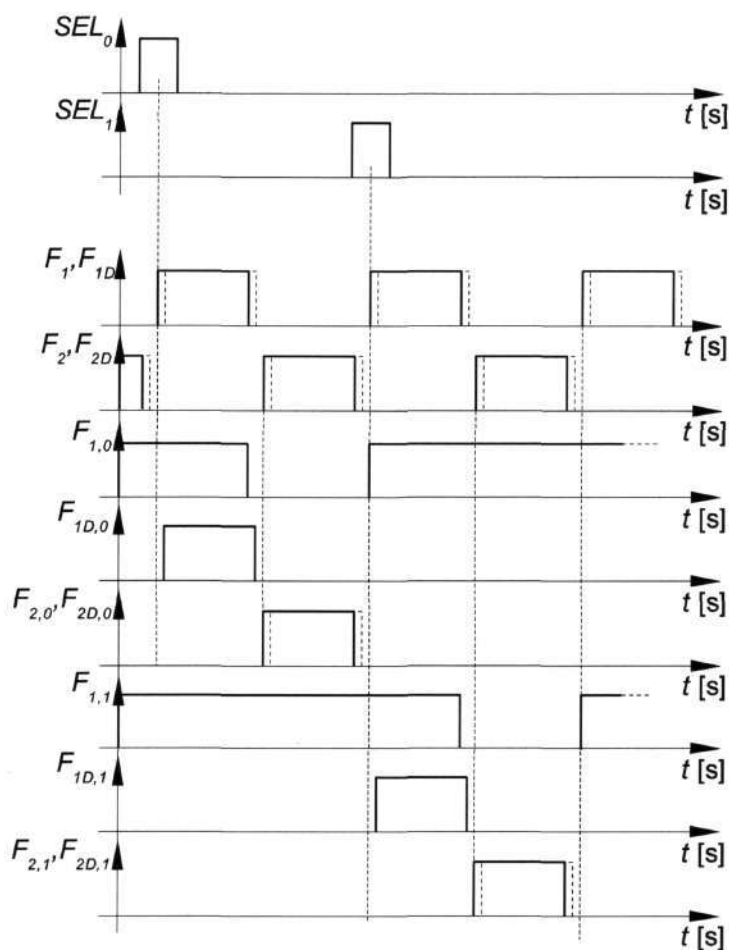


Slika 87: Vezje za generacijo neprekrivnih krmilnih signalov multipleksiranega integratorja

Signale posameznih vzorčevalnih vej: $F_{1D,m}$, $F_{2,m}$ in $F_{2D,m}$ generiramo z IN vrati, s katerimi maskiramo neželene impulze (slika 88) skladno z aktivnim signalom izbire SEL_m . Slika prikazuje tudi izvedbo signala $F_{1,m}$, saj tega signala ne moremo generirati iz maskirnega signala $SEL_m F_1$, ki je že sam po sebi sinhroniziran na F_1 . Generirani signali so prikazani na sliki 89.



Slika 88: Vezje za generacijo multipleksiranih krmilnih signalov signalne veje



Slika 89: Krmilni signali posameznih vzorčevalnih vej

6.9 Literatura k 6. poglavju

- [1] International Standard CEI/IEC 62053, Electricity metering equipment (a.c.) – Particular requirements – Part 21: Static meters for active energy (classes 1 and 2), International Electrotechnical Commission, Geneva, 2003.
- [2] T. Yoshinaga et al., Electronic Watt-Hour meter, United States Patent No. 5,764,523, June 1998.
- [3] E. G. Nestler et al., Rapid Multiplexing Analog to Digital Converter, United States Patent No. 6,593,865 B2, July 2003.
- [4] James C. Candy, Gabor C. Temes, Oversampling methods for A/D and D/A conversion, Oversampling Delta-Sigma Data Converters, IEEE Press, New York, 1992.
- [5] Steven R. Norsworthy, Richard Schreier, Gabor C. Temes, Delta-Sigma Data Converters, Theory, Design and Simulation, IEEE Press, New York, 1997.

- [6] J.C. Candy, Y.C. Ching, D.S. Alexander, Using triangular weighted interpolation to get 13-bit PCM from a sigma-delta Modulator, IEEE Trans.Communication, str. 1268-1275, Vol. 24, 1976.
- [7] A. V. Oppenheim, R. W. Schafer, Discrete-time Signal Processing, Prentice-Hall, New Jersey, 1989.
- [8] J. D. Everard, A Single-Channel PCM Codec, IEEE Journal of Solid-State Circuits, vol. 14, str. 25 - 38, Feb. 1979.
- [9] J. Kotowski et al., Offset and Phase Correction for Delta-Sigma Modulators, United States Patent No. 5,561,660, October 1996.
- [10] Vojko Strle, Uroš Bizjak, Multipleksne digitalne strukture, projektna dokumentacija, Iskraemeco, 2004.
- [11] N. Weste, K. Eshraghian, Principles of CMOS VLSI Design, A Systems Perspective, Addison-Wesley, Reading, 1985.
- [12] D. Raič, Reduction of switching noise and power supply currents in digital circuits with directed data flow, Informacije MIDEM št. 4, december 2002.

7 Rezultati

7.1 Simulacije operacijskega ojačevalnika

S pomočjo ročnega ali avtomatskega postopka optimiziramo posamezne elemente operacijskega ojačevalnika glede na želene parametre (poglavje 5.1.3). Za vhodne parametre izberemo parametre, dobljene s sistemsko analizo vplivov (poglavje 3.3):

- diferencialno ojačanje A_d
- mejno frekvenco ojačanja f_t
- izhodno odzivnost SR
- fazno varnost v diferencialnem načinu PM_d
- bremensko kapacitivnost C_L^3
- šumno karakteristiko

Cilj optimizacije je izračun optimalnih dimenzij transistorjev popolnoma diferencialnega operacijskega ojačevalnika s strukturo na sliki 90 z minimalnimi dimenzijami in z minimalno porabo moči. Ostale zahteve podaja tabela 12.

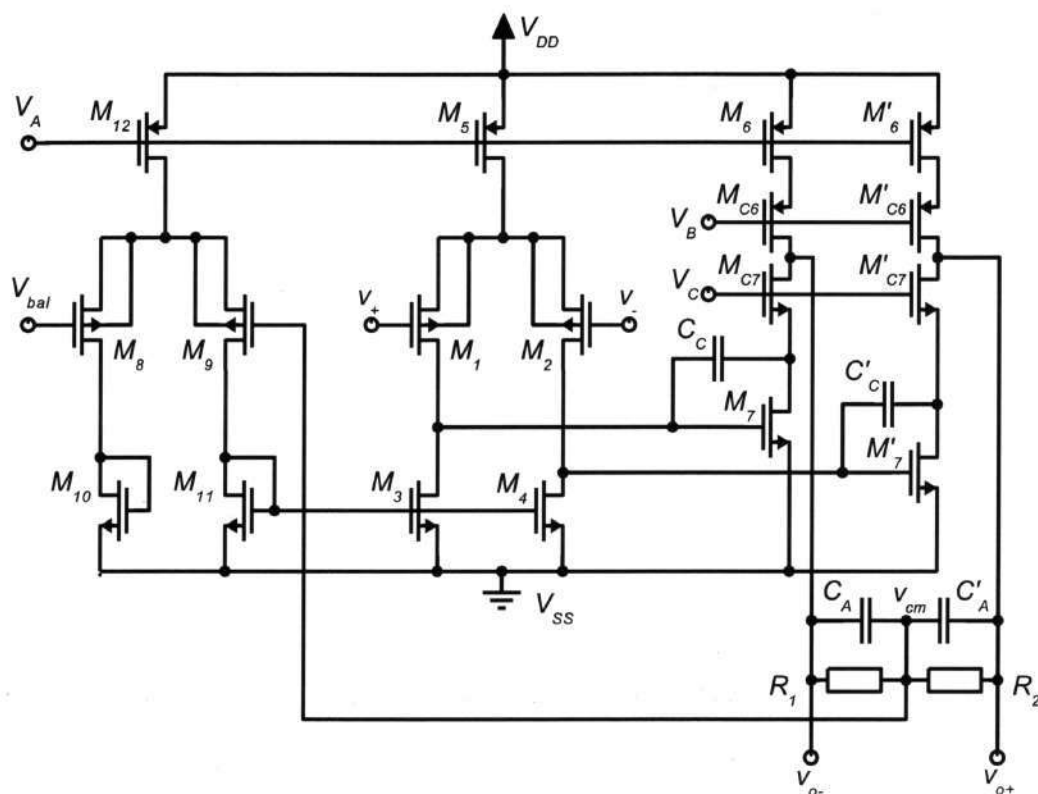
Parameter	Definicija	Vrednost
A_d	Diferencialno ojačanje	80 dB
f_t	Mejna frekvenca ojačanja	5 MHz
SR	Izhodna odzivnost	5 V/ μ s
PM_d	Fazna varnost	63°
C_I	Integracijski kondenzator	4 $C_0 = 3$ pF
C_{inp}	Kondenzator signalne veje	1,2,4 $C_0 = 0.75$ pF, 1.5pF, 3 pF
C_{ref}	Kondenzator referenčne veje	1 $C_0 = 0.75$ pF
C_{ip}	Vhodna kapacitivnost ojačevalnika	1.2 pF
C_L	Bremenska kapacitivnost, enačba (5.5)	2.31 pF, 2.62 pF

Tabela 12: Zahtevane lastnosti operacijskega ojačevalnika

³ Maksimalno bremensko kapacitivnost izračunamo po enačbi (5.5). Bremenska kapacitivnost se spreminja s spreminjanjem vrednosti kondenzatorja C_S pri nastavljenem ojačanju, preveriti moramo delovanje operacijskega ojačevalnika pri vsaki vrednosti C_S . Vrednost enotskega kondenzatorja C_0 je 0.75pF.

Začetni približek posameznih parametrov izračunamo s pomočjo enačb (5.2) do (5.21). Po postopku, opisanem v poglavju 5.1.3, v vsaki iteraciji spremenimo nekaj parametrov posameznih komponent ter s simulacijo ovrednotimo vpliv spremembe na želeno karakteristiko operacijskega ojačevalnika. Simulacija posamezne iteracije s katerim od programskih paketov za simuliranje vezij [1] že upošteva parazitne elemente posameznih komponent.

V postopku optimizacije upoštevamo tudi povratno informacijo o parazitnih elementih, dobljenih iz končne geometrije vezja (post-layout back-annotation) [2]. Na ta način se s simulacijo kar najbolj približamo parametrom realnega vezja.



Slika 90: Struktura popolnoma diferencialnega ojačevalnika

Glede na izhodno odzivnost (slew rate) najprej izberemo napajalni tok izhodne stopnje. Na osnovi definiranega napajalnega toka določimo ojačanje izhodne kaskodne stopnje, s tem pa definiramo velikost izhodnega transistorja in položaj nedominantnega pola. Nedominantni pol, ki je odvisen od geometrije kaskodne stopnje, postavimo na želeno frekvenco enotskega ojačanja. Kompenzacijski kondenzator in diferencialno ojačanje definirata ojačanje prve stopnje, ob tem pa moramo upoštevati še tokovno zmogljivost notranjih tokovnih virov glede na notranjo strmino naklona. Območje vhodne in izhodne napetosti ter šumno karakteristiko

preverimo, ko zadostimo zahtevani malosignalni karakteristiki ojačevalnika. Parameter, ki je izven želenega območja, korigiramo s spremembo geometrije ustreznih transistorjev, degradacijo ostalih parametrov pa preverimo s simulacijo.

V tabeli 13 so zbrane optimalne velikosti transistorjev popolnoma diferencialnega operacijskega ojačevalnika (slika 90), ki jih dobimo po nekaj iteracijskih korakih. Ostale lastnosti operacijskega ojačevalnika so zbrane v tabeli 14.

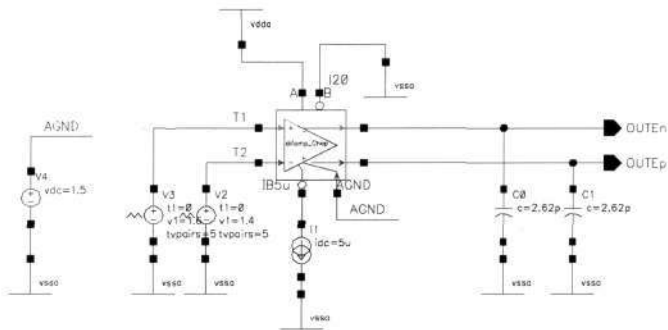
Transistor	W/L (μm)
M1, M2	150.0/5.0
M3, M4	60.0/2.4
M5	184.0/1.2
M6, M'6	368.0/1.2
MC6, M'C6	368.0/1.2
M7, M'7	120.0/1.2
MC7, M'C7	120.0/1.2
M8, M9	150.0/5.0
M10, M11	100.0/4.0
M12	184.0/1.2

Tabela 13: Optimalne velikosti transistorjev operacijskega ojačevalnika

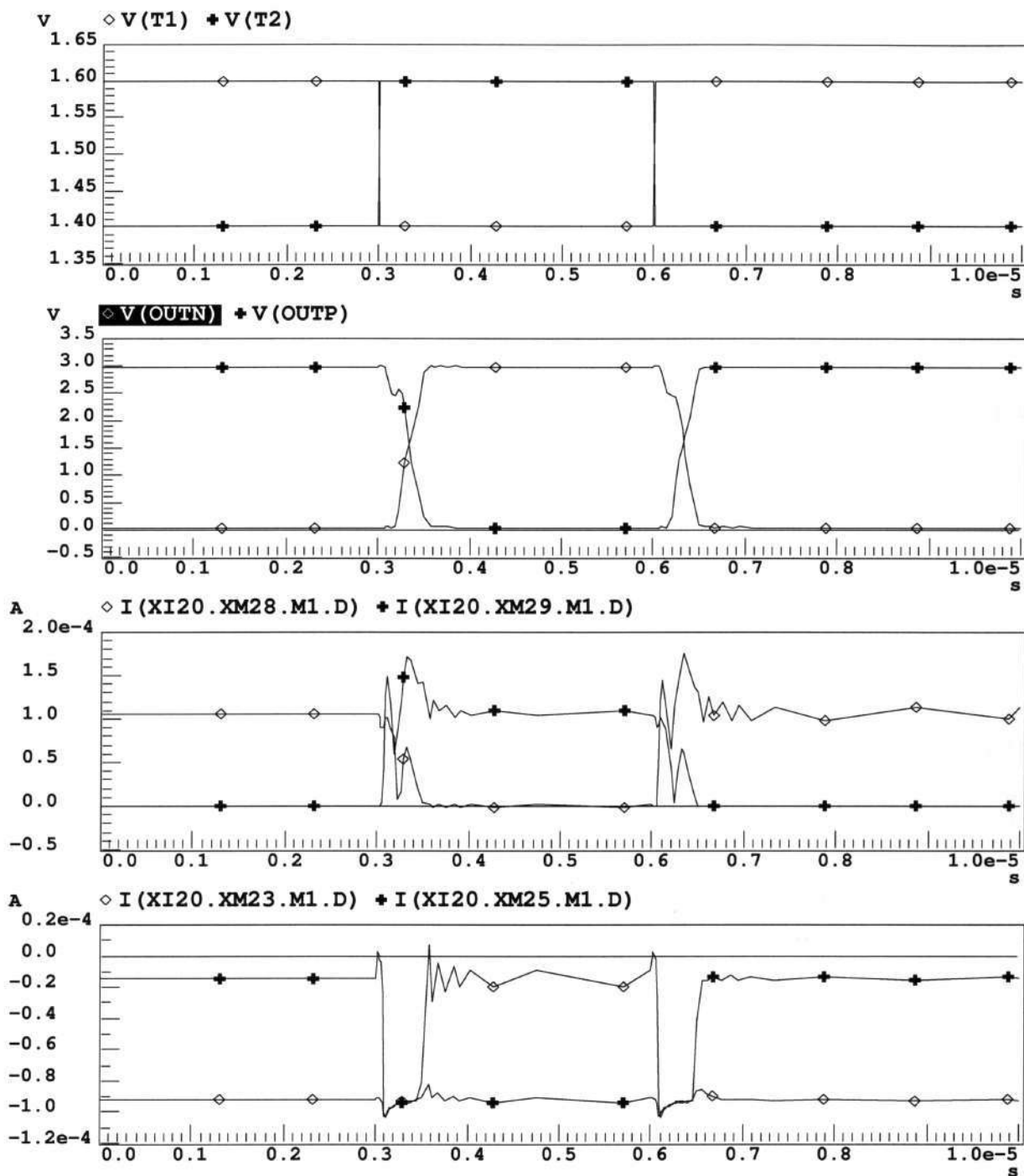
A_d	89.3 dB
f_t	6.26 MHz
PM_d	61°
SR	15 V/μs
C_C in C'_C	2 pF
C_A in C'_A	0.44 pF
R_1 in R_2	100 kΩ
V_{DD}	3 V
$I_{kaskode}$	90 uA
I_{tot}	590 uA
P_{tot}	1.77 mW
V_{th0} (pri 1MHz)	36 nV/ $\sqrt{Hz}$

Tabela 14: Lastnosti operacijskega ojačevalnika

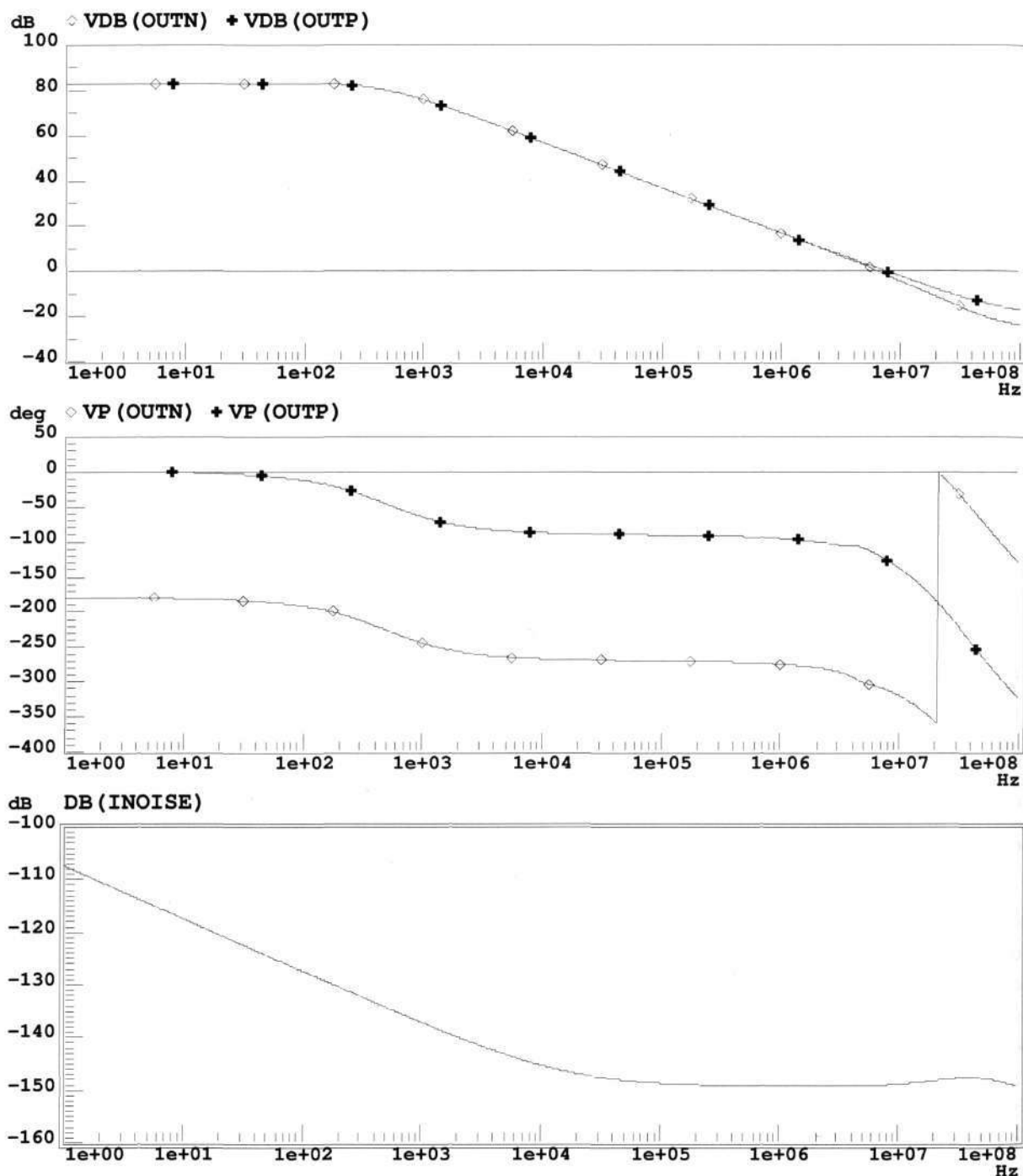
S tranzientno simulacijo preverimo izhodno odzivnost (slew rate) operacijskega ojačevalnika pri hitri spremembi vhodnih signalov. Rezultati simulacije testnega vezja (slika 91) so prikazani na sliki 92, prikazujejo pa vhodna signala T_1 in T_2 , odziv posameznih izhodov na vhodni signal, tok aktivnih transistorjev kaskode (M_7 in M'_7 , v grafu imenovana M_{28} in M_{29}) ter tok transistorjev tokovnega generatorja kaskode (M_6 in M'_6 , v grafu imenovana M_{23} in M_{25}).



Slika 91: Simulacijsko okolje operacijskega ojačevalnika



Slika 92: Tranzientna analiza operacijskega ojačevalnika



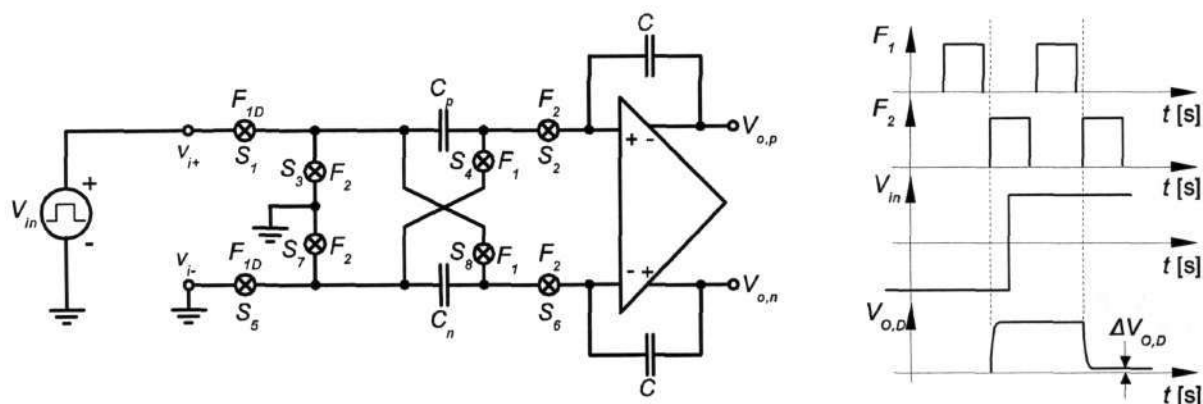
Slika 93: Izmenična analiza operacijskega ojačevalnika

Slika 93 prikazuje rezultate izmenične analize operacijskega ojačevalnika. Zgornja dva grafa prikazujeta malosignalno izmenično ojačanje in fazno karakteristiko ojačevalnika. Graf malosignalnega ojačanja prikazuje ojačanje posamezne izhodne veje diferencialnega ojačevalnika, skupno diferencialno ojačanje je za 6dB višje.

Spodnji graf v sliki 93 prikazuje šumno gostoto, preračunano na vhod operacijskega ojačevalnika. Iz grafa ocenimo frekvenco točko prevoja šumne gostote $1/f$ šuma (f_k) na približno 20 kHz.

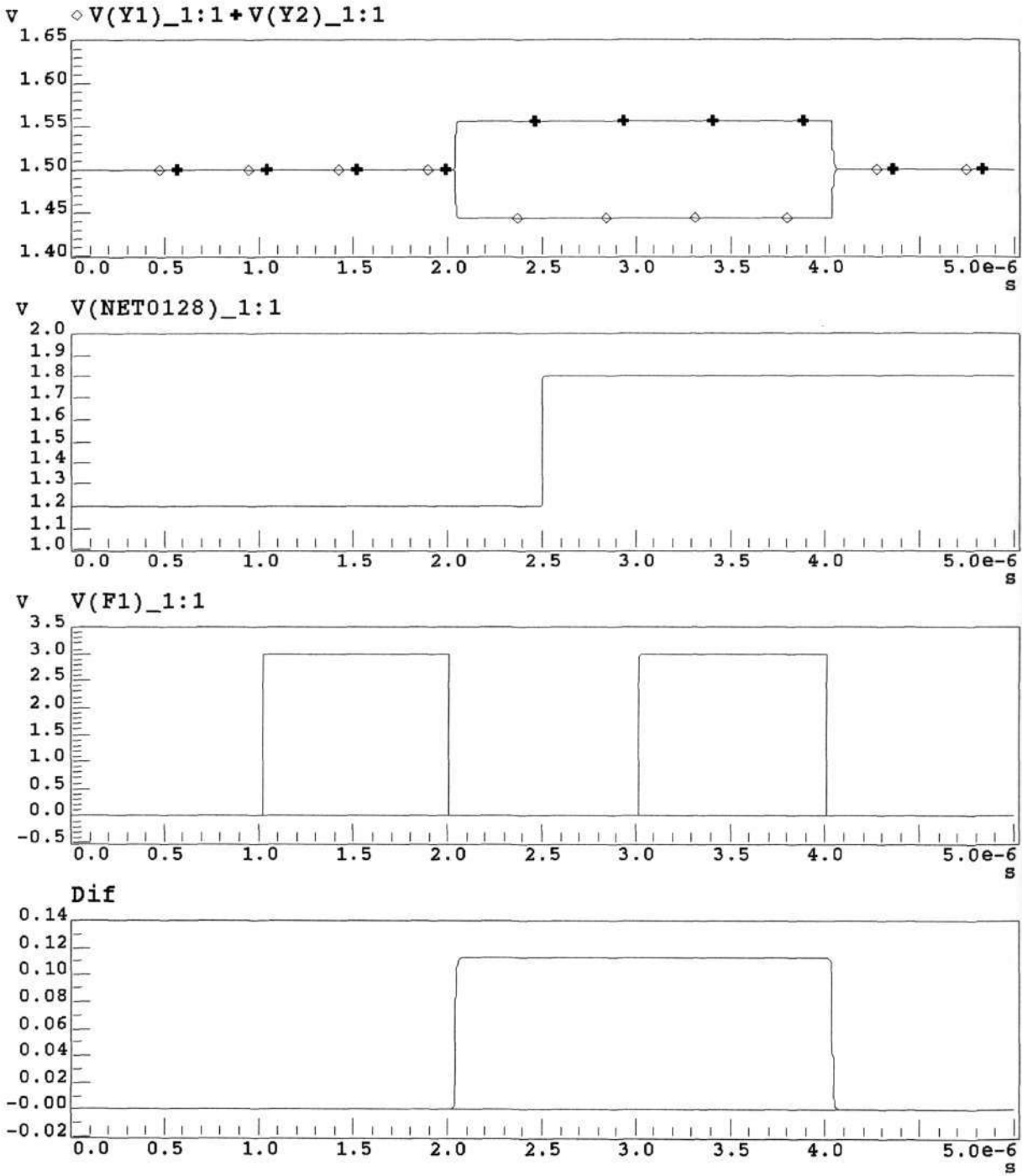
7.2 Simulacije SC vhodne stopnje

Pri SC vhodni stopnji opazujemo vpliv injeciranega naboja v signalno pot. Vpliv lahko ocenimo s testnim vezjem (slika 94), kjer z idealnim integratorjem integriramo naboj kondenzatorjev SC vhodne stopnje, vzorčen v dveh skrajnih točkah vhodnega signala. Napetost idealnega integratorja po integriranju naboja obeh vzorcev predstavlja zgolj oceno celotnega vpliva nesimetrije SC vezja, saj je takšna simulacije zaradi odštevanja dveh relativno velikih vrednosti z zelo majhno medsebojno razliko razmeroma netočna.



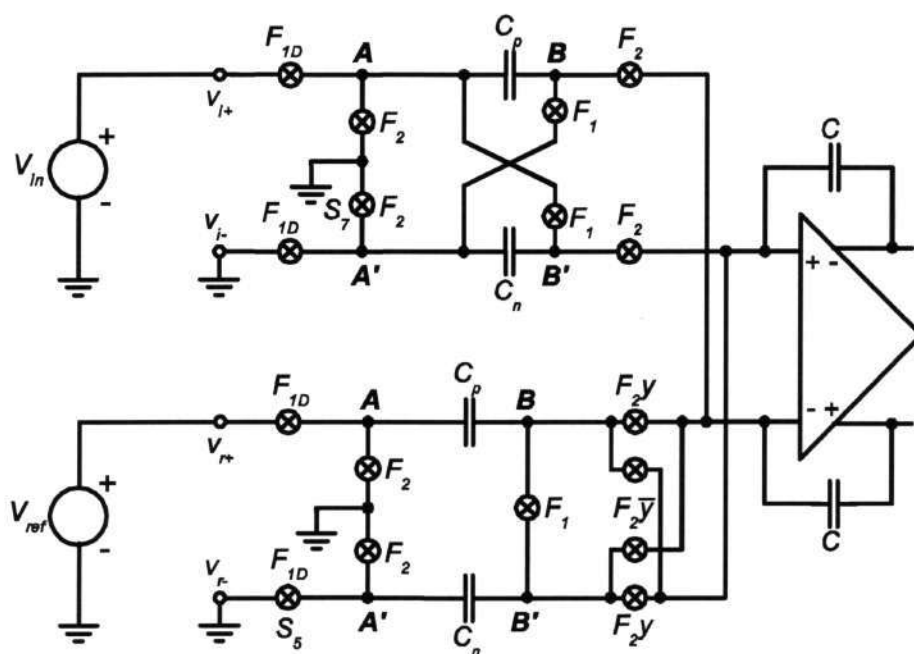
Slika 94: Ocena vpliva injeciranega naboja SC vezja

Slika 95 prikazuje simulacijo predlaganega SC vezja. Skupni injecirani naboj (kot posledica injeciranja naboja kanala in posledica presluha signala ure) je zanemarljiv, saj ima pri tako majhnih razlikah težave že simulator vezij. Razmerje nabojev signala in injeciranega naboja je v opisanem, najslabšem primeru, skoraj 18000:1.



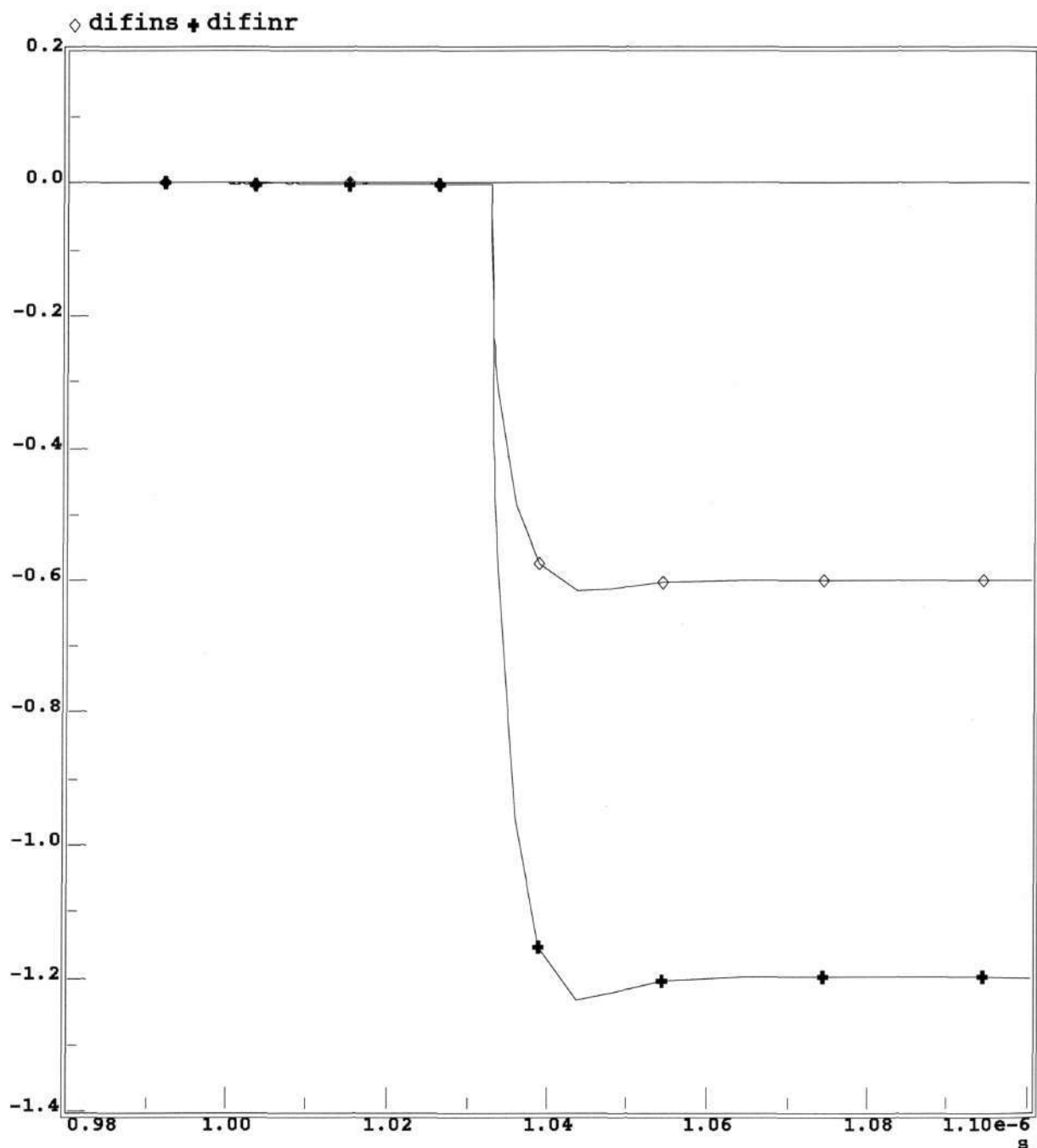
Slika 95: Simulacija vpliva injeciranega naboja SC vezja

Delovanje temperaturne kompenzacije vhodnega SC vezja preverimo s tranzientno analizo vezja na sliki 96. Na vhode referenčne in signalne veje priključimo enosmerno napetost in opazujemo obliko prehodnega pojava napetostne razlike vhodnih vozlišč ($A - A'$) v referenčni in signalni veji pri vklopu krmilnega signala F_1 , oz. razliko izhodnih vozlišč ($B - B'$) v referenčni in signalni veji pri vklopu krmilnega signala F_2 .



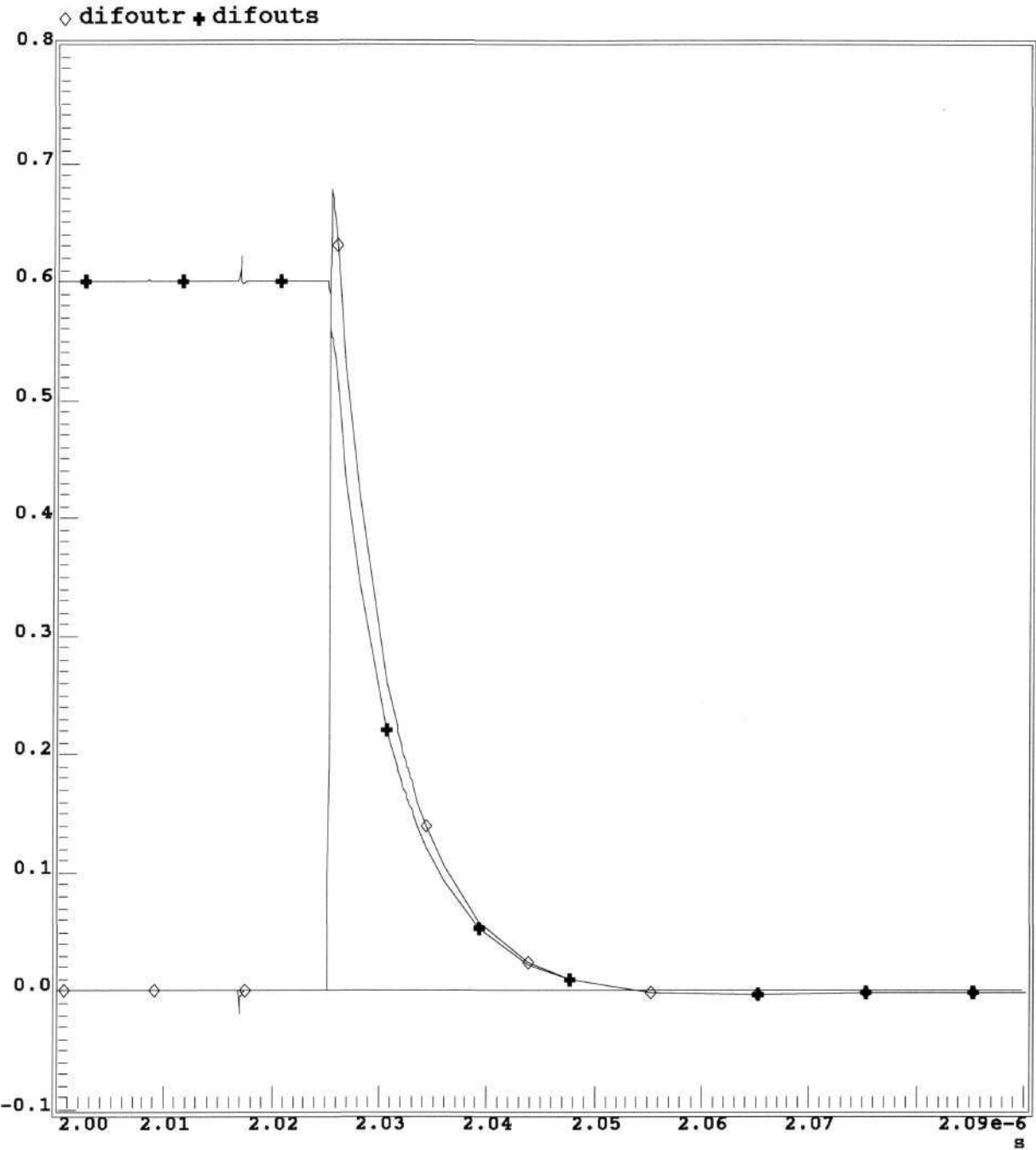
Slika 96: Simulacija temperaturne odvisnosti vhodnega SC vezja

Vezje bo temperaturno kompenzirano ko dosežemo, da sta obliki prehodnega pojava pri vklopu in izklopu stikal referenčne in signalne veje enaki. Slika 97 prikazuje napetostne razlike vozlišč ($A - A'$) referenčne veje (difinr) in signalne veje (difins) pri prehodnem pojavu po vklopu stikal, krmiljenih s signalom F_{ID} . Obliki signala sta si podobni, torej je temperaturna kompenzacija vhodnih stikal dosežena.



Slika 97: Prehodni pojav pri vklopu vhodnih stikal

Slika 98 prikazuje napetostne razlike vozlišč ($A - A'$) referenčne veje (difoutr) in signalne veje (difouts) pri prehodnem pojavu pri vklopu stikal, krmiljenih s signalom F_2 . Tudi tukaj sta si obliki podobni, kar potrjuje, da sta tudi izhodni stikali temperaturno kompenzirani.

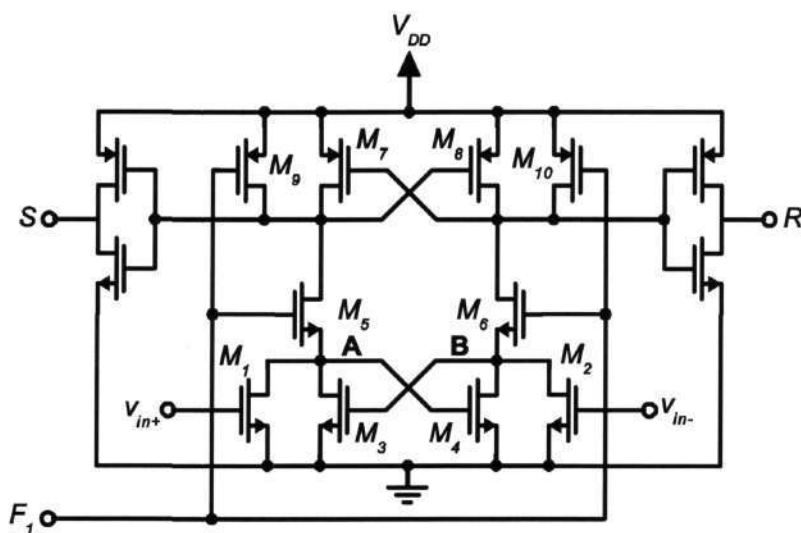


Slika 98: Prehodni pojav pri vklopu izhodnih stikal

7.3 Simulacije sinhronega primerjalnika

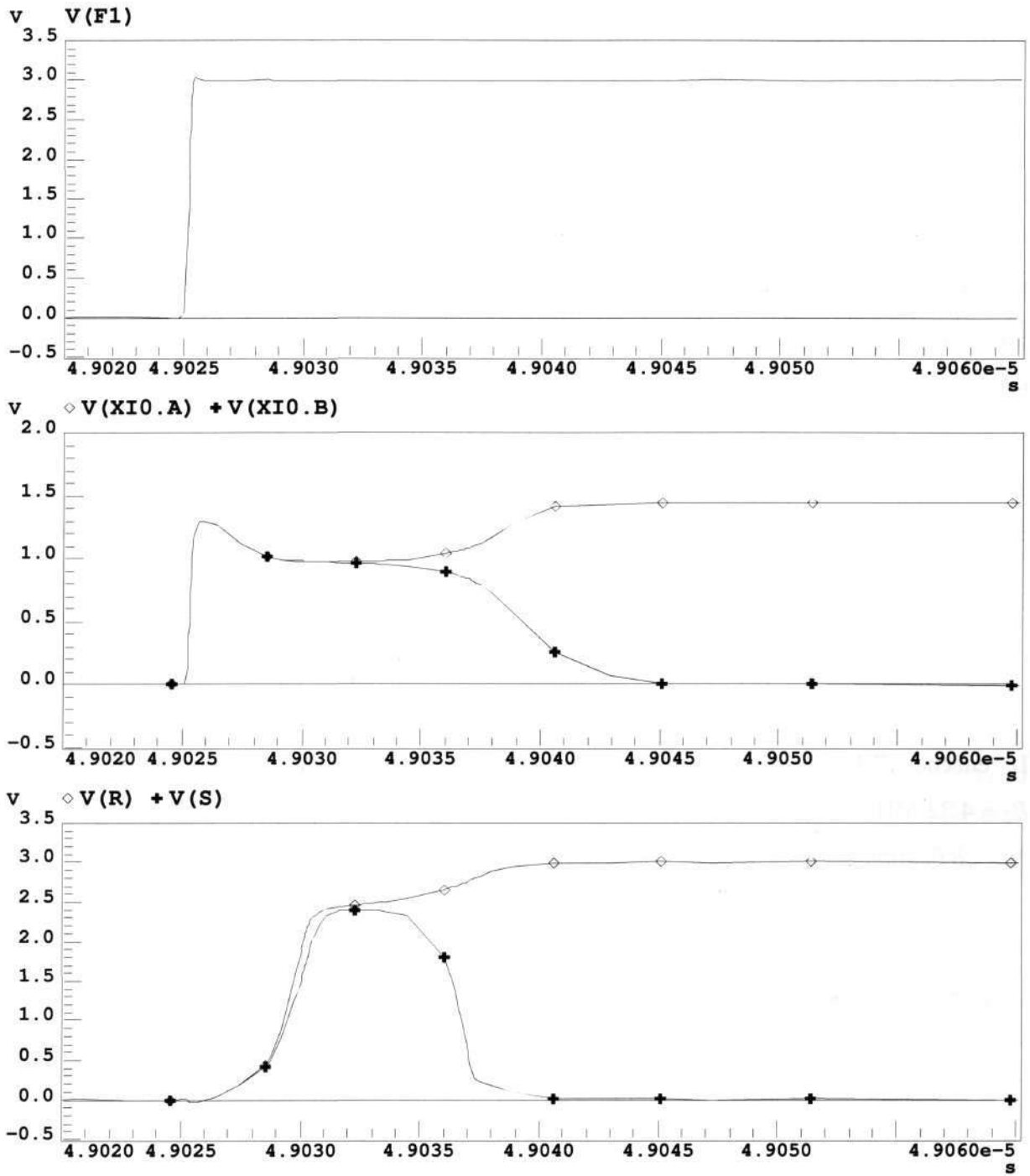
Pri simulaciji delovanja sinhronega primerjalnika (slika 99) prožimo vhod F_I s pravokotnim prožilnim impulzom, hkrati pa spreminjamo napetosti na vseh V_{in+} in V_{in-} . Ko je prožilni signal F_I na nizkem nivoju, sta transistorja M_5 in M_6 izključena, transistorja M_9 in M_{10} pa držita izhoda S in R na nizkem nivoju ter bistabilno celico M_7/M_8 v neaktivnem stanju.

Ob prehodu prožilnega signala F_I iz nizkega v visoko stanje, preko prožilnih transistorjev priključimo bistabilno celico M_3/M_4 na napajalno napetost V_{DD} . V tem trenutku tok enega od prožilnih transistorjev M_1/M_2 premakne bistabilno celico iz astabilne točke, temu pa sledi tudi P-MOS bistabilna celica M_7/M_8 .



Slika 99: Sinhroni primerjalnik

Slika 100 prikazuje točki A in B vezja v primeru, ko je napetost na vhodu V_{in+} manjša od napetosti na vhodu V_{in-} . Takoj po prehodu prožilnega signala F_I v visoko stanje vezje preide iz astabilne delovne točke v eno od stabilnih stanj. Predstavljeno vezje preklopi v eno od stabilnih stanj že 15 ns po prehodu prožilnega signala v aktivno stanje.



Slika 100: Potek signalov pri proženju sinhronnega primerjalnika

7.4 Šumne razmere v integratorju

Šumne razmere v integratorju izračunamo s pomočjo enačb v poglavju 5.3, s podatki iz malosignalne karakteristike operacijskega ojačevalnika (slika 93) in podatkov iz tabele 15:

Nivo termičnega šuma pri 1MHz	$V_{th0} = 36nV/\sqrt{Hz}$
Zgornja mejna frekvenca $1/f$ šuma	$f_k = 20\text{ kHz}$
Mejna frekvenca ojačevalnika	$f_i = 6.26\text{ MHz}$
Faktor povratne zanke integratorja (enačba 3.46)	$\beta_i = 0.67, 0.44$
Frekvenca vzorčenja CDS ničenja	$f_s = 512\text{ kHz}$
Razmerje T_H/T_S	$T_H = 0.5\ T_S$

Tabela 15: Podatki pri izračunu šumnih razmer integratorja⁴

Enačbi (5.62) in (5.63) podata ekvivalentno šumno pasovno širino integratorja pri dveh različnih podanih faktorjih povratne zanke (β_1 in β_2):

$$B_{1,2} = \frac{\pi}{2} \beta_{1,2} \cdot f_i$$

(7.1)

Iz enačbe (7.1) za $C_{inp} = 0.75pF$ in $C_{inp} = 3pF$ izračunamo $B_1 = 6.58\text{ MHz}$ in $B_2 = 4.32\text{ MHz}$. Po enačbi (5.60) k skupni močnostni gostoti šuma v osnovnem pasu prispeva $N = 2BT_S$ komponent:

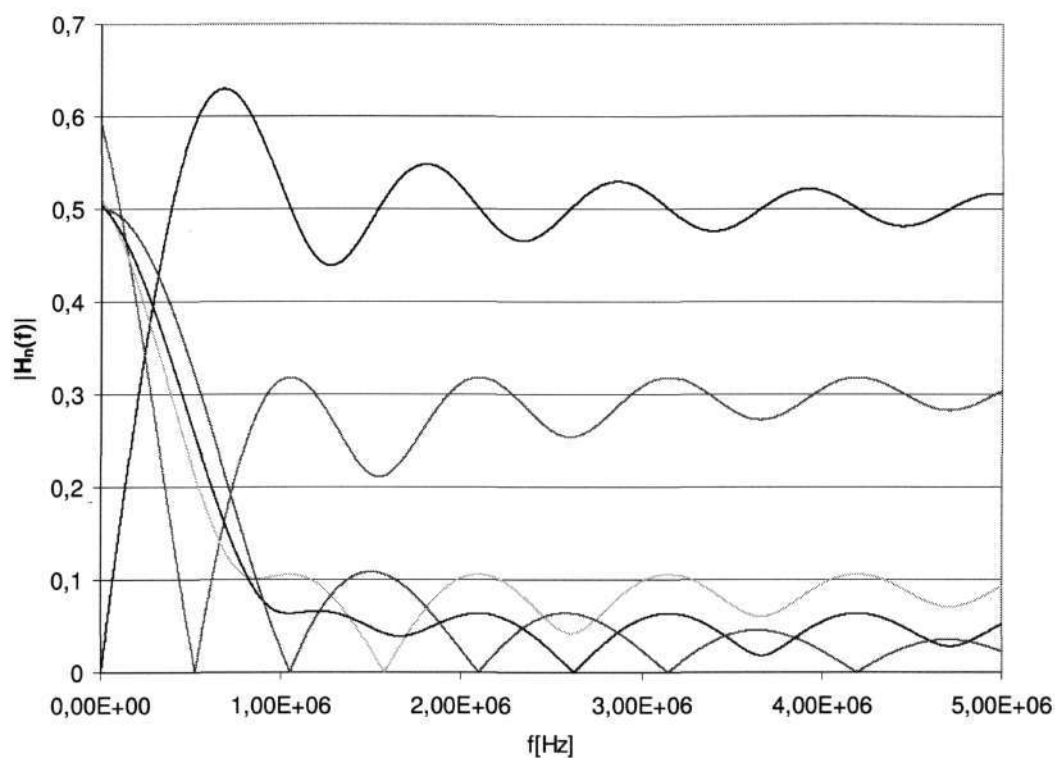
$$\sum_{n=-\infty}^{+\infty} S_{th} \left(f - \frac{n}{T_S} \right) \cong 2 \frac{B_{1,2}}{f_s} V_{th0}^2$$

(7.2)

Iz enačbe (7.2) sledi $N_1 = 25$ in $N_2 = 16$.

Slika 101 prikazuje osnovno prevajalno funkcijo ($n = 0$) in nekaj z gibnih prevajalnih funkcij ničenja CDS po enačbi (5.56) pri $T_H / T_S = 0.5$.

⁴ Faktor povratne zanke (β_i) v tabeli je podan pri $C_{inp}= 0.75\text{ pF}$ in $C_{inp} = 3\text{ pF}$



Slika 101: Osnovna in nekaj zgibnih prevajalnih funkcij ničanja CDS

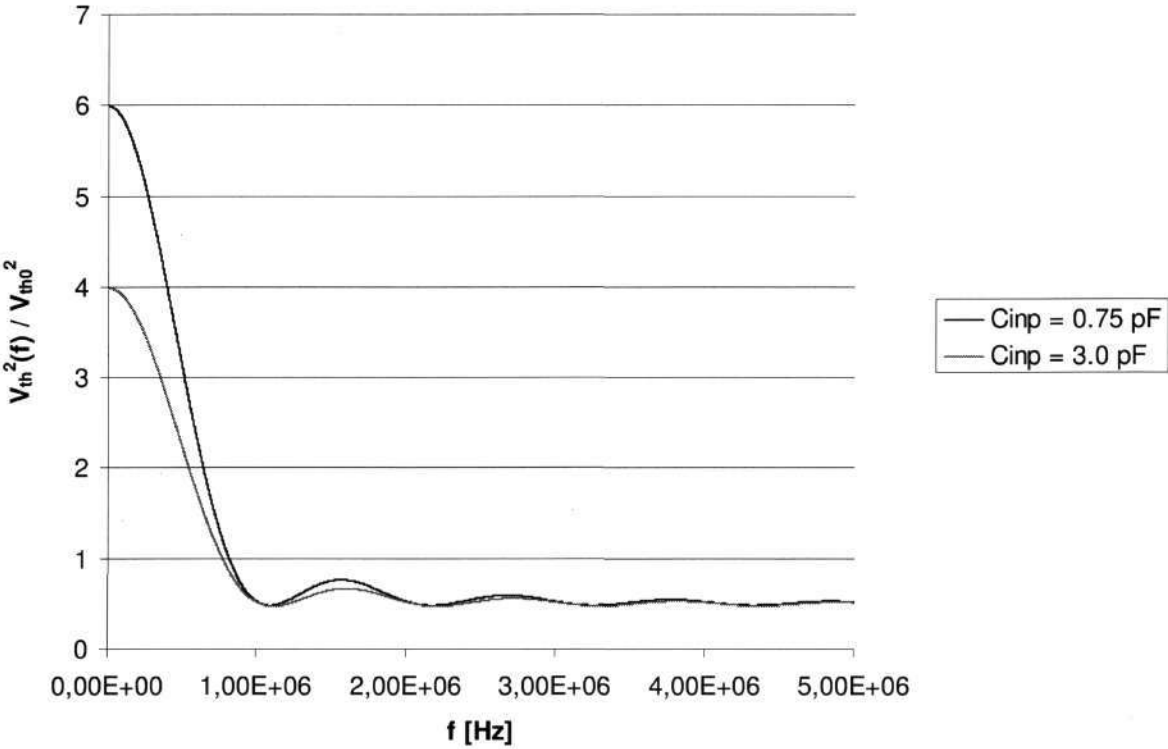
Slika 102 prikazuje celotno šumno močnostno gostoto po ničanju CDS, kjer je:

$$S_z(f) = \sum_{n=-BT_s}^{BT_s} |H_n(f)|^2 S_{th} \left(f - \frac{n}{T_s} \right) \quad (7.3)$$

$S_{th}(f)$ v enačbi (7.3) definiramo kot šumni vir s konstantno močnostno gostoto S_{th0} v frekvenčnem pasu $\pm B$:

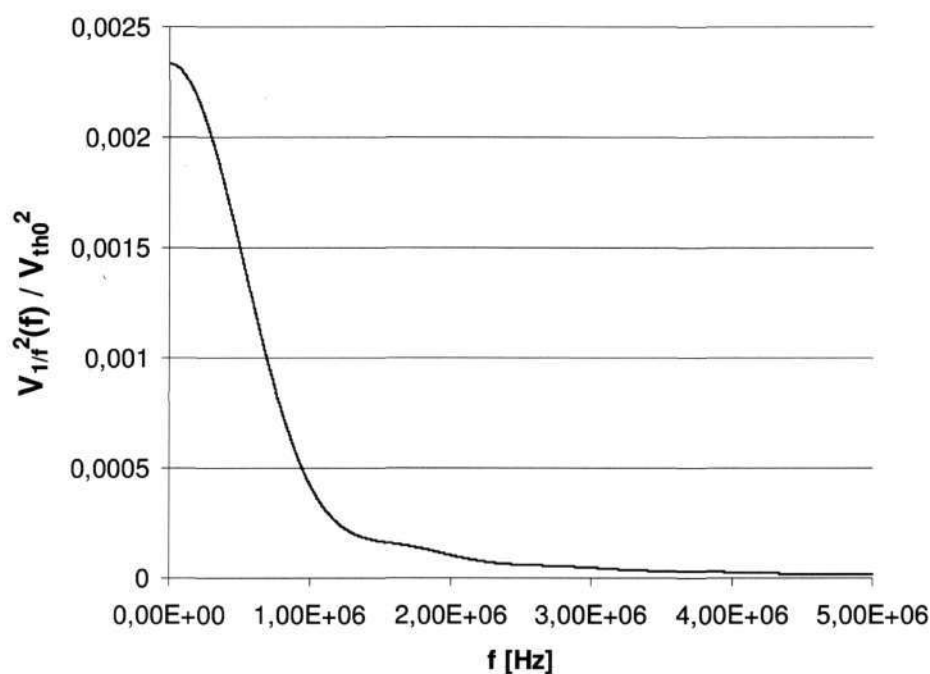
$$S_{th}(f) = \begin{cases} 0, & f \leq -B \\ S_{th0}, & -B < f \leq B \\ 0, & f > B \end{cases} \quad (7.4)$$

Rezultat, prikazan na sliki 102 dokazuje, da je enačba (5.60) dober približek za izračun močnostne gostote šuma v nizkofrekvenčnem signalnem pasu tudi v primeru, ko je T_H primerljiv T_S . Na sliki 102 je maksimalna gostota šumne moči pri $C_{inp}=0.75$ pF enaka $5.99 S_{th0}$, medtem ko je maksimalna gostota šumne moči po enačbi (5.64) enaka $5.79 S_{th0}$.



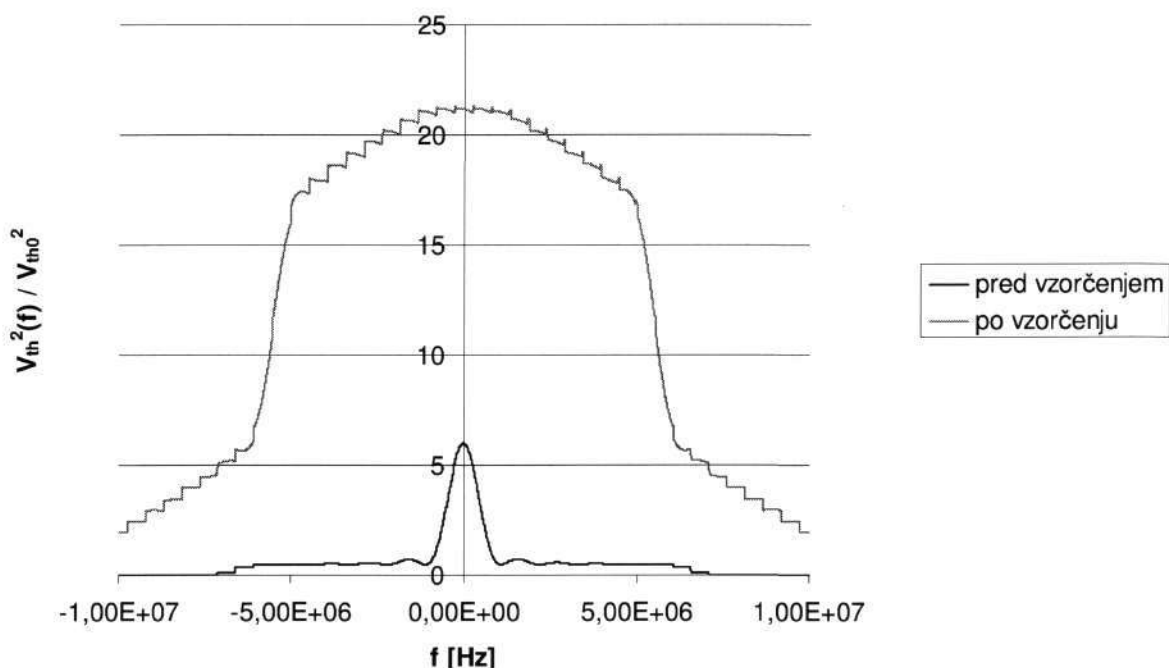
Slika 102: Gostota šumne moči termičnega šuma po ničenju CDS

Slika 103 prikazuje gostoto šumne moči ničnega $1/f$ šuma s $f_K = 20$ kHz. Prispevek šumne moči ničnega $1/f$ šuma k celotni šumni moči je v primerjavi s šumno močjo ničnega termičnega šuma v signalnem pasu zaradi nizkega f_K praktično zanemarljiv.



Slika 103: Gostota šumne moči $1/f$ šuma po ničanju CDS

Šumne vire z gostoto šumne moči, prikazano na sliki 102 in 103, vzorčimo s frekvenco f_s . Slika 104 prikazuje skupno gostoto šumne moči po vzorčenju s f_s . Pri vzorčenju se prispevki posameznih zgibov zgibajo v frekvenčni pas $0 \text{ Hz} - f_s/2$.



Slika 104: Gostota šumne moči skupnega šuma po vzorčenju

Skupno šumno moč pretvorimo na signalni vhod integratorja po enačbi 5.50. Faktorja povratne vezave $\beta_{1,2}$ sta podana z enačbo (3.48), pri $C_{inp} = 0.75$ pF in $C_{inp} = 3$ pF pa znašata 0.67 in 0.44. Ojačanje integratorja pri podanih C_{inp} in C_i znaša $g_0 = C_{inp} / C_i = 0.25$, oz. 1.0. Močnostno gostoto ničnega šuma po vzorčenju (S_{CDS}) lahko v signalnem pasu obravnavamo kot konstantno vrednost.

$$F = \left(\frac{1}{\beta_i} \right)^2 \left(\frac{1}{g_0} \right)^2 \quad (7.5)$$

Faktor F v enačbi (7.5) sestavljata dva člena. Prvi predstavlja ojačanje operacijskega ojačevalnika v povratni zanki, z njim preračunamo vhodni šum operacijskega ojačevalnika na izhod, drugi pa predstavlja obratno vrednost ojačanja integratorja, s katero pretvorimo šum na izhodu integratorja na njegov signalni vhod.

A_{int}/A_{int0}	C_{inp} [pF]	B_N [MHz]	β_i	g_0	S_{CDS}/V_{th0}^2	V_{OpAmp} [nV/ $\sqrt{\text{Hz}}$]
1	0.75	6.58	0.67	0.25	21.28	991.14
4	3.0	4.32	0.44	1.0	15.18	317.94

Tabela 16: Prispevek šumnih virov ojačevalnika k gostoti šumne moči integratorja

Močnostno gostoto šuma stikal podaja enačba (5.73). Analizirajmo dva primera; prvega z enim samim vhodnim kondenzatorjem ($C_{inp} = 0.75$ pF) in drugega pri vključenem ojačanju, ($C_{inp} = 3.0$ pF), oziroma ko je C_{inp} sestavljen iz treh ločenih kondenzatorjev ($C_{inp} = [2C_0] + 2 \cdot C_0$). Izračunamo močnostno gostoto šuma pri $f_s = 512$ kHz, $T = 300$ °K, $k = 1.38 \cdot 10^{-23}$ JK⁻¹, $m = 0.5$ v frekvenčnem pasu med 0 in $f_s/2$.

1. primer:

$$S_{sw}(f) = \frac{4kT}{f_s} \left(\frac{1}{C_{ref}} + \frac{(1-m)^2}{2C_{CDS}} + \frac{1}{C_{sig}} \right) = \frac{4kT}{f_s} \left(\frac{1}{C_0} + \frac{0.125}{C_0} + \frac{1}{C_0} \right) \tag{7.6}$$

2.primera:

$$S_{sw}(f) = \frac{4kT}{f_s} \left(\frac{1}{C_{ref}} + \frac{(1-m)^2}{2C_{CDS}} + \sum_n \frac{1}{C_{sig,n}} \right) = \frac{4kT}{f_s} \left(\frac{1}{C_0} + \frac{0.125}{C_0} + \frac{1}{2C_0} + \frac{2}{C_0} \right) \tag{7.7}$$

Zaradi diferencialne strukture vezja velja:

$$S_{sw,dif} = 2 \cdot S_{sw} \tag{7.8}$$

A_{in}/A_{int0}	C_{ref} [pF]	C_{CDS} [pF]	$C_{sig,1}$ [pF]	$C_{sig,2}$ [pF]	$C_{sig,3}$ [pF]	$V_{sw,dif}$ [nV/ $\sqrt{\text{Hz}}$]
1	0.75	0.75	0.75	-	-	423.06
4	0.75	0.75	0.75	0.75	1.5	552.56

Tabela 17: Prispevek šumnih virov SC vezja k gostoti šumne moči integratorja

Gostote šumnih moči šumnih virov integratorja preračunamo na vhod integriranega vezja z obratnim faktorjem ojačanja predojačevalnika $A_p = 4$:

$$V_{int,input}^2 = \frac{1}{A_p^2} (V_{OpAmp}^2 + V_{sw,dif}^2) \tag{7.9}$$

A_{in}/A_{int0}	V_{OpAmp} [nV/ $\sqrt{\text{Hz}}$]	$V_{sw,dif}$ [nV/ $\sqrt{\text{Hz}}$]	$V_{int,input}$ [nV/ $\sqrt{\text{Hz}}$]
1	991.14	423.06	269.42
4	317.94	552.56	159.38

Tabela 18: Gostota šumne moči integratorja, preračunana na vhod integriranega vezja

7.5 Šumna analiza predojačevalnika

Predojačevalnik izvedemo z operacijskim ojačevalnikom z lastnostmi, zbranimi v tabeli 14, v signalno verigo pa je vezan po vezavi na sliki 58. $1/f$ šum operacijskega ojačevalnika v signalnem pasu zmanjšamo s sekanjem signala (chopping), kot je predstavljeno na sliki 57.

Povečanje gostote šumne moči v signalnem pasu pri sekanju signala ovrednotimo po enačbi (5.84). Za frekvenco sekanja signala izberemo 16384 Hz, ta frekvenca je nekoliko manjša od zgornje mejne frekvence $1/f$ šuma (20 kHz). Po enačbi (5.85) izračunamo gostoto šumne moči v signalnem pasu:

$$S_{chop}(f) = S_{th0}(1 + 0.8525 f_k T_c) = 2.26 S_{th0} \tag{7.10}$$

Celotno gostoto šumne moči diferencialnega predojačevalnika z dodanimi upori povratne vezave izračunamo iz:

$$V_T^2(f) = 2(V_{R,200k}^2 + V_{R,50k}^2) + S_{chop}(f) \tag{7.11}$$

Ekvivalentna pasovna širina šuma predojačevalnika pri faktorju povratne zanke $\beta = 4$ znaša:

$$B = \frac{\pi}{2} \frac{1}{\beta} f_i = 2.45 MHz \tag{7.12}$$

Zaradi vzorčenja širokopasovnega termičnega šuma z vzorčno frekvenco $f_s = 512$ kHz, izračunamo gostoto šumne moči vhodnega šumnega vira po enačbi (7.13):

$$V_{pamp, input}^2 = V_{T, fold}^2 \cong 2BT_s V_T^2 \tag{7.13}$$

V_{chop} [nV/ $\sqrt{Hz}$]	$V_{R,200k}$ [nV/ $\sqrt{Hz}$]	$V_{R,50k}$ [nV/ $\sqrt{Hz}$]	V_T [nV/ $\sqrt{Hz}$]	$V_{pamp, input}$ [nV/ $\sqrt{Hz}$]
54.30	57.77	28.77	106.11	324.92

Tabela 19: Gostota šumne moči predojačevalnika, preračunana na vhod integriranega vezja

7.6 Model vhodnega šuma z Gaussovim šumnim generatorjem

Če privzamemo, da je gostota šumne moči vhodnega šumnega vira konstantna v ekvivalentni šumni pasovni širini $0 - f_s/2$, lahko vhodni šumni vir nadomestimo z Gaussovim šumnim generatorjem, vzorčenim s frekvenco f_s . Kvadratni koren srednje kvadratne vrednosti šumnega generatorja v pasu od $0 - f_s/2$ izračunamo po:

$$V_{N(rms)} = \sqrt{\int_0^{f_s/2} V_T^2 df} = \sqrt{\frac{V_T^2 f_s}{2}}$$
 (7.13)

$$V_T^2 = V_{int,input}^2 + V_{pamp,input}^2$$
 (7.14)

A_{in}/A_{int0}	$V_{int,input}$ [nV/ $\sqrt{\text{Hz}}$]	$V_{pamp,input}$ [nV/ $\sqrt{\text{Hz}}$]	V_T [nV/ $\sqrt{\text{Hz}}$]	$V_{N,rms}$ [mV _{rms}]
1	269.42	324.92	422.09	0.21611
4	159.38		361.90	0.18529

Tabela 20: RMS vrednost ekvivalentnega vhodnega šumnega vira v frekvenčnem pasu $0 - f_s/2$

RMS vrednost vhodnega šumnega vira ($V_{N,rms}$) normirajmo na maksimalno vrednost vhodnega signala ($V_{in,FS}$). S tem lahko RMS vrednost šumnega vira izrazimo v enotah maksimalnega dosega vhodnega signala sigma-delta modulatorja [FS]. Ker je srednja vrednost šumnega vira enaka 0, ponazarja RMS vrednost vira standardno deviacijo vzorcev Gaussovega generatorja (σ):

$$\sigma[FS] = \frac{V_{N,rms}}{V_{in,FS}} = \frac{V_{N,rms}}{\left(\frac{V_{ref,SD}}{A_{input}}\right)}$$
 (7.15)

A_{input}	$V_{ref,SD}$ [mV]	$V_{in,FS}$ [mV]	$V_{N,rms}$ [mV _{rms}]	σ [FS]
4	1200 / 2	37.5	0.21611	0.0014602
16		150	0.18529	0.0049411

Tabela 21: Normiran vhodni šum sigma-delta modulatorja

Glede na rezultate analize iz poglavja 4 (tabela 22) se lahko prepričamo, da se RMS vrednost izračunanega vhodnega šumnega generatorja nahaja v optimalnem področju:

σ [FS]	$A_{in} = 0.001$ FS		$A_{in} = 0.002$ FS		$A_{in} = 0.005$ FS	
	$\bar{e}$ [%]	σ_e [%]	$\bar{e}$ [%]	σ_e [%]	$\bar{e}$ [%]	σ_e [%]
0.1m	-2.11	1.89				
0.2m	-1.19	1.52				
0.5m	-0.54	0.87				
1m	-0.17	0.68	0.05	0.47	-0.08	0.24
2m	-0.06	0.69	0.02	0.33	-0.01	0.14
5m	-0.05	1.24	0.03	0.57	0.01	0.21
10m	0.03	2.17				

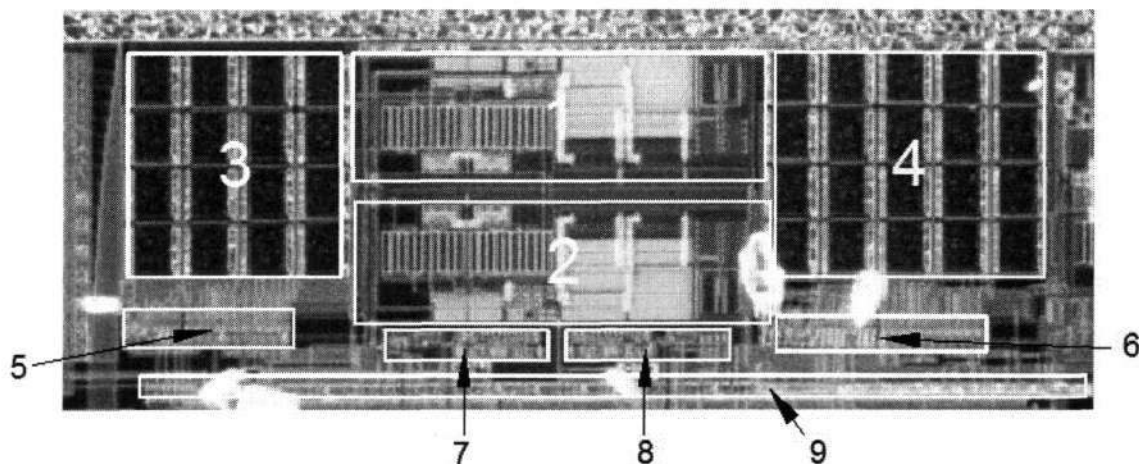
Tabela 22: Vpliv različnih nivojev dodanega šuma

7.7 Literatura k 7. poglavju

- [1] MentorGraphics Corp., eldo, url: http://www.mentor.com/products/ic_nanometer_design/simulation/eldo, 19. 9. 2005
- [2] Synopsys: Star-RCXT, url: http://www.synopsys.com/products/avmrg/star_rcxt_ds.html, 19. 9. 2005

8 Izvedba enofaznega integriranega vezja v 0.35 μm tehnologiji CMOS

Slika 105 prikazuje mikrofotografijo dveh sigma-delta modulatorjev (v tokovnem in napetostnem kanalu), izvedenih v standardni 0.35 μm tehnologiji CMOS z MiM (metal2 – metal2bis) kondenzatorji.



Slika 105: Mikrofotografija analognega vhodnega vezja

Posamezen sklop modulatorja sestavljajo ročno vstavljeni in povezani osnovni elementi (transistorji, kondenzatorji in upori), generirani s pomočjo internih generatorjev končnih geometrij osnovnih struktur. Z ročnim vstavljanjem in povezovanjem lahko kar najbolj izkoristimo razpoložljivi prostor, ob tem pa moramo upoštevati vplive presluhov med linijami ter ostale medsebojne vplive elementov vezja. Ročno povezovanje je zahteven optimizacijski postopek s težavnim spreminjanjem elementov v končni geometriji, kjer lahko že samo sprememba velikosti enega transistorja povzroči zelo veliko ročnega prevezovanja linij in prestavljanja ostalih elementov. Pri načrtovanju analognega dela smo uporabili le 3 kovinske plasti.

Na sliki 105 razpoznamo osnovne gradnike:

- 1: Diferencialni ojačevalnik modulatorja napetostne veje
- 2: Diferencialni ojačevalnik modulatorja tokovne veje
- 3: Polje kondenzatorjev integratorja in SC vezja napetostne veje
- 4: Polje kondenzatorjev integratorja in SC vezja tokovne veje

- 5: Stikala SC vezja napetostne veje
- 6: Stikala SC vezja tokovne veje
- 7: Sinhroni primerjalnik napetostne veje s pripadajočim digitalnim vezjem
- 8: Sinhroni primerjalnik tokovne veje s pripadajočim digitalnim vezjem
- 9: Generator krmilnih signalov

V predstavljeni CMOS tehnologiji lahko posamezne elemente vezja medsebojno ločimo s pomočjo N-well pregrad, ki segajo vse do pokopane plasti. Na ta način ustvarimo medsebojno električno izolirane »otoke«, v katere vstavimo posamezne sklope ali elemente vezja. Napajanje posameznih sklopov in prednapetosti zaščitnih struktur izvedemo z zvezdno vezavo, kjer napajalne linije posameznih sklopov združimo šele v priključni točki V_{DDA} , oz. V_{SSA} priključkov. Občutljivo analogno vezje zahteva svoje napajalne priključke, ločene od digitalnega napajanja ter napajanja močnostnih struktur v vhodno-izhodnem delu vezja, saj s tem preprečimo, da bi preklopni šum digitalnih struktur vplival na signalno pot.

Izdelano vezje je zaprto v cenovno ugodnem plastičnem TSSOP ohišju z 20 priključki.

8.1 Testiranje vezja

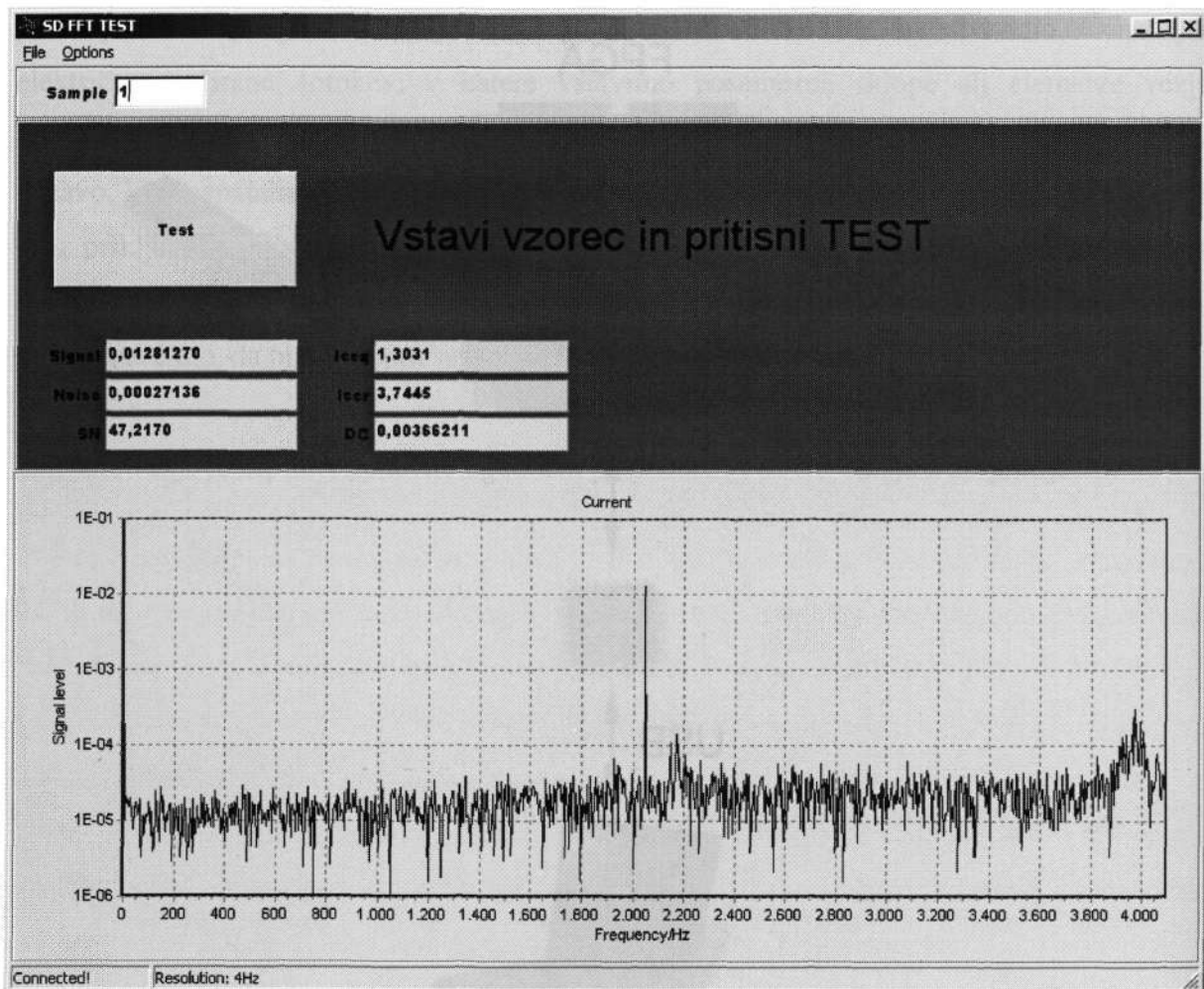
Pri testiranju integrirano vezje števca električne energije preklapimo v več različnih testnih režimov delovanja. V režimu testiranja sigma-delta modulatorjev digitalni signal iz izhoda sinhronnega primerjalnika vodimo direktno na eno izmed digitalnih izhodnih sponk vezja.



Slika 106: Elementi sistema za zajem signala SD modulatorja

Visokofrekvenčni digitalni vlak impulzov zajamemo z vezjem FPGA, ki posamezne bite začasno shrani v statični RAM pomnilnik, nato pa jih preko vodila USB pošljemo v osebni računalnik (slika 106). Komunikacijo z integriranim vezjem, obdelavo in prikaz rezultatov izvedemo s pomočjo lastnega, namensko razvitega programskega paketa Delta. FFT analiza v

okviru programa Delta temelji na visoko zmogljivi knjižnici FFTW [1], vzorce digitalnega vlaka impulzov pa lahko shranimo in dodatno analiziramo s programskim modulom v paketu Octave [2]. Za velikoserijsko proizvodnjo integriranih vezij smo k digitalni testni napravi Teradyne J750 dogradili podobno vezje, programski modul s FFT analizo in kriterijem za izločanje slabih vezij pa smo vstavili v kontrolni program nadzornega računalnika. S tem lahko izvedemo izločanje slabih vezij na popolnoma digitalen način, brez uporabe zahtevnih (in dragih) analognih testnih sklopov.



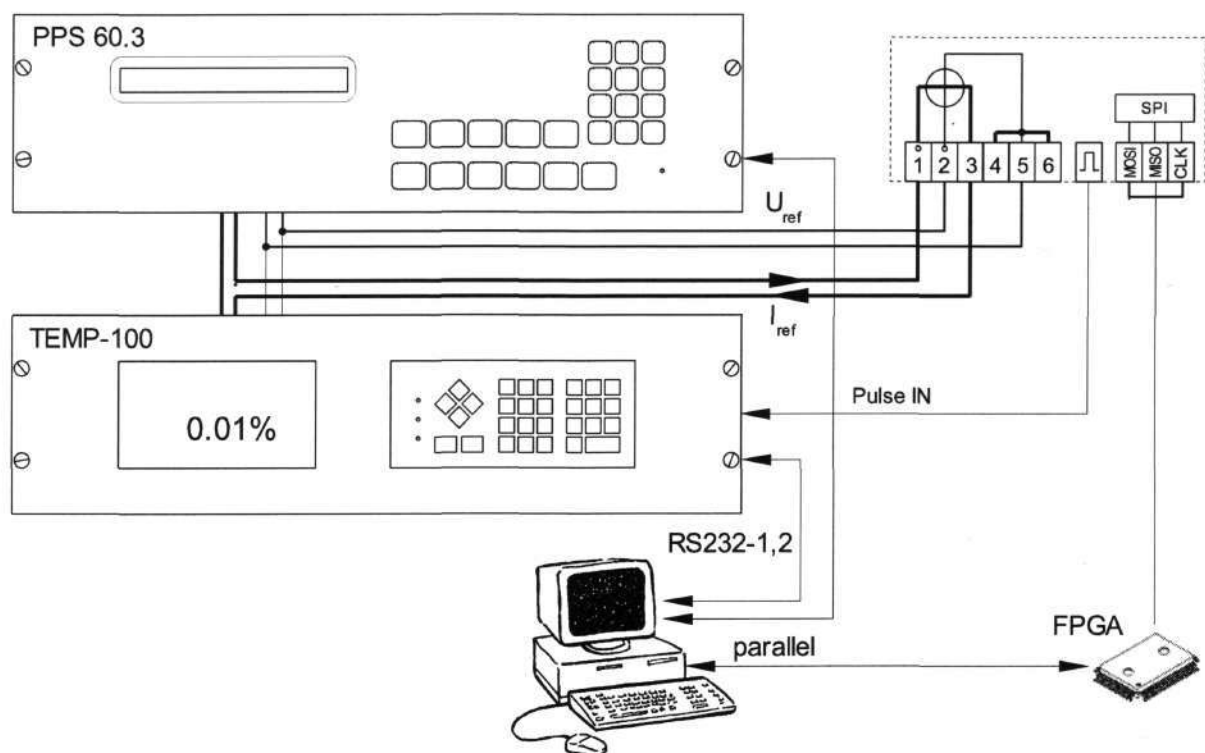
Slika 107: Uporabniški vmesnik programa za testiranje integriranih vezij

Slika 107 prikazuje uporabniški vmesnik programa za ročno, oz. laboratorijsko testiranje integriranih vezij. Program iz spektra izračuna nekaj kriterijskih spremenljivk, na podlagi podanih mejnih vrednosti pa loči dobra vezja od slabih. Na sliki 107 je pri frekvenci 2048 Hz vidna s frekvenco počasnega sekalnika modulirana komponenta nične napetosti celotne analogne signalne verige.

8.2 Eksperimentalni rezultati

Testno vezje izvedemo na osnovi tiskanega vezja prototipnega enofaznega števca električne energije z induktivnim tokovnim senzorjem. Na ta način integrirano vezje vstavimo v kar najbolj realno delovno okolje. Referenčna vhodna signala tokovne in napetostne veje sta generirana s standardnim tokovnim in napetostnim generatorjem, ki ga tudi sicer uporabljamo v proizvodnem postopku umerjanja števcov. Ker integrirano vezje vsebuje notranji napetostni stabilizator, poleg tega pa generira tudi vse referenčne napetosti, ki jih potrebuje pri delovanju, lahko meritev obremenilne krivulje prototipnega vezja izvedemo z minimalnim številom dodanih zunanjih elementov – poleg blokirnih kondenzatorjev, dveh tuljavic in gonilnikov LED diod, dodamo le še nekaj pasivnih elementov v protizgibnem vhodnem filtru in napetostni uporovni verigi (slika 109)⁵.

Referenčna napetost in tok sta generirana z nastavljivim virom MTE PPS 60.3, pogrešek izmerjene energije pa merimo z etalonskim merilnikom pogreška Iskraemeco TEMP-100 (slika 108). Integrirano vezje krmilimo preko vmesnika na paralelnem izhodu osebnega računalnika z lastnim programom Delta, s katerim tudi beremo vrednosti registrov vezja.



Slika 108: Merilna shema testiranja prototipnega enofaznega števca električne energije

⁵ Levo zgoraj je prikazan generator visoke napetosti za programiranje OTP bloka.

Sestavni del integriranega vezja enofaznega števca električne energije je poleg opisanega analognega sklopa tudi digitalni sklop z zmogljivim digitalnim signalnim procesorjem in SPI vmesnikom, integrirano vezje pa vsebuje tudi sklop za enkratni vpis (OTP, one-time-programmable) kalibracijskih parametrov. Signalni procesor, izveden v t.im. fiksnem oz. »hardwired« načinu, v realnem času izračunava delovno energijo, jalovo energijo, efektivne vrednosti toka in napetosti, rezultati izračunov pa so dostopni v obliki frekvenčne modulacije pulznega izhoda (oz. LED diode) ali direktno v registrih, do katerih dostopamo preko standardnega SPI vmesnika.

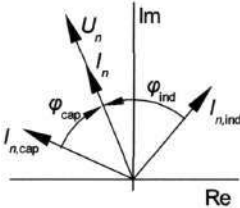
Kot senzorje toka uporabimo dva induktivna tokovna senzorja (tuljavici Rogowski s 300 ovoji in občutljivostjo 0.14 mV/A), vezana po shemi na sliki 109. Ostali testni parametri so zbrani v tabeli 23:

U_n	230 V
I_n	10 A
I_{max}	120 A
f_{sig}	52 Hz
C_z	64000 imp/kWh

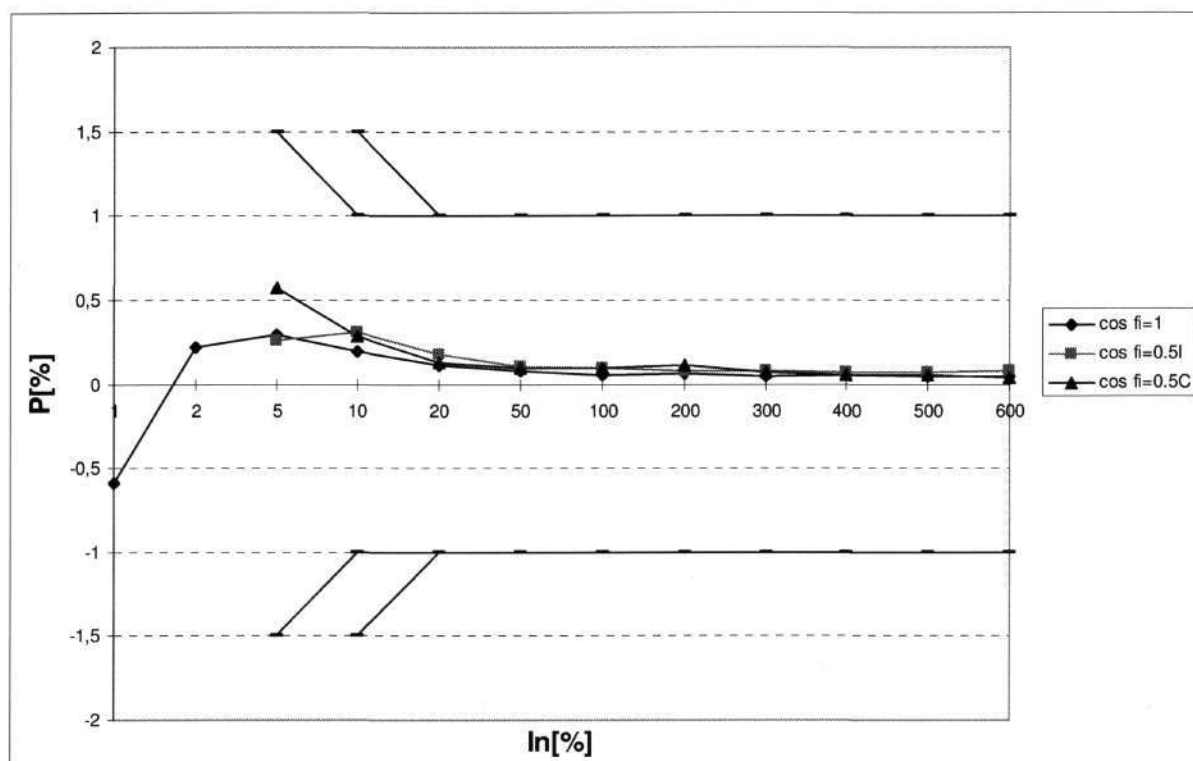
Tabela 23: Parametri meritve prototipnega števca

Meritve obremenilne krivulje izvedemo pri treh različnih faznih kotih bremenskega toka:

- a. Napetost U_n in tok I_n sta v fazi, $\varphi = 0^\circ$, $\cos(\varphi) = 1.0$
- b. Induktivno breme, $\varphi_{ind} = 60^\circ$, $\cos(\varphi_{ind}) = 0.5 I$
- c. Kapacitivno breme, $\varphi_{cap} = -60^\circ$, $\cos(\varphi_{cap}) = 0.5 C$



Slika 110 prikazuje obremenilno krivuljo pri merjenju delovne energije pri treh različnih faznih kotih bremenskega toka⁶. Na sliki so podane tudi maksimalne meje pogreška števecv električne energije razreda 1 po IEC standardu.

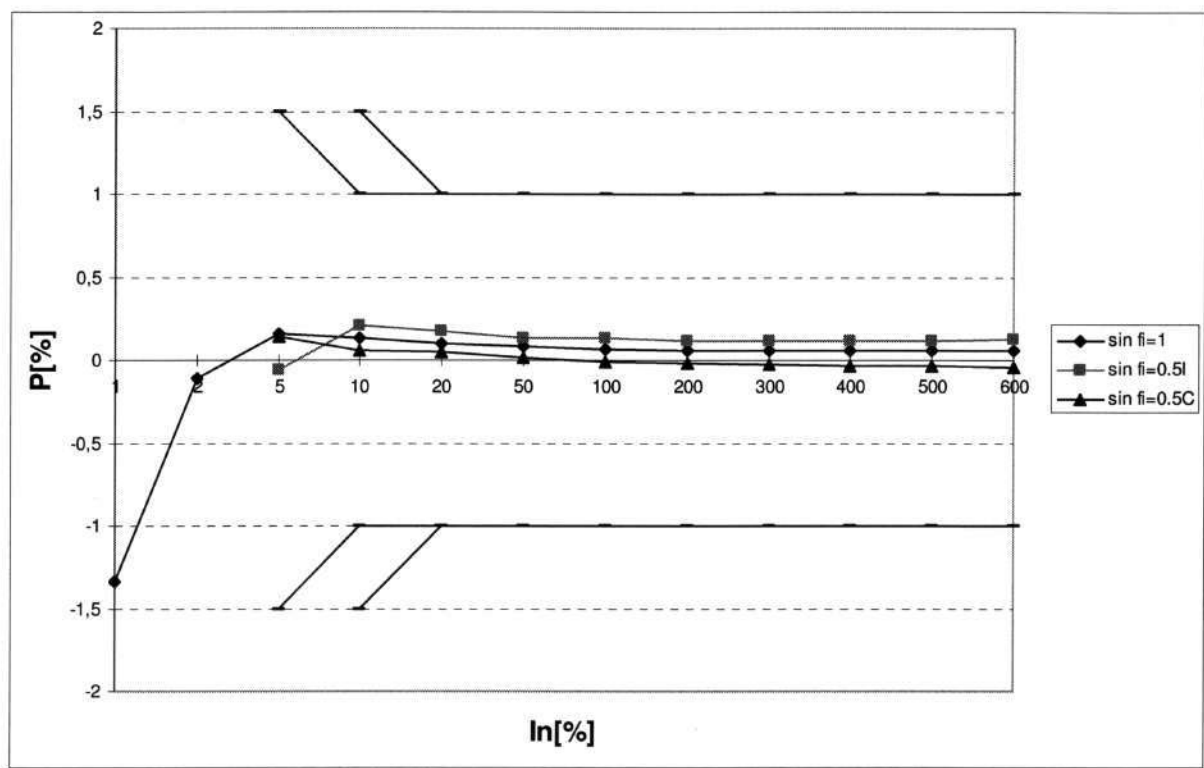


Slika 110: Obremenilna krivulja števca pri merjenju delovne energije

Števec električne energije je namenoma umerjen v odstopanju $+0.1\%$. Dvig karakteristike pri $10\% I_n$ je posledica presluha priključene napetosti na tokovni merilni senzor. Pri tokovih pod $2\% I_n$ opazimo mejo delovanja sigma-delta pretvornika 1.reda v povezavi z digitalnim signalnim procesorjem, saj se v tem območju napaka znatno poveča. Če upoštevamo, da je absolutni maksimalni doseg vhodnega signala $1800\% I_n$ (180A), vrednosti na sliki 110 ustrezajo rezultatom funkcionalne analize števca električne energije iz tabele 6 v poglavju 4.7.

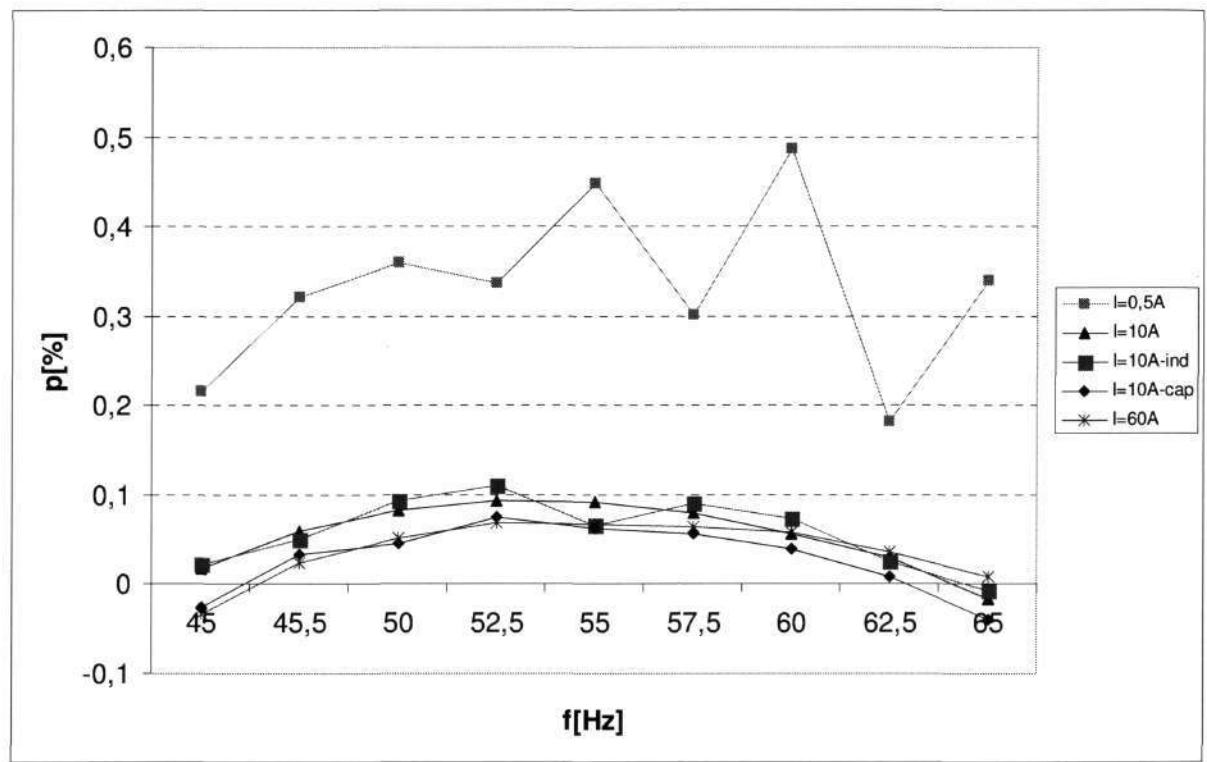
⁶ Maksimalni tok v grafu je $600\% I_n$, ker merilna oprema ni zmogla večjih tokov.

Podobno kot slika 110 prikazuje slika 111 obremenilno krivuljo pri merjenju jalove energije.



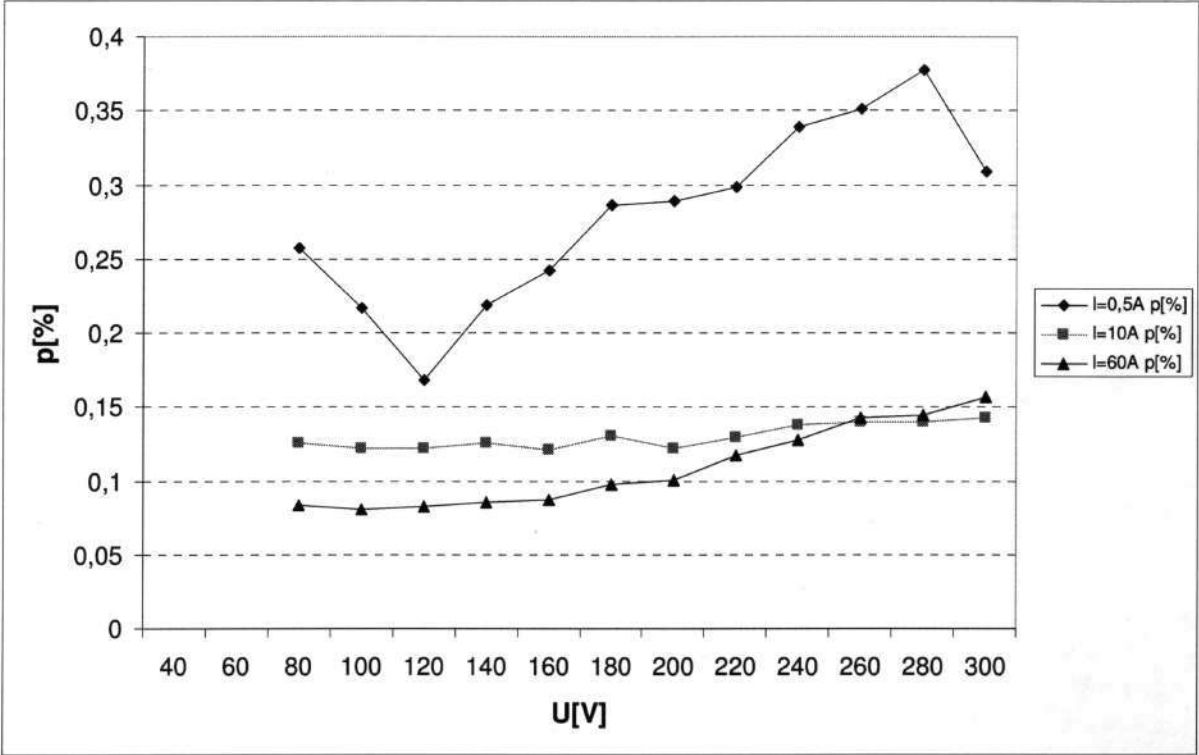
Slika 111: Obremenilna krivulja števca pri merjenju jalove energije

Slika 112 prikazuje frekvenčno odvisnost pogreška meritve pri različnih nastavljenih bremenskih tokovih. Frekvenčna odvisnost je v vseh točkah enaka, pri majhnih vhodnih tokovnih amplitudah pa zaznamo vpliv ločljivosti digitalnega dela. Frekvenčna karakteristika ustreza tabeli 3 v poglavju 3.4.4. Dvig karakteristike pri majhnih tokovih je posledica prej omenjenega presluha priključene napetosti na tokovni senzor.



Slika 112: Frekvenčna odvisnost pogreška izmerjene energije pri različnih bremenskih tokovih

Slika 113 prikazuje pogrešek izmerjene energije pri spremembi amplitude merjene napetosti. Tudi tukaj je opazen minimalen vpliv priključene napetosti pri nizkih amplitudah tokovnega kanala, sicer pa zaradi nizke dinamike napetostnega vhoda ne pričakujemo velikih vplivov.



Slika 113: Odvisnost pogreška izmerjene energije od priključene napetosti

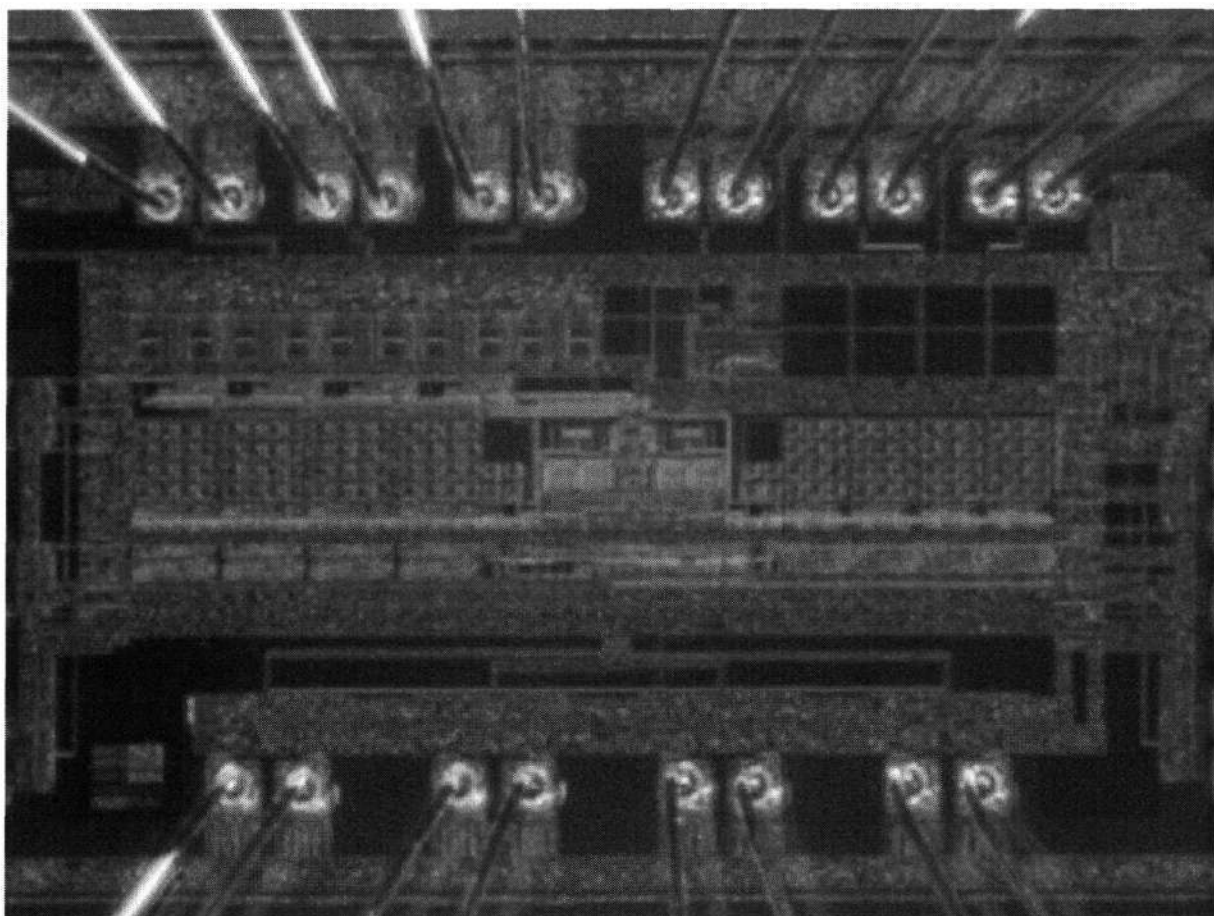
8.3 Literatura k 8. poglavju

[1] FFTW home page, url: <http://www.fftw.org>, 19. 9. 2005.
[2] Octave home page, url: <http://www.octave.org>, 19. 9. 2005

9 Izvedba multipleksiranega integriranega vezja v 0.35 μm tehnologiji CMOS

Na osnovi ugotovitev iz poglavja 6 nadgradimo enofazno vezje v multipleksirano večfazno vezje. Osnovne lastnosti sestavnih delov multipleksiranega vezja so:

- ločen predojačevalnik v posameznem kanalu (Slika 84 v poglavju 6.6)
- ločene signalne veje posameznega kanala (Slika 67 v poglavju 6)
- multipleksirani integrator (Slika 77 v poglavju 6.3)
- generator neprekrivnih impulzov multipleksiranega sistema (poglavje 6.8)



Slika 114: Mikrofotografija multipleksiranega analogno-digitalnega pretvornika

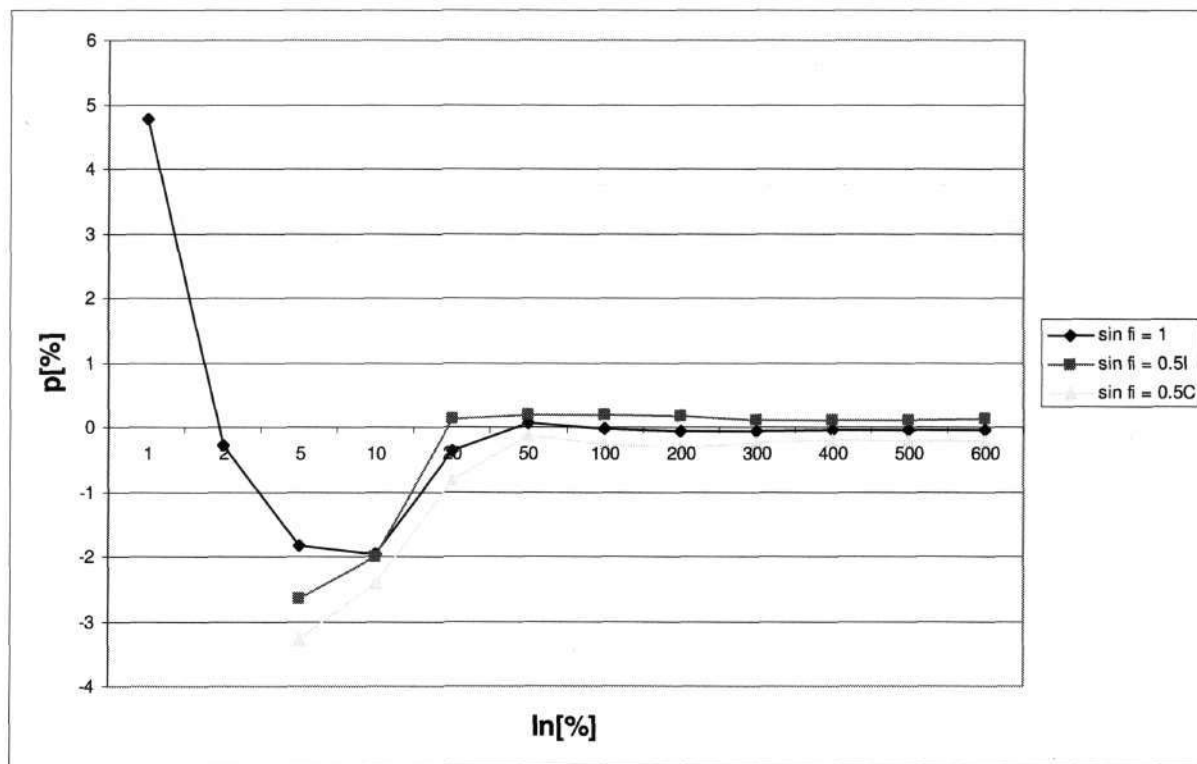
Slika 114 prikazuje mikrofotografijo štirikanalnega multipleksiranega integriranega vezja z ločenim merjenjem napetosti in toka. V zgornji vrsti levo so vidni tokovni predojačevalniki, pod njimi se nahaja sklop kondenzatorjev posameznega tokovnega kanala (skupaj s stikali in digitalnim krmilnim vezjem), desno pa vidimo sklop kondenzatorjev, stikal in krmilnega

vezja posameznega napetostnega kanala. Dva operacijska ojačevalnika (po eden v tokovnem in napetostnem kanalu) in generatorji taktnih signalov se nahajajo v sredini vezja.

9.1 Eksperimentalni rezultati

Multipleksirano vezje testiramo s podobnim merilnim sistemom, kot enofazno merilno vezje (sliki 108 in 109). Ker v tem primeru testiramo le analogni vhodni sklop s sigma-delta modulatorjem, digitalni sklop v celoti izvedemo v vezju FPGA. Z referenčnim merilnim inštrumentom izračunamo pogrešek pri merjenju električne energije na osnovi generiranih LED impulzov, poleg tega pa izvedba digitalnega dela v vezju FPGA omogoča natančen vpogled tako v vrednosti integriranih moči, kot tudi v vrednosti ostalih merjenih vrednosti.

Zaradi napake pri načrtovanju končne geometrije (vezava napajalnih napetosti digitalnih izhodov na substrat in zaščitne elemente analognih vhodov) so rezultati le omejeno uporabni, saj se digitalni vzorci posameznih digitalnih izhodov (tokovnih *CSD0-CSD3* in napetostnih *VSD0-VSD3*) preko substrata in zaščitnih struktur sklopijo na občutljivo analogno signalno pot. Obremenilne krivulje v spodnjih delovnih točkah zato izkazujejo preveliko napako (slika 115).



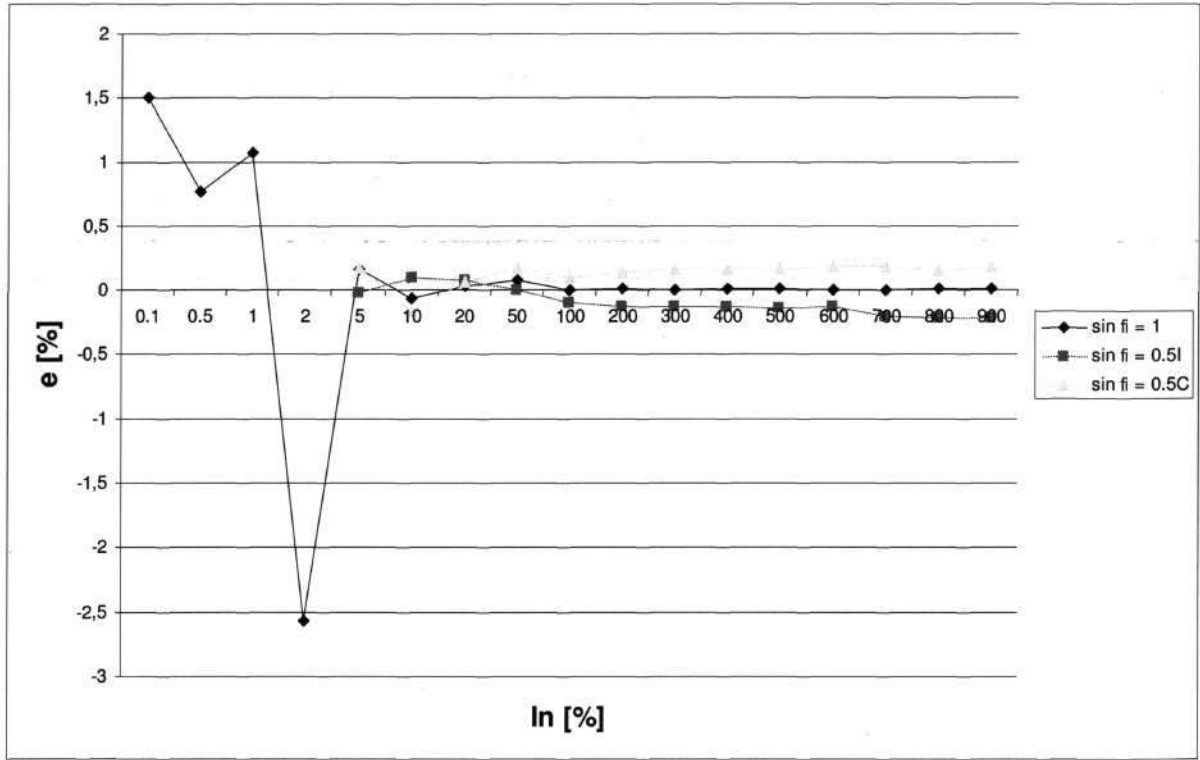
Slika 115: Obremenilna krivulja multipleksiranega modulatorja v fazi R pri ojačanju 32

Tokovna senzorja smo izvedli s tuljavicami z občutljivostjo 0.14 mV/A, zato notranje ojačanje integriranega vezja nastavimo na 32. Ostali parametri so zbrani v tabeli 24:

V_{zorec}	1
U_n	230 V
I_n	10 A
I_{max}	120 A
f_{sig}	52 Hz
C_z	64000 imp/kWh

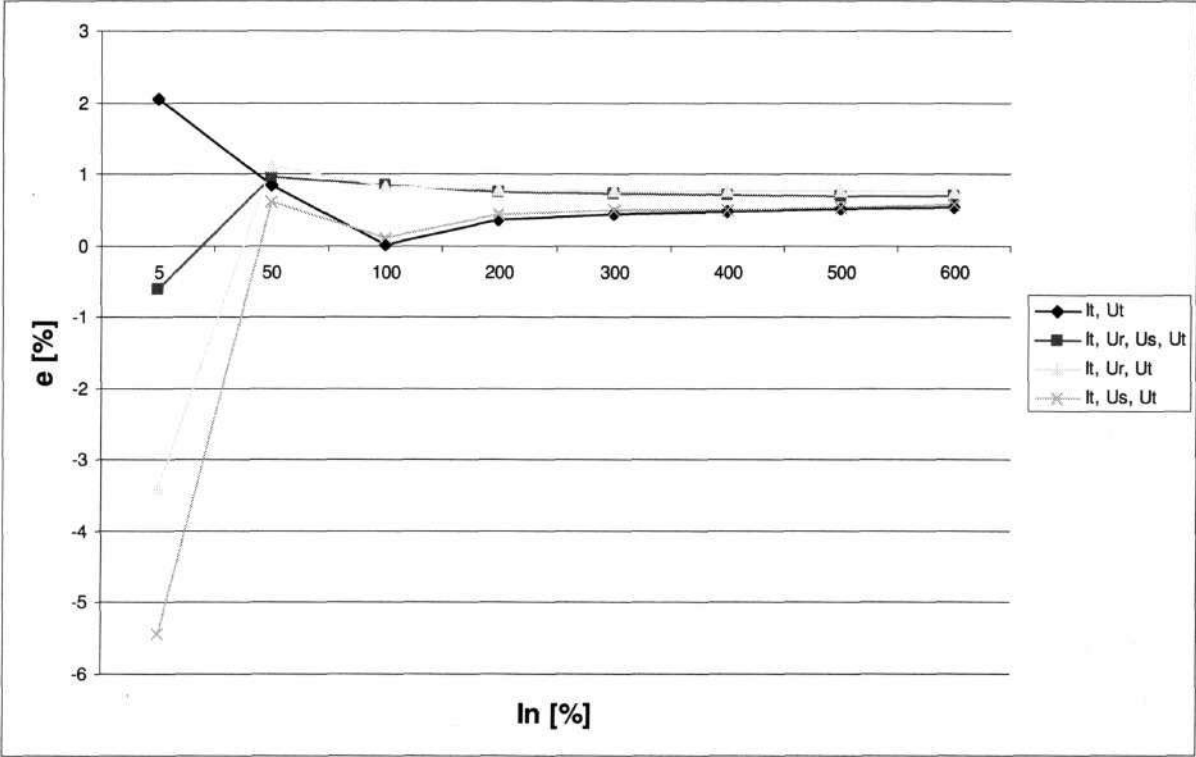
Tabela 24: Parametri meritve prototipnega multipleksiranega vezja pri ojačanju 32

Izmerjena napaka pri nizkih tokovih se zmanjša, ko notranje ojačanje integriranega vezja nastavimo na 8. V tem primeru kot senzor toka na vhod priključimo tokovni transformator z občutljivostjo 0.84 mV/A. Slika 116 prikazuje obremenilno krivuljo vzorca št. 1 pri nastavljenem ojačanju 8. Zaradi večje občutljivosti senzorja nazivni tok I_n deklariramo pri 1 A.



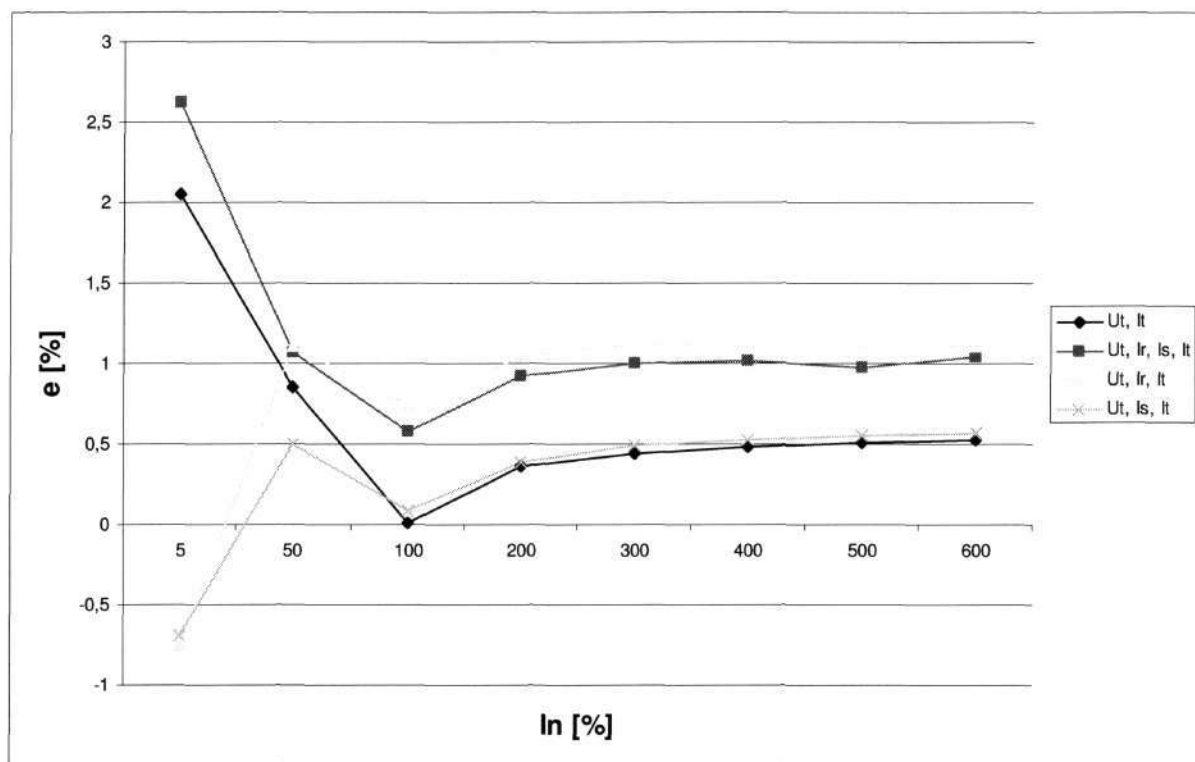
Slika 116: Obremenilna karakteristika multipleksiranega modulatorja v R fazi pri ojačanju 8

Slika 117 prikazuje vpliv priključene napetosti na meritev energije v fazi T trifaznega sistema. Napetostno vejo faze T priključimo na nazivno napetost 230 V, v tokovno sponko pa vodimo nazivni tok 10 A. Prikazan je vpliv ostalih faznih napetosti, priključenih na napetostne veje merilnih sistemov ostalih faz, na izmerjeno energijo. Meritve so potekale na vzorcu št. 2, ki je kazal nekoliko spremenjeno osnovno karakteristiko obremenilne krivulje faze T.



Slika 117: Vpliv napetosti sosednjih faz trifaznega sistema na pogrešek izmerjene energije v fazi T

Na sliki 117 vidimo, da napetost v fazi S trifaznega sistema na pogrešek izmerjene energije nima vpliva, medtem ko napetost v fazi R na meritev pogreška izmerjene energije vpliva s faktorjem pod 1 %. Približno enak rezultat dobimo tudi pri meritvi vpliva tokov ostalih faz trifaznega sistema na pogrešek izmerjene energije v fazi T(slika 118).



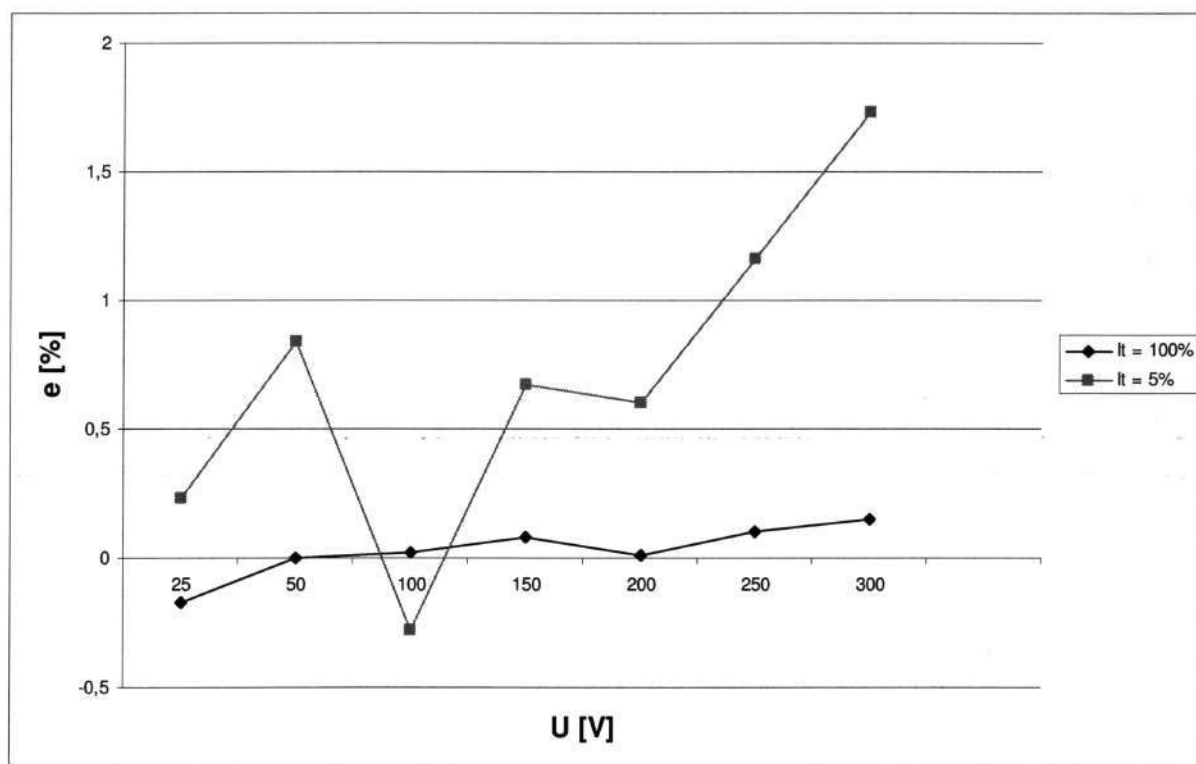
Slika 118: Vpliv tokov sosednjih faz trifaznega sistema na pogrešek izmerjene energije v fazi T

Izmerjeni pogreški so posledica presluha priključene napetosti in priključenih tokov sosednjih faz trifaznega sistema na merilne senzorje. Vpliv tokov sosednjih faz trifaznega sistema lahko pripišemo presluhu med primarnimi tokovnimi ovoji priključnice in induktivnimi senzorji sosednjih faz, v manjši meri pa presluhu kanalov med integracijskimi kondenzatorji tokovnega kanala v multipleksiranem integratorju. Tudi vpliv napetost lahko pripišemo kapacitivnemu spoju napetostnih vej posameznih faz in induktivnemu spoju tokov, ki jih povzroča priključena napetost, na tokovne senzorje sosednjih faz trifaznega merilnega sistema, ter deloma presluhu kanalov v multipleksiranem integratorju napetostnega kanala.

Večja amplituda napetosti sosednjih faz pri manjšem toku osnovne faze močnejše vpliva na pogrešek izmerjene električne energije; posledica napetosti U_x je parazitni tok $I_{(U_x)}$ v induktivnem tokovnem senzorju. Pogrešek meritve energije izračunamo po enačbah (4.10) in (4.13) in je enak:

$$e = \frac{\frac{1}{2} \hat{U}_1 (\hat{I}_1 \cos \varphi + \hat{I}_{(U_x)} \cos \varphi_{(U_x)}) t - W_{ref}}{W_{ref}} \cdot 100 = \frac{\hat{I}_{(U_x)} \cos \varphi_{(U_x)}}{\hat{I}_1 \cos \varphi} \cdot 100 \quad [\%] \quad (9.1)$$

Izmerjeni vplivi sosednjih faz v trifaznem sistemu kažejo, da moramo kompenzirati zunanje medsebojne vplive sosednjih faz trifaznega sistema. Kompenzacijo izvedemo s kompenzacijskimi sklopi v digitalnem signalnem procesorju, z istimi sklopi pa lahko kompenziramo tudi morebitni presluh kanalov v multipleksiranem sistemu. Matriko kompenzacijskih faktorjev medsebojnih vplivov faz trifaznega sistema v digitalnem signalnem procesorju izvedemo z mrežo vezav štirikvadrantnih sigma-delta množilnikov (poglavje 3.4.2) in seštevalnikov v sigma-delta prostoru.



Slika 119: Napetostna odvisnost pogreška izmerjene energije v fazi T

Slika 119 prikazuje napetostno odvisnost izmerjene energije v fazi T pri različnih nastavljenih bremenskih tokovih (5 % in 100 % I_n). Podobno kot v enofaznem sistemu je tudi v multipleksiranem trifaznem sistemu vpliv napetosti lastne faze minimalen.

10 Sklep

10.1 O predstavljenem delu

V tem delu smo podrobno obdelali teoretična in praktična izhodišča, ki omogočajo izvedbo optimalne arhitekture analognega dela električnega števca razreda 1. Prikazali smo izvedbo števca električne energije z dvema sigma-delta modulatorjema 1. reda in učinkovitim digitalnim signalnim procesorjem, izvedenem v sigma-dela prostoru.

Kvantizacijska napaka sigma-delta modulatorjev 1. reda vpliva na spekter izhodnega moduliranega signala. S povzetkom teoretične analize sigma-delta modulatorja 1. reda smo pokazali, da pri majhnih vhodnih sinusnih signalih kvantizacijska napaka znatno spremeni amplitudo osnovne harmonske komponente moduliranega signala. Z analizo vplivov neidealnosti sestavnih elementov smo podali minimalne lastnosti gradnikov za doseg zahtevanih lastnosti modulatorja. Predstavili smo gradnike vezij v sigma-delta prostoru (štirikvadrantni množilnik, tudi kot sestavni del sigma-delta integratorja) in izpeljali malosignalni model digitalnega sigma-delta integratorja. Učinkovit model gradnikov v C++ jeziku omogoči hitro simulacijo, s katero preverimo vpliv parametrov posameznih gradnikov na karakteristike celotnega analogno-digitalnega sistema.

Predstavili smo princip merjenja električne energije z ločenim merjenjem napetosti in toka ter vpliv parametrov (amplituda, harmonske komponente, fazni kot) posameznega kanala na izmerjeno energijo. Prikazali smo vpliv šuma tokovnega in napetostnega kanala na raztros izmerjenih odčitkov električne energije. V merilni sistem smo uvedli sigma-delta modulator 1. reda in prikazali vpliv kvantizacijske napake modulatorja na pogrešek izmerjene energije.

Vpliv vhodnega šuma na amplitudo osnovne harmonske komponente moduliranega signala smo simulirali z različnimi nivoji vhodnega šuma, dodanega izmeničnemu vhodnemu signalu. Ugotovili smo, da Gaussov šum, dodan vhodnemu signalu, občutno zmanjša vpliv kvantizacijske na osnovno harmonsko frekvenco moduliranega signala. Ta ugotovitev nam je omogočila izvedbo števca električne energije s sigma-delta modulatorji 1. reda, optimalno frekvenco vzorčenja modulatorja in minimalni nivo vhodnega Gaussovega šuma pa smo določili kot kompromis med preostalo napako meritve in raztrosom izmerjenih odčitkov električne energije.

Operacijski ojačevalnik s popolnoma diferencialno strukturo je ključni element integratorja. Lastnosti sestavnih elementov ojačevalnika smo izračunali glede na zahtevane karakteristike, dobljene s pomočjo sistemskih simulacij. Signalno in referenčno vejo SC vezja smo izvedli z novo arhitekturo, ki omogoča vzorčenje vhodnega signala s srednjo napetostjo pri V_{SS} ali $V_{DD}/2$, hkrati pa smo s skaliranjem referenčne napetosti navidezno dvignili amplitudo vhodnega signala. Dodaten dvig amplitude smo izvedli z vpeljavo paralelnih vzorčevalnih kondenzatorjev, prikazali smo tudi temperaturno kompenzacijo predstavljenega SC vezja. Za zmanjšanje vpliva $1/f$ šuma smo v integrator uvedli ničenje CDS. Analizirali smo vpliv ničanja CDS na širokopasovni termični šum operacijskega ojačevalnika, ogledali smo si tudi vire šuma v SC vezju.

Diferencialni predojačevalnik je sestavni del signalne verige tokovnega kanala. Neskladnost uporov povratne vezave predojačevalnika generira nično napetost signalne verige, zato smo vpeljali odstranjevanje preostalega ničnega signala celotne signalne verige z nizkofrekvenčnim sekalkom signala. V tem poglavju smo si ogledali še vezja sinhronega primerjalnika, generatorja krmilnih signalov stikal in preprost protizgibni vhodni filter.

Enokanalni sigma-delta modulator 1. reda smo nadgradili v večkanalno multipleksirano strukturo. Predstavili smo princip hitrega in počasnega multipleksiranja ter njun vpliv na frekvenčno karakteristiko merjenega signala. Pri počasnem multipleksiranju smo prikazali vpliv prekrivnega in neprekrivnega decimacijskega filtra na frekvenčno karakteristiko merjenega signala. Predstavili smo multipleksirani integrator, primeren za hitro multipleksiranje signalov. Ogledali smo si nekaj pripadajočih digitalnih multipleksiranih struktur ter ustrezno vezje za generiranje krmilnih signalov stikal v multipleksiranem integratorju.

Predlagane analogne strukture smo preverili s simulacijami, s katerimi smo tudi dodatno optimizirali izračunane parametre vezja. Povzeli smo nekaj ključnih simulacij diferencialnega operacijskega ojačevalnika, SC stopnje in sinhronega primerjalnika; s temi simulacijami smo tudi potrdili zahtevane karakteristike posameznih sklopov. Posebno pozorno smo obdelali šumne razmere v vezju, saj so bile ugotovitve osnova za izračunan skupnega vhodnega šuma. Z modelom skupnega vhodnega šuma z Gaussovim generatorjem smo potrdili, da je želeni šum vezja v optimalnem področju pri vseh nastavljenih ojačanjih vhodnega signala.

V zadnjem delu smo predstavili končno geometrijo enokanalnega in štirikanalnega multipleksiranega analognega vhodnega dela ter način testiranja integriranega vezja s FFT analizo. Celotno enofazno integrirano vezje (analogni in digitalni del skupaj na istem vezju) smo testirali v prototipnem vezju s polno funkcionalnostjo elektronskega števca. Rezultati

testiranje vezja na standardni merilni opremi so pokazali, da je enofazno integrirano vezje primerno za vgradnjo v števec razreda 1.

Na kratko smo predstavili tudi rezultate testiranja multipleksiranega analognega vhodnega dela, vendar zaradi nekaterih nedoslednosti pri izdelavi končne geometrije prvo prototipno vezje še ni primerno za vgradnjo v števec električne energije.

10.2 Sklep

Enofazno vezje, predstavljeno v tem delu je temelj nove družine elektronskih števecv električne energije. Vezje omogoča izdelavo števecv električne energije IEC razreda 1, podpira pa vse vrste tokovnih senzorjev: induktivni (Rogowski) senzor, tokovni transformator in tokovni soupor.

10.3 Možnosti za nadaljnje delo

- V merilno verigo bomo uvedli sigma-delta pretvornike višjega reda. V nadaljnjem delu bomo s pomočjo simulacije raziskali vplive posameznih parametrov sigma-delta modulatorjev višjega reda na izračune digitalnega signalnega procesorja (izvedenega z gradniki v sigma-delta prostoru). Rezultati analize bodo osnova za optimalno izvedbo modulatorja višjega reda z minimalno porabo napajalnega toka, pri minimalni površini in minimalni frekvenci vzorčenja.
- Rezultati meritev multipleksiranega vezja kažejo na presluh med posameznimi fazami multipleksiranja. V nadaljnjem delu bomo preučili vplive presluha v vezju in podali ukrepe za njegovo odpravljanje. Ker ima presluh v integriranem vezju podobne karakteristike kot presluh na tiskanem vezju, bo učinkovit sistem za odpravljanja presluha v samem integriranem vezju omogočil tudi poenostavitev zunanje kompenzacije medfaznih vplivov.
- Velikosti osnovnih elementov v digitalnih vezjih se z vsako generacijo občutno zmanjšajo, medtem ko dimenzije elementov analognih vezij temu manjšanju ne sledijo. V nadaljnjem delu bomo raziskali možnost, da digitalni sklop trifaznega vezja izvedemo na svojem siliciju v drobnejši tehnologiji, ločen od analognega sklopa. Na ta

način bomo digitalni sklop izvedli v cenejši, popolnoma digitalni tehnologiji na manjši površini, medtem ko bo analogni sklop izveden ločeno v tehnologiji, prilagojeni analognim aplikacijam.

- Zaradi vse večjega elektromagnetnega onesnaženja moramo precizna merilna vezja vedno bolj zaščititi proti elektromagnetnim motnjam, prenos signalov po tiskanem vezju od senzorja do integriranega vezja postaja vedno večji problem. V nadaljnjem delu bomo raziskali možnost, da signale s preprostimi analogno-digitalnimi pretvorniki pretvorimo v digitalno obliko čim bliže senzorja, po tiskanem vezju pa na daljše razdalje vodimo zgolj digitalne signale. Na ta način bo senzor skupaj z občutljivim analognim delom ločen od motenj okolice s skupno zaščitno strukturo.
- V zadnjem času proizvajalci ponujajo zelo zmogljiva procesorska jedra, katerim uporabniki lahko dodajo svoja periferna vezja. V nadaljnjem delu bomo raziskali možnost, da procesorskemu jedru dodamo digitalni signalni procesor enofaznega ali večfaznega vezja, oziroma da ločimo digitalno funkcionalnost na hitro obdelavo signalov, ki jo izvaja namenski signalni procesor in počasno obdelavo signalov, ki jo prevzame procesorsko jedro.

Izvirni prispevki k znanosti

Po mnenju avtorja so izvirni prispevki k znanosti naslednji:

1. Izvedba filtrov v sigma-delta prostoru

V poglavju 3.4.3 prikažemo poenostavitve, s katerimi štirikvadrantni sigma-delta množilnik poenostavimo v generator sigma-delta sekvenc, v poglavju 3.4.4 pa to strukturo nadgradimo v sigma-delta integrator s serijskim vhodom in serijskim izhodom. Z enačbo (3.109) definiramo frekvenco pola sigma-delta integratorja, kar nam omogoča izvedbo filtrov v sigma-delta prostoru, kot je npr. filter na sliki 42.

2. Izvirna analiza šumnih prispevkov k izračunu električne energije

V poglavju 4.4 z analizo vpliva šuma v posameznem kanalu podamo standardno deviacijo produkta signala napetosti in signala toka (enačba 4.31). Na osnovi podane enačbe ugotovimo, da je standardna deviacija rezultatov meritev električne energije pri običajnih delovnih pogojih števca električne energije odvisna predvsem od šuma v tokovnem kanalu (enačba 4.32). Enačba (4.43) dodatno opisuje prispevke posameznih frekvenčnih komponent kvantizacijskega šuma modulatorjev v napetostnem in tokovnem kanalu.

3. Določitev optimalnega nivoja šuma v merilnem kanalu

Spekter kvantizacijskega šuma sigma-delta pretvornika je diskreten, predvsem pri majhnih izmeničnih vhodnih signalih se nekaj harmoničnega šuma generira tudi na frekvenci vhodnega signala. S pomočjo simulacije ocenimo vpliv šuma na amplitudo osnovnega harmonika merjenega signala (tabela 4). Pokažemo tudi, da vhodni šum zmanjša vpliv kvantizacijskega šuma na 50 Hz komponenti (slika 40), vendar pa doda merilno negotovost v merilni frekvenčni pas (slika 41). S pomočjo simulacije določimo optimalni nivo vhodnega šuma (tabela 5), s pomočjo simulacije celotnega sistema (slika 42) pa analiziramo vpliv vhodnega šuma na raztros merilnih rezultatov električne energije (tabeli 6 in 7).

4. Izvedba signalne in referenčne stopnje SC vezja

Sliki 49 in 51 prikazujeta novo konstrukcijo signalne in referenčne veje SC vezja, s katero lahko vzorčimo signal tako okrog V_{SS} , kot tudi $V_{DD}/2$. Zaradi porazdelitve naboja v vzorčevalnih kondenzatorjih konstrukcija dvakrat poveča razmerje naboja vhodnega signala proti naboju referenčne napetosti, torej s predlagano konstrukcijo dosežemo dvakratno ojačanje vhodnega signala brez skaliranja referenčne napetosti.

5. Temperaturna kompenzacija nastavljive vzorčevalne stopnje

V poglavju 5.2.4 pokažemo temperaturno kompenzacije predlagane konstrukcije. Slika 53 predstavlja novo temperaturno kompenzirano konstrukcijo vzorčevalnih kondenzatorjev, s katero dosežemo nastavljivo razmerje naboja vhodnega signala proti naboju referenčne napetosti, tako dosežemo navidezno ojačanje vhodnega signala.

6. Izvedba multipleksiranega integratorja

Slika 67 predstavlja konstrukcijo SC vhodne stopnje multipleksiranega integratorja, ki omogoča hitro večkanalno multipleksiranje, skupaj z nesimetričnim vzorčenjem predojačevalnika (slika 84). Slika 77 predstavlja konstrukcijo multipleksiranega integratorja z zelo majhnim medsebojnim vplivom kanalov. Sliki (87) in (88) predstavljata vezji za generacijo neprekrivnih krmilnih signalov (slika 86 in 89) multipleksiranega modulatorja, s katerimi preprečimo kratek stik kondenzatorjev tako med fazo vzorčenja in fazo integriranja, kot tudi pri preklopu med multipleksiranimi kanali.

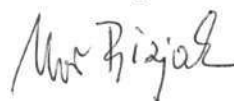
Izjava

Izjavljam, da sem doktorsko disertacijo izdelal samostojno pod vodstvom mentorja
doc. dr. Draga Strleta.

Izkazano pomoč drugih sodelavcev sem v celoti navedel v zahvali.

V Kranju, marca 2006

Uroš Bizjak



IEC class 0.5 electronic watt-hour meter implemented with first-order sigma–delta converters

Uroš Bizjak^{a,*}, Drago Strle^b

^aResearch and Development, Iskraemeco, d.d., Savska Loka 4, Kranj, Slovenia

^bUniversity of Ljubljana, Faculty of Electrical Engineering, Tržaška 25, Ljubljana, Slovenia

Abstract

This paper presents a design of a precise electronic watt-hour meter implemented with first-order sigma–delta analog-to-digital converters. An efficient digital signal-processing circuit is introduced into the design where the whole signal processing is performed directly on an oversampled signal, eliminating the necessity for a decimation filter. It is shown that Gaussian noise, added to the input signal of sigma–delta modulators, decorrelates quantization error of first-order sigma–delta modulators and thus substantially reduces measurement error at low-signal amplitudes. The effect of added noise is analyzed by extensive behavioral simulations for various input signal amplitudes and for various input noise levels. The results show that IEC accuracy class 0.5 can be achieved with first-order sigma–delta converters and digital signal processing in the sigma–delta domain.

© 2005 Elsevier GmbH. All rights reserved.

Keywords: Sigma–delta modulation; Digital signal processing; Digital filters; Electrical energy measurement; Mixed-mode simulation; Noise analysis

1. Introduction

An integrated, accurate electronic watt-hour meter requires precise analog to digital converters and relatively complex digital signal-processing circuitry in order to satisfy accuracy requirements over its entire measurement range. By taking into account the specifics of electric energy measurement, some design parameters of watt-hour meter subcircuits can become less stringent. The idea of the implementation of a watt-hour meter, implemented with two first-order sigma–delta ($\Sigma\Delta$) converters, is based on the following facts: (a) input signal amplitude of one of the two converters is close to its full-scale input range, (b) inherent noise of analog elements inside switched-capacitor $\Sigma\Delta$ modulator decorrelates otherwise discrete quantization noise spectrum

of the first-order $\Sigma\Delta$ modulator, and (c) product of two filtered signals from $\Sigma\Delta$ modulators is integrated over relatively long time interval.

Oversampled $\Sigma\Delta$ modulators are usually interfaced to a digital signal processor at a Nyquist rate by a decimation filter. When digital processing is done directly on an oversampled $\Sigma\Delta$ signal, a decimation filter could be eliminated and the complexity of digital circuit could be reduced. An efficient approach to implement IIR filters in $\Sigma\Delta$ domain is presented in [1,2], where all internal state variables are remodulated by a digital $\Sigma\Delta$ modulator. Instead of using complex second-order digital $\Sigma\Delta$ modulator to perform remodulation, simple first-order digital $\Sigma\Delta$ bitstream generator similar to [3] is used at this work. A series of bitstream adders [4], connected as two-quadrant delta multipliers [5,6] are introduced as the scalers of feedback $\Sigma\Delta$ signals into the filter structure, further reducing required silicon area of a digital signal-processing circuit.

* Corresponding author.

E-mail address: uros.bizjak@iskraemeco.si (U. Bizjak).

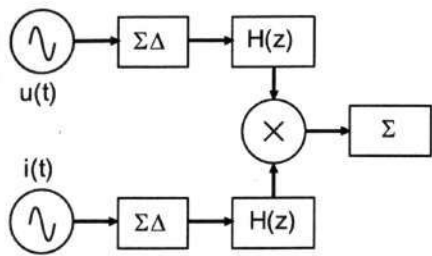


Fig. 1. Main parts of an electronic watt-hour meter.

Analog interface circuitry of a conventional electronic watt-hour meter employs higher-order $\Sigma\Delta$ modulators that occupy a large part of an integrated circuit area. To reduce the size, it is recommended to use the simplest form of analog subcircuits, with their non-idealities compensated by digital signal processing. The simplest form of a $\Sigma\Delta$ modulator used in an analog interface is the first-order $\Sigma\Delta$ modulator [7]. Based on its simplicity, stability [8], and low power consumption, a strong motivation to construct a precise watt-hour meter using first-order $\Sigma\Delta$ modulators emerges.

In the following sections, architecture of an electronic watt-hour meter is presented. After a brief system overview, its digital signal processor is described. A two-quadrant delta multiplier is extended into a full four-quadrant $\Sigma\Delta$ multiplier that can be used to multiply modulated digital representations of $u(t)$ and $i(t)$ signals. The same multiplier structure can be used as a bitstream generator in the $\Sigma\Delta$ integrator. These two blocks, an $\Sigma\Delta$ integrator and a two-quadrant delta scaler, represent basic building blocks in the implementation of a digital filter in the $\Sigma\Delta$ domain.

In the second part, performance degradation due to the quantization error of a first-order $\Sigma\Delta$ modulator is analyzed. Following this analysis, a decorrelation of quantization error when Gaussian noise is added to the input signal is presented. Behavioral simulations with various noise levels added to the input signal are performed and an optimum noise level is chosen as a compromise between remaining error and spreading of simulated results. This noise is generated by appropriate size of an input switched capacitor. Our simulated and measured results show that required accuracy can be achieved by using first-order $\Sigma\Delta$ modulators connected to simple digital filters, implemented in $\Sigma\Delta$ domain.

2. System overview

Main parts of a digital electronic watt-hour meter are shown in Fig. 1. Input AC signals $u(t)$ and $i(t)$ that correspond to measured AC voltage and AC current, are routed to first-order $\Sigma\Delta$ modulators. Their outputs are processed by two equivalent digital filters. Filtered signals from the voltage and current channel are multiplied together in the four-quadrant $\Sigma\Delta$ multiplier and the product is integrated

in final integrator. The integrated value is used to calculate measured energy in regular time intervals.

The presented watt-hour meter uses a di/dt current sensor (Rogowski coil). To compensate the frequency dependency of a current sensor, additional integration of a current signal is needed in the signal path before multiplication with the voltage signal. A setup, where voltage signal is taken in its serial form from the first integrator of a voltage channel filter and where current signal is taken in its parallel form from the second integrator of a current channel filter is used. In this setup, the voltage signal is integrated once, and the current signal is integrated twice, so frequency dependency of a current sensor is eliminated. The signal frequency band from 45 to 65 Hz is relatively low when compared to the clock frequency of a digital part, therefore digital integrators can be treated as ideal integrators.

The modulator in the current channel of a watt-hour meter operates over large dynamic range. Its input signal amplitude ranges from the modulator full scale (FS) down to $\frac{1}{1000}$ of FS. At each operating point, an average value of measured energy should not exceed the declared percentage error of 0.5% in case of IEC accuracy class 0.5 [9], which is a difficult goal to achieve with first-order $\Sigma\Delta$ modulators.

3. Four-quadrant $\Sigma\Delta$ multiplier

The basic processing element in the sigma-delta domain is a simple circuit, called “delta full adder” (DFA), introduced as a processing element for delta modulated [5] and sigma-delta modulated [4] signals. A series of connected DFAs could be used to construct a four-quadrant $\Sigma\Delta$ multiplier circuit, similar to a two-quadrant delta multiplier [6].

The multiplication constant α of a four-quadrant multiplier could be written in the form of

$$\alpha = \alpha_1 2^{-1} + \alpha_2 2^{-2} + \dots + \alpha_q 2^{-q}, \tag{1}$$

where $\alpha_i = -1$ or $+1$, for each $i = 1, 2, \dots, q$. Concerning Eq. (1), the product $\alpha \cdot x(t)$ could be written as

$$\alpha \cdot x(t) = \left(\alpha_1 x(t) + \left(\alpha_2 x(t) + \left(\dots + \left(\alpha_q x(t) 2^{-1} \right) \dots \right) 2^{-1} \right) 2^{-1} \right) 2^{-1}. \tag{2}$$

A special sequence $\{I_n\}$ is introduced, where $I_n = -I_{n-1}$ and where I_n takes two discrete values of $+1$ and -1 . This sequence is defined as an idle delta sequence of a constant function $i(t) = 0$.

From the properties of DFA [6], where n th member of its output sequence is labelled as $S_n = (X_n, Y_n)$ and where $\{(X_n, \pm Y_n)\}$ is a delta sequence of $2^{-1}[x(t) \pm y(t)]$, a delta sequence $\{P_n\}$ of the product $\alpha \cdot x(t)$ can be determined from Eq. (2) as

$$P_n = \left(A_n^{(1)}, \left(A_n^{(2)}, \left(\dots, \left(A_n^{(q)}, I_n \right) \dots \right) \right) \right),$$

$$A_n^{(i)} = \alpha_i X_n. \tag{3}$$

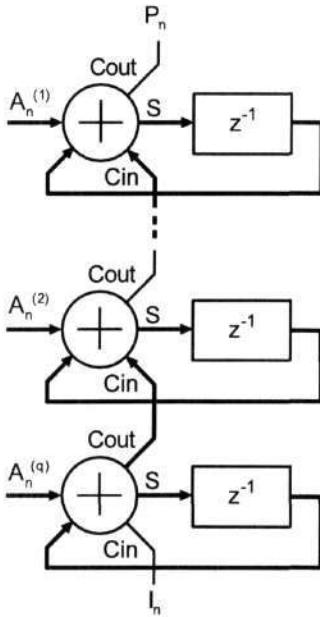


Fig. 2. The core of a multiplier circuit.

In the digital implementation, members of the sequence take values of 1 and 0 instead of +1 and -1. In digital domain $(-X_n) = \bar{X}_n$ and the Eq. (3) could be written in the final form:

$$P_n = \left(A_n^{(1)}, \left(A_n^{(2)}, \left(\dots, \left(A_n^{(q)}, I_n \right) \dots \right) \right) \right),$$

$$A_n^{(i)} = \begin{cases} \bar{X}_n, & \alpha_i = -1, \\ X_n, & \alpha_i = +1. \end{cases} \quad (4)$$

In Eq. (4), $\bar{X}_n$ marks a binary inversion of a sequence member X_n . The parallel multiplication constant α can be substituted by a slowly varying signal $y(t)$, represented in the form of (1), with negligible error. The core of a four-quadrant $\Sigma\Delta$ multiplier is shown in Fig. 2.

An interesting application of a four-quadrant $\Sigma\Delta$ multiplier is a digital $\Sigma\Delta$ pattern generator [3]. If the input sigma-delta sequence $\{X_n\}$ of a four-quadrant $\Sigma\Delta$ multiplier encodes a maximum constant value, $X_n = 1$ and the inputs of (4) could be simplified as follows:

$$A_n^{(i)} = \begin{cases} 0, & \alpha_i = -1, \\ 1, & \alpha_i = +1. \end{cases} \quad (5)$$

The parallel input (5) to an N -bit digital $\Sigma\Delta$ pattern generator represents a binary number with a maximum symmetrical range that can be used:

$$-(2^N - 1)/2^N \leq \sum_{i=1}^N \alpha_i 2^{-i} \leq +(2^N - 1)/2^N. \quad (6)$$

For a large N , the range practically equals ± 1 . As an example, if a binary value 11 is applied to the input of 2-bit $\Sigma\Delta$ pattern generator, a pattern of $\{\dots, 1, 1, 1, 1, 1, 1, 0, \dots\}$ is generated, and a value 00 applied to the same pattern

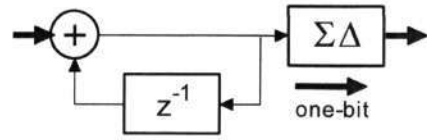


Fig. 3. Sigma-delta integrator.

generator generates a pattern of $\{\dots, 0, 0, 0, 0, 0, 0, 1, \dots\}$. Idle output pattern can be achieved by applying a sequence of alternating 100...0 and 011...1 to the input of a $\Sigma\Delta$ pattern generator. This is exactly the parallel output value of an N -bit digital accumulator, which acts as an N -bit integrator of the sigma-delta stream, when an idle stream $\{I_n\} = \{\dots, 0, 1, 0, 1, \dots\}$ is applied to its input.

4. Digital $\Sigma\Delta$ integrator

A digital $\Sigma\Delta$ integrator could be constructed by connecting the output of an N -bit accumulator to the parallel input of an N -bit $\Sigma\Delta$ pattern generator (Fig. 3).

In order to satisfy oversampling requirements, the clock frequency of $\Sigma\Delta$ structures should be much higher than the Nyquist frequency of an input signal. In this case, an integrator with a transfer function $H(z) = 1/(1 - z^{-1})$ could be approximated in the s -domain via bilinear transformation $z^{-1} = (2f_{\text{clk}} - s)/(2f_{\text{clk}} + s)$ as

$$H_a(s) = \frac{f_{\text{clk}}}{s} + \frac{1}{2} \approx \frac{f_{\text{clk}}}{s}. \quad (7)$$

The parallel input value of an N -bit $\Sigma\Delta$ pattern generator is limited by Eq. (6). However, a maximum value that N -bit accumulator can hold equals to $\pm(2^{N-1} - 1)$. To satisfy Eq. (6), transfer function of $\Sigma\Delta$ integrator should be scaled by $(2^{N-1} - 1)^{-1}$

$$H_a(s) \approx \frac{f_{\text{clk}}}{s} \frac{1}{(2^{N-1} - 1)} \frac{(2^N - 1)}{2^N}. \quad (8)$$

For practical realizations, where $N > 10$, Eq. (8) can be simplified to

$$H_a(s) \approx \frac{f_{\text{clk}}}{(2^{N-1} - 1)} \frac{1}{s} = \frac{1}{\tau \cdot s}. \quad (9)$$

In order to avoid severe signal degradation during transient response, a limiter which prevents an overflow of an accumulator internal value should be added. It is also recommended to set accumulator initial value to 100...0 during power-up to shorten its transients.

5. Digital filter implementation

The main part of the digital signal processor is a digital filter (Fig. 4), implemented in the sigma-delta domain.

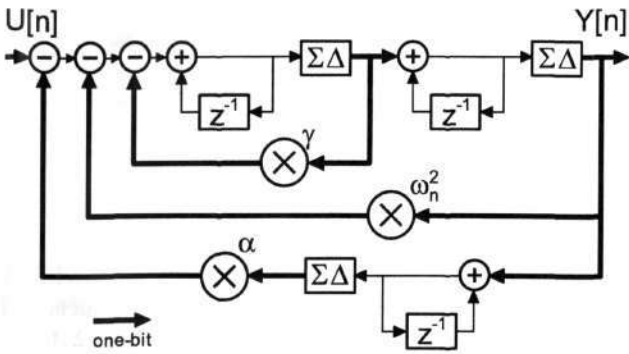


Fig. 4. Digital filter structure.

This filter attenuates high-frequency quantization noise and eliminates both signal DC offset and DC offset of an analog interface. The architecture of a simple harmonic oscillator (SHO) with an integral feedback was considered as an optimum between silicon area and filter performance.

A continuous-time transfer function of such filter follows the equation:

$$\ddot{x} + \gamma \dot{x} + \omega_n^2 x = u - \alpha \int_0^t x(\tau) d\tau. \tag{10}$$

The transfer function (10) can be written in s -domain:

$$H(s) = \frac{(1/\tau_1 \tau_2)s}{s^3 + (\gamma/\tau_1)s^2 + (\omega_n^2/\tau_1 \tau_2)s + (\alpha/\tau_1 \tau_2 \tau_3)}, \tag{11}$$

where τ_n represents the time constant of an integrator n . By employing non-uniform integrator widths (τ_1 , τ_2 and τ_3), where τ_i can be calculated from Eq. (9), the designer has the opportunity to separately change integrator widths and/or feedback coefficients (γ , ω_n^2 and α) to reach the desired filter performance.

In case of an electronic watt-hour meter, the filter is optimized to achieve maximally flat amplitude characteristic in the signal band of 45–65 Hz. The phase characteristic is not critical when equal filter structure is used in both channels of a watt-hour meter, as only phase difference between voltage and current signals on the inputs of final four-quadrant multiplier is important.

6. Effect of quantization noise

The spectrum of a first-order sigma-delta modulated signal is discrete and non-white as it comprises all harmonics of the input signal frequency ω_0 [10]. For a full-scale AC input signal, the power of generated harmonics is negligible. As the input amplitude is reduced, amplitudes of generated harmonics become comparable to the amplitude caused by an input signal, so output signal becomes distorted with harmonic noise. Generated harmonic component with the same frequency as the input signal affects the measured result of a watt-hour meter.

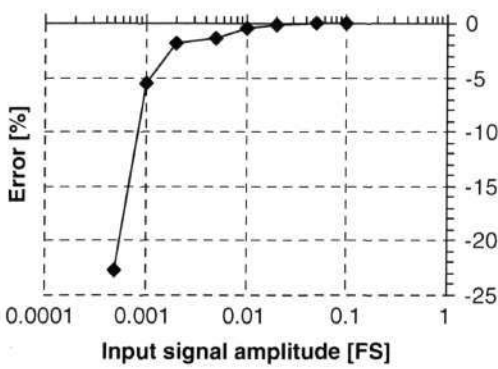


Fig. 5. Amplitude errors at fundamental frequency.

When two signals with discrete spectrums are multiplied by each other, only the product of two corresponding frequency components contributes to the average sum. As the voltage channel $\Sigma\Delta$ modulator operates with a full-scale input signal, the output signal from this modulator comprises only fundamental frequency component. This spectral “spike” rejects all other harmonic components on the current signal when the product of voltage and current signal is averaged over the time interval T . The average of a product, neglecting the harmonic components of voltage signal, can be simplified when T is multiple of the signal period ($T = 2 \cdot n/f_0$) into

$$\bar{P} = \frac{1}{T} \int_0^T u(t)i(t) dt = \sum_{k=1}^N \frac{\hat{U}_k \hat{I}_k}{2} = \frac{\hat{U}_1 \hat{I}_1}{2}. \tag{12}$$

Exact amplitudes of generated harmonics can be calculated only for full-scale input sinusoid. For non-full-scale input AC signals, no analytical result exists, and amplitudes of harmonic components can be obtained only by a numerical analysis of output patterns.

Fig. 5 shows simulated amplitude error of a $\Sigma\Delta$ modulator, caused by generated harmonic component on fundamental frequency for various input signal amplitudes. Input signal frequency was set to $f_0 = 50$ Hz and its amplitude ranged from 0.0005 full-scale (FS) up to 0.1 FS. A sampling frequency $f_s = 500$ kHz was used and the output from modulator was analyzed by Fourier transformation with 500k sample window. As it can be seen from Fig. 5, first-order $\Sigma\Delta$ modulator would not satisfy the requirements of a modern watt-hour meter. An error at lower operation points is too big, and the dynamic range of such device would be barely 1:100.

7. Effect of input Gaussian noise

Due to a non-linear element (a comparator) in the feedback loop of a $\Sigma\Delta$ modulator, an effect of input noise can only be analyzed by a behavioral simulation. For the purpose of simulation, an inherent thermal noise of analog

Table 1. Effect of various input noise levels

Noise RMS (FS)	$A_{in} = 0.001$ FS		$A_{in} = 0.002$ FS		$A_{in} = 0.005$ FS	
	Avg. A_{out} (FS)	σ (A_{out}) (FS)	Avg. A_{out} (FS)	σ (A_{out}) (FS)	Avg. A_{out} (FS)	σ (A_{out}) (FS)
0.1e-3	9.6958e-4	1.7127e-5				
0.2e-3	9.7919e-4	1.9337e-5				
0.5e-3	9.8814e-4	1.3772e-5				
1e-3	9.9238e-4	1.2308e-5	2.0025e-3	1.7419e-5	4.9803e-3	2.0041e-5
2e-3	9.9728e-4	1.4807e-5	2.0005e-3	1.4856e-5	4.9932e-3	1.5980e-5
5e-3	9.9721e-4	2.7389e-5				
10e-3	1.0044e-3	4.8051e-5				

components and a sampling noise of sampling capacitors were modeled as a Gaussian noise, added to the input signal. Various noise levels can be applied to the input signal. The results of simulations show that input noise decorrelates harmonic noise, caused by quantization error, from fundamental frequency. Unfortunately, added noise introduces uncertainty in the measurement bandwidth, so optimum noise level should be chosen as a compromise between remaining average amplitude error and spreading of output amplitude values, where output signal amplitudes are calculated in several time intervals T .

Spreading of simulated results can be approximated by a normal distribution. Table 1 summarizes the effect of a Gaussian noise for various noise levels added to the input signal. The same simulation parameters as in Section 6 were used with different random seed value in each simulation run. An average and a standard deviation of the modulator output amplitude at fundamental frequency were obtained by statistical analysis of 500 simulated results.

It can be concluded that input signal noise substantially reduces the average amplitude error of modulator output at fundamental frequency. The introduced uncertainty will be lowered by averaging the output signal of the multiplier in the final integrator. As the variance of results $\sigma^2(A_{out})$ is inverse proportional to the integration time T , standard deviation of measured results will be reduced by $\sqrt{n}$ when integration time is increased by a factor of n .

In actual circuits, inherent thermal noise of analog components and kT/C noise of the input switched capacitors is used as a noise source. This is favorable for a design because smaller capacitors consume less silicon area while producing adequate noise levels.

8. Simulation results

Behavioral simulations with bit-accurate digital models of the whole mixed analog-digital system were performed under conditions summarized in Table 2 .

A final calculated result of each simulation run (W_{DUT}) was compared to its theoretical value W_{ref} and an error was

Table 2. Behavioral simulation conditions

Analog clock	512k samples/s
Digital clock	4.096 MHz
Voltage input amplitude	0.9 FS
Current input amplitude	0.001–0.01 FS
Current channel noise	Normal, RMS value = 0.002 FS
Current sensor	di/dt
Measuring period	10 seconds, 1 st second ignored due to filter transient
Calibration point	0.1 FS

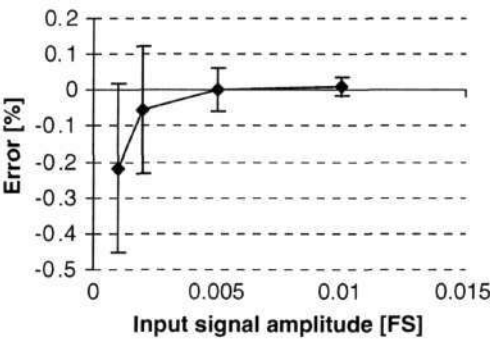


Fig. 6. Simulated results for various current amplitudes.

calculated as

$$e = \frac{W_{DUT} - W_{ref}}{W_{ref}} 100 \quad [\%]. \tag{13}$$

Several simulation runs were performed with different current channel input signal amplitudes. A resulting error characteristic, “load curve”, is well below the declared error, as the average error is less than 0.5% in each operating point. A different random number generator seed was used for each simulation.

Simulated results for various current input amplitudes, statistically analyzed on 100 results, are shown in Fig. 6. The average error and the standard deviation, represented in the form of error bars, are both decreasing with the increase of the input current amplitude.

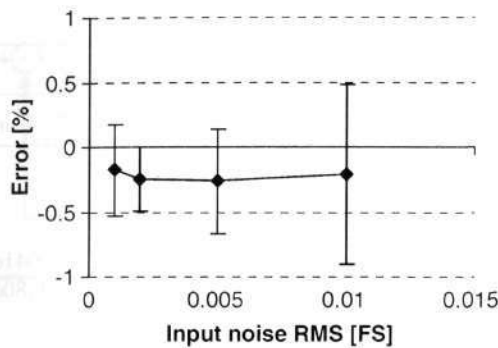


Fig. 7. Simulated results for different noise levels.

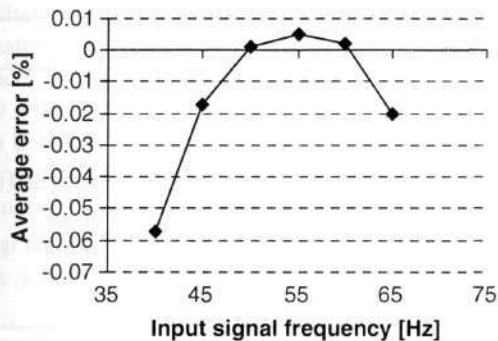


Fig. 8. Simulated frequency dependency.

The effect of different noise levels added to input signal is also of interest. This effect is summarized on 1000 samples in Fig. 7, where signal amplitude is 0.001 FS and noise RMS level ranges from 0.001 FS up to 0.01 FS. In this case, the average error is the lowest with input noise RMS level of 0.001 FS, but standard deviation is slightly higher than with noise RMS level of 0.002 FS. Otherwise, standard deviation of error is increased by increasing input noise.

In Fig. 8, simulated percentage error versus signal frequency is shown. Current channel input amplitude was set to 0.1 FS in this case. The results show an excellent frequency characteristic, achieved by separate tuning of the design parameters of the filter.

As a proof of the concept, a prototype watt-hour meter was constructed using two first-order $\Sigma\Delta$ modulators with input switched capacitor of 0.75 pF. The digital part was implemented in FPGA, and Rogowski coil was used as a current sensor. The prototype was tested on the standard calibrating equipment.

The measured results in Fig. 9 show that used $\Sigma\Delta$ modulator (low-noise first-order $\Sigma\Delta$ modulator) does not generate required noise level, therefore standard deviation of the measured results is lower than simulated. The average error is slightly bigger than simulated, and it is believed that a current sensor and PCB signal lines pick up a voltage correlated environmental noise. It can be concluded that, by introducing a $\Sigma\Delta$ modulator with higher noise level and by

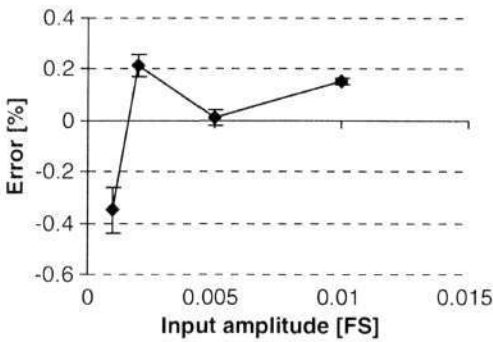


Fig. 9. Measured results for various current amplitudes.

careful shielding of sensor and signal lines, even lower average error could be achieved.

Based on the simulated results, a noise with RMS value of 0.002 FS was chosen as an optimum noise value for the $\Sigma\Delta$ modulators of the presented watt-hour meter.

These simulations were performed with digital models that are accurate to every bit. On the other hand, relatively simple analog models could be enhanced with other analog non-idealities [11] in order to analyze their effect on an overall system performance.

9. Conclusion

The results of behavioral simulations of a mixed analog-digital system show that IEC class 0.5 electronic watt-hour meter with dynamic range of more than 1:1000 can be designed using relatively low-frequency first-order $\Sigma\Delta$ modulators when a small amount of noise is added to their input signals. Although it is not possible to analyze the system exactly due to various non-linear elements and non-linear effects in analog and digital part of the system, it is possible to predict the system response to input noise by analyzing results of many simulation runs. The results also show that simple digital filters, implemented with digital $\Sigma\Delta$ structures and a $\Sigma\Delta$ four-quadrant multiplier can be used for digital processing, to obtain acceptable results with low power operation in a small silicon area.

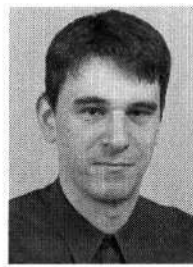
Acknowledgements

The author would like to thank Mr. Miro Rozman for sharing his ideas on system design, and to Mr. Milan Kosmač and Mr. Vojko Strle for their valuable assistance and technical discussions.

References

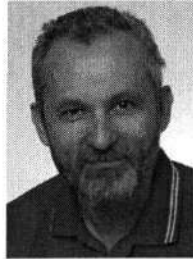
[1] Johns DA, Lewis DM. Design and analysis of delta-sigma based IIR filters. IEEE Trans Circuits Systems-II: Analog Digital Signal Process 1993;40:235–40.

- [2] da Fonte Dias V. Signal processing in the sigma–delta domain. *Microelectron J* 1995;26:543–62.
- [3] van der Horn G, Huijsing JL. Integrated smart sensors: design and calibration. Dordrecht: Kluwer Academic Publishers; 1998.
- [4] O’Leary P, Maloberti F. Bit stream adder for oversampled coded data. *Electron Lett* 1990;26:1708–9.
- [5] Kouvaras N. Operations on delta-modulated signals and their applications in the realization of digital filters. *Radio Electron Eng* 1978;48:431–8.
- [6] Kouvaras N. Some novel elements for delta-modulated signal processing. *Radio Electron Eng* 1981;51:241–9.
- [7] Candy JC, Temes GC. Oversampling delta–sigma data converters, theory, design, and simulation. New York: Wiley Interscience, IEEE Press; 1992.
- [8] Adams RW, Schreier R. Stability theory for $\Sigma\Delta$ modulators. *IEEE Trans Circuits Systems II: Analog Digital Signal Process* 1993;40:141–64 [chapter 4].
- [9] International Standard CEI/IEC 687:1992-06, Alternating current static watt–hour meters for active energy (classes 0.2 S and 0.5 S), Geneva: Commission Electrotechnique Internationale; 1992.
- [10] Gray RM. Quantization noise spectra. *Trans Inf Theory* 1990;36:1220–44.
- [11] Boser BE, Wooley BA. The design of sigma–delta modulation analog-to-digital converters. *IEEE J Solid-State Circuits* 1988;23:1298–308.



Uroš Bizjak was born in Kranj, Slovenia in 1972. He received his Uni.-Dipl. Ing. and M.Sc. Degrees in Electrical Engineering from the Faculty of Electrical Engineering, University of Ljubljana, Slovenia in 1996 and 2000, respectively. Since 1995, he has been involved with analog and mixed-mode VLSI designs at Iskraemeco, Kranj, Slovenia. His research interests include analog and mixed-mode integrated circuits,

sigma–delta data converters and low-noise integrated measurement systems for electrical watt–hour meters.



Drago Strle received the Dipl.-Ing., M.Sc. and Ph.D. Degree from University of Ljubljana, Faculty of Electrical Engineering in 1976, 1981, and 1991 respectively. He is an Assistant Professor of Electrical Engineering at the University of Ljubljana, Faculty of Electrical Engineering. Among other his research interests include integrated circuits and systems, high-resolution ADCs and DACs, $\Sigma\Delta$ converters, extremely low-

noise-integrated measurement systems, and low-power mixed-signal circuits.