

Sinhronizacija generatorjev trifaznega pulzno-širinsko moduliranega signala

Mitja Nemec, Vanja Ambrožič, Danjel Vončina

Univerza v Ljubljani, Fakulteta za elektrotehniko, Tržaška 25, 1000 Ljubljana, Slovenija
E-pošta: mitja.nemec@fe.uni-lj.si

Synchronization of SVM signal generators

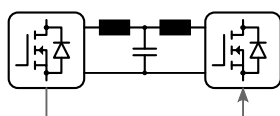
Abstract. The article presents two different approaches to synchronization of two (or more) three-phase converters. Contrary to currently developed approaches, which focus on synchronization of fundamental 50 Hz harmonic, the article focuses on synchronization of PWM signals in the order of 20 kHz. The developed approaches are evaluated using a test bed where we show that it is possible to synchronize two converters within ± 10 ns without any additional signals.

1 Uvod

Trendi razvoja na področju močnostne elektronike, poleg vedno bolj razširjene uporabe le-te, omogočajo uporabo vedno bolj kompleksnih topologij močnostne elektronike (večfazni pogoni, večvejni, večnivojski pretvorniki, ...) in tudi vedno bolj kompleksno vodenje ter diagnostiko. Povečana kompleksnost sistemov močnostne elektronike tudi zahteva več časa za razvoj. Z uporabo simulacij lahko preizkusimo delovanje modela močnostne elektronike v zaprti zanki (MIL – Model In the Loop). V zadnjih časih pa vedno bolj prodirajo v uporabo tako imenovani »in-the-loop« koncepti, pri katerih se preizkusi delovanje v zaprti zanki: končno verzijo programske opreme (SIL – Software In the Loop), končno verzijo programske opreme skupaj s signalno elektroniko (HIL – Hardware In the Loop) in končno verzijo programske opreme skupaj s končno verzijo signalne in močnostne elektronike (PHIL – Power Hardware In the Loop).

Konceptualni primer uporabe PHIL koncepta za testiranje močnostne elektronike je prikazan na sliki 1. V tem primeru se močnostna elektronika, ki jo želimo testirati (e.g. frekvenčni pretvornik) preko filtra določene konfiguracije (LCL v prikazanem primeru), poveže na PHIL pretvornik, s katerim emuliramo celotni sistem (pogon, omrežje, ...).

PHIL naprave se zelo pogosto uporabljajo za emulacijo aktualnih problemov v energetskem omrežju (mikro-omrežja, pametna omrežja, distribuirani viri, ...) [1]–[4].

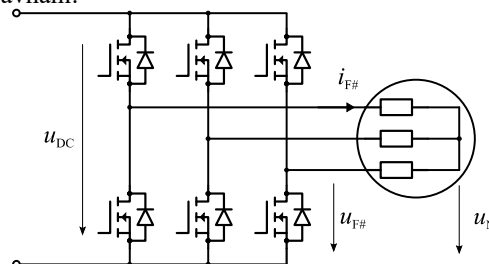


Slika 1: Tipičen PHIL postroj

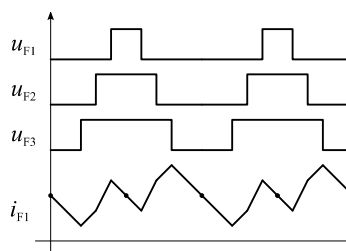
PHIL sistemi se med seboj bistveno razlikujejo v odvisnosti od namena, za katerega jih želimo uporabiti

[5]. Za PHIL sistem velja, da mora emulacijo izvajati najmanj z 10 do 20 krat višjo frekvenco, kot so pričakovane frekvence v prehodnih pojavih sistema. Tako je za emulacijo energetskih omrežij (50 Hz) načeloma dovolj, da se emulacija izvaja s taktom nekaj 10 kHz. Da pa harmoniki v merjenih veličinah, ki so posledica stikalnega delovanja, ne motijo delovanja celotnega sistema se le-ti zadušijo s pasivnimi filtri [6], [7]. V kolikor želimo emulirati sistem brez dodatnih pasivnih filtrov, se je tipično treba poslužiti hitrih FPGA vezij, s katerimi se lahko emulacija izvaja z zelo visokimi frekvencami (1MHz), pri katerih lahko emuliramo tudi stikalno delovanje.

Za emulacijo električnega pogona vodenega s trifaznim razsmernikom (slika 2), zadostujejo nižje vzorčne frekvence, saj so mejne frekvence stroja bistveno nižje. V kolikor emulacijo izvajamo s taktom preklopne frekvence, se preklonni harmoniki prezrcalijo v nižje frekvenčno območje [7]. Tudi v primeru ko sta vzorčna in preklonna frekvenca enaki, se lahko preklonni harmoniki kažejo kot enosmerna vrednost. Da se te izognemo, morata biti frekvenca vzorčenja in preklonna frekvenca enaki. Še več, trenutek vzorčenja (slika 3) mora biti glede na preklonno periodo ustrezno fazno poravnani. Tako je treba sinhronizirati vse močnostne pretvornike v PHIL sistemu, da vsi delujejo z enako preklonno frekvenco in so tudi ustrezno fazno poravnani.



Slika 2: Trifazni razsmernik



Slika 3: Valovitost faznega toka znotraj stikalne periode

Večina PHIL sistemov omogoča sinhronizacijo osnovnega harmonika (50 Hz), da se s tem prepreči neželjeno pretakanje moči med posameznimi podsklopi

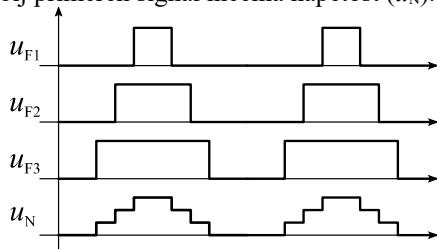
[8]–[10]. Za to je dovolj, da je napaka v sinhronizaciji reda 1 μs [11]. Da pa sinhroniziramo na nivoju stikalnih harmonikov, mora biti napaka v sinhronizaciji bistveno manjša. Dve taki rešitvi bosta predstavljeni v nadaljevanju.

2 Opis sistema

Naš PHIL sistem sestoji iz dveh trifaznih pretvornikov, ki sta povezana preko LCL filtra (slika 1). Prvi trifazni pretvornik predstavlja frekvenčni pretvornik, katerega delovanje želimo preveriti, LCL filter in drug trifazni pretvornik pa predstavljata naš PHIL sistem, s katerim emuliramo delovanje električnega stroja. Ker PHIL sistem za učinkovito delovanje meri tokove testiranega frekvenčnega pretvornika, mora biti vzorčenje PHIL sistema sinhronizirano s preklopnim delovanjem testiranega pretvornika.

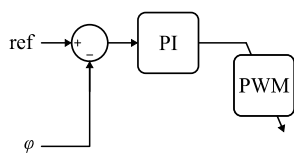
Najlažja izvedba sinhronizacije je s pomočjo dodatnih sinhronizacijskih signalov, s katerimi se sinhronizira PWM module, ki dajejo takt tako vzorčenju kot tudi preklopnemu delovanju. Vendar pa to zahteva dodatne povezave in izhode na testiranem pretvorniku in s tem testirani pretvornik ni več enak končni verziji, ki teh izhodov in povezav ne potrebuje.

Namesto dodatnih signalov lahko uporabimo kar napetostne izhode trifaznega mostiča (slika 4). Ker se posameznim izhodom ($u_{F\#}$) spreminja vklopno razmerje, je najbolj primeren signal ničelna napetost (u_N).



Slika 4: Napetosti v trifaznem pretvorniku

Iz signala ničelne napetosti lahko pridobimo podatke o faznem premiku med PWM signalom testiranega pretvornika in vzorčenjem ter s PLL zanko [12] vzorčno frekvenco spremenimo tako, da je vzorčenje sinhrono (slika 5).



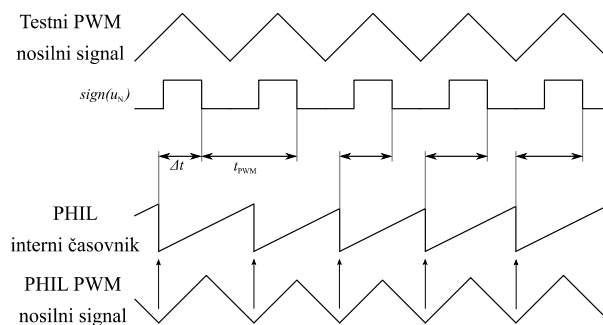
Slika 5: PLL zanka

2.1 Sinhronizacija z digitalnimi signali

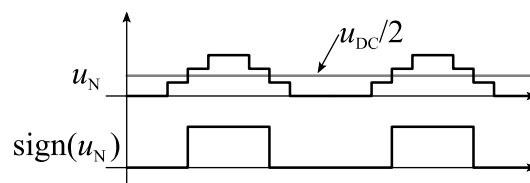
Pri digitalni izvedbi sinhronizacije signal ničelne napetosti pretvorimo v digitalni binarni signal. Nato pa z referenčnim števcem znotraj PHIL merimo njegovo periodo (t_{PWM}) in čas zakasnitve (Δt) proti PHIL PWM časovniku, ki tudi daje takt vzorčenju (slika 6). Kvocient zakasnitve in periode predstavlja fazni kot med dvema signaloma, ki ga uporabimo kot vhod v PLL zanko.

Prednost digitalne izvedbe je enostavnost, saj se lahko meritev zakasnitve in periode avtomatizira, izvedba PLL zanke pa je v večini primerov (PI

regulator) neproblematična. Največja omejitev leži v pretvorbi ničelne napetosti v digitalni binarni signal (slika 7). Ta se v digitalno obliko pretvori s primerjalnikom, ki analogni signal primerja s polovico napajalne napetosti, saj se ničelna napetost načeloma giblje med 0 V in napajalno napetostjo u_{DC} enosmernega tokokroga. Tipično vsebuje enosmerno komponento v iznosu $u_{DC}/2$. V mejnih primerih (ko so vklopna razmerja posameznih vej zelo velika ali zelo majhna) ima lahko ničelna komponenta precejšnjo enosmerno komponento, izmenična komponenta pa je zelo majhna. V tem primeru se izmenična komponenta signala ne preslika v binarno digitalno obliko.



Slika 6: Sinhronizacija preko meritve zakasnitve in periode



Slika 7: Pretvorba ničelne napetosti v binarni digitalni signal

2.2 Sinhronizacija z analognimi signali

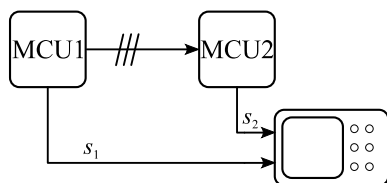
Drug pristop k sinhronizaciji je analogen. V tem primeru ničelno napetost vzorčimo z N -krat višjo vzorčno frekvenco ($N > 20$). Iz vzorčenega signala z uporabo diskretne Fourier-jeve transformacije (DFT) izločimo podatek o fazi osnovnega harmonika. V kolikor je N -kratnik frekvence signala blizu vzorčne frekvence, je tako dobljen podatek o fazi pravilen [13]. V kolikor to ne drži, je treba najprej iz signala s FFT-jem oceniti frekvenco signala in nato ustrezno nastaviti vzorčno frekvenco. Tako dobljen podatek o fazi ničelne napetosti tudi v tem primeru uporabimo kot vhod v PLL zanko, s katero sinhroniziramo vzorčenje.

Pri sami realizaciji je treba paziti na vpliv ločljivosti. Ker je preklopna perioda PHIL sistema N -kratnik vzorčne periode, je ločljivost preklopne periode prav tako N -kratnik ločljivosti vzorčne periode. V praksi to pomeni, da PLL zanka preklaplja (oscilira) med dvema različnima periodama, in tako drži sistem sinhroniziran. Te oscilacije lahko bistveno zmanjšamo z uporabo razprševanja (angl. diethering).

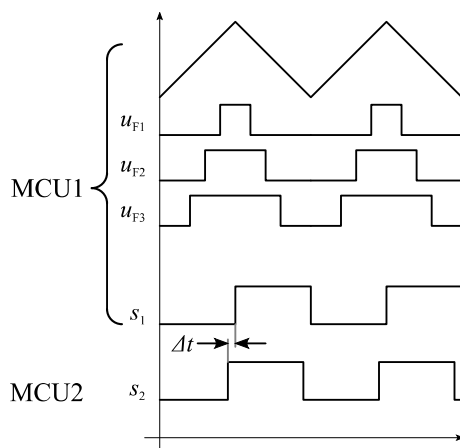
Prednost analognega pristopa, je v tem, da je neobčutljiv na prisotnost enosmerne komponente v ničelni napetosti. Je pa nekoliko bolj zahteven za realizacijo, saj poleg PLL regulatorja zahteva tudi implementacijo DFT-ja in razprševanja.

3 Rezultati

Primerjava predstavljenih načinov sinhronizacije je bila opravljena z dvema mikrokrmilnikoma TMS320F28377D, merilno vezje in način meritve pa je prikazan na slikah 8 in 9. Mikrokrmilnik 1 na podlagi internega števca v PWM enoti generira tri fazne signale napetosti in en referenčni signal s_1 , ki je fazno poravnan z PWM števcem. Mikrokrmilnik 2 pa iz treh faznih signalov še v analogni domeni izpelje signal ničelne napetosti, katerega potem uporabi za sinhronizacijo. Za oceno kvalitete sinhronizacije mikrokrmilnik 2 prav tako generira referenčni signal s_2 , ki je poravnan z internim PWM števcem, katerega skuša sinhronizacija poravnati s števcem mikrokrmilnika 2. Zakasnitev Δt med signaloma s_1 in s_2 je bila merjena z osciloskopom.



Slika 8: Shema merilnega sistema

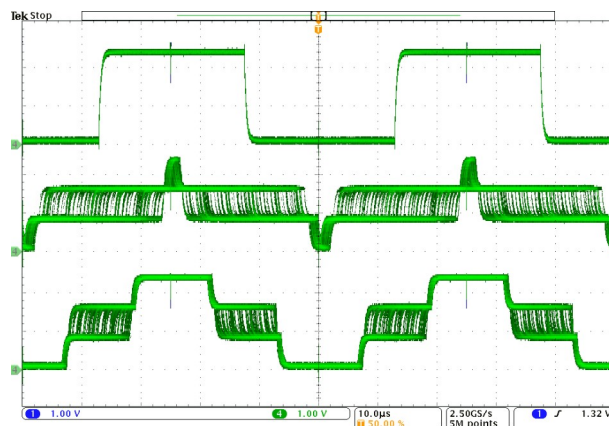


Slika 9: Merilni signali

Test sinhronizacijskih algoritmov je bil opravljen pri naslednjih pogojih: preklonpa frekvenca mikrokrmilnika 1 je bila 20 kHz, frekvenca vrtenja fazorja napetosti je bila 50 Hz, algoritem generiranja faznih signalov je bila klasična modulacija prostorskega vektorja napetosti, ločljivost zajema digitalnih signalov je bila 5 ns, vzorčna frekvenca mikrokrmilnika 2 je bila 32 krat višja (640 kHz). Meritev se je opravila za več različnih amplitud fazorja napetosti.

Primer oblike ničelne napetosti pri različnih amplitudah fazorja napetosti je prikazan na sliki 10.

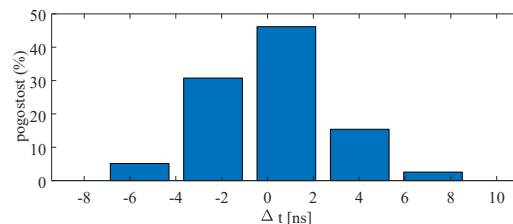
Z osciloskopom se je zajelo časovno okno 8ms (cca. 160 preklonnih period) z vzorčno frekvenco 2,5 GHz (časovna ločljivost 400 ps). S statistično obdelavo meritev pa smo naknadno pridobili histogram in standardno deviacijo časovne zakasnitve na podlagi katerih lahko sklepamo o kvaliteti sinhronizacije.



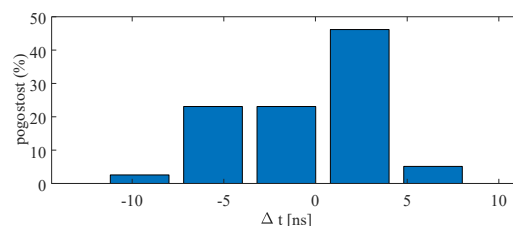
Slika 10: Primer oblike ničelne napetosti pri različnih amplitudah fazorja napetosti

Kot vidimo s slik 11-15, je čas zakasnitve med sinhroniziranimi signaloma večinoma manjši od 10 ns in je neodvisen od amplitude fazorja napetosti. Iz tabele 1. lahko tudi razberemo, da je zakasnitev med sinhroniziranimi signaloma pri digitalni način malenkost večja. Glavna težava digitalnega načina sinhronizacije pa je v tem, da pri visokih amplitudah fazorja napetosti ne deluje, saj se izmenična komponenta ničelne napetosti zaradi enosmerne komponente ne preslika v digitalno binarno obliko.

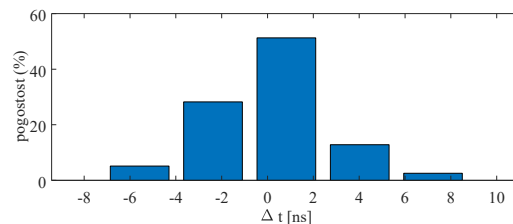
Pri analognem načinu sinhronizacije so bile prav tako opravljene meritve, s katerimi se je ugotovilo, da število vzorcev nima bistvenega vpliva na sinhronizacijo.



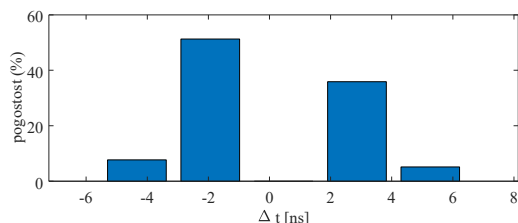
Slika 11: Čas zakasnitve pri digitalnem načinu sinhronizacije in amplitudi fazorja napetosti 0



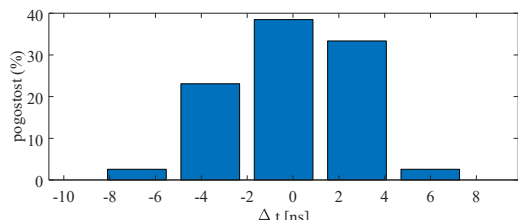
Slika 12: Čas zakasnitve pri digitalnem načinu sinhronizacije in amplitudi fazorja napetosti 0,5



Slika 13: Čas zakasnitve pri analognem načinu sinhronizacije in amplitudi fazorja napetosti 0



Slika 14: Čas zakasnitve pri analognem načinu sinhronizacije in amplitudi fazorja napetosti 0,5



Slika 15: Čas zakasnitve pri analognem načinu sinhronizacije in amplitudi fazorja napetosti 1,0

Tabela 1. Fazno trepetanje pri različnih načinih sinhronizacije in različni amplitudi fazorja napetosti

Način sinhronizacije	Amplituda fazorja	Standardna deviacija faznega trepetanja [ns]
ADC	0,0	3,33
	0,5	2,85
	1,0	3,53
CAP	0,0	3,45
	0,5	4,08

Zakasnitev reda 10 ns pri 20 kHz preklpni periodi znaša manj kot 0,02%, Tak je napaka pri vzorčenju toka, zaradi nepravilno izbranega trenutka vzorčenja vedno manjša kot 0,1% valovitosti toka, kar je več kot zadovoljivo.

4 Zaključek

V članku sta bila predstavljena dva pristopa k sinhronizaciji trifaznih močnostnih pretvornikov, ki ne zahtevata dodatnih povezav. Z meritvami je bilo pokazano, da oba načina sinhronizacije delujeta zadovoljivo, vendar pa ima digitalni pristop, ki je sicer nekoliko bolj enostaven za implementacijo omejitev, saj ne deluje pri vseh amplitudah fazorja napetosti.

Zahvala

Delo je bilo sofinancirano iz programa ARRS »Pretvorniki električne energije in regulirani pogoni« P2-0258 (B).

Literatura

[1] E. Guillo-Sansano, M. H. Syed, A. J. Roscoe, in G. M. Burt, "Initialization and Synchronization of Power Hardware-In-The-Loop Simulations: A Great Britain Network Case Study," *Energies*, vol. 11, no. 5, Art. no. 5, May 2018, doi: 10.3390/en11051087.

[2] H. Kikusato *et al.*, "Microgrid Controller Testing Using Power Hardware-in-the-Loop," *Energies*, vol. 13, no. 8, Art. no. 8, Jan. 2020, doi: 10.3390/en13082044.

[3] M. Muhammad, H. Behrends, S. Geißendörfer, K. von Maydell, in C. Agert, "Power Hardware-in-the-Loop: Response of Power Components in Real-Time Grid Simulation Environment," *Energies*, vol. 14, no. 3, Art. no. 3, Jan. 2021, doi: 10.3390/en14030593.

[4] A. S. Vijay, S. Doolla, in M. C. Chandorkar, "Real-Time Testing Approaches for Microgrids," *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 5, no. 3, pp. 1356–1376, Sep. 2017, doi: 10.1109/JESTPE.2017.2695486.

[5] G. F. Lauss, M. O. Faruque, K. Schoder, C. Dufour, A. Viehweider, in J. Langston, "Characteristics and Design of Power Hardware-in-the-Loop Simulations for Electrical Power Systems," *IEEE Trans. Ind. Electron.*, vol. 63, no. 1, pp. 406–417, Jan. 2016, doi: 10.1109/TIE.2015.2464308.

[6] O. Vodyakho, F. Fleming, M. Steurer, in C. Edrington, "Implementation of a virtual induction machine test bed utilizing the power hardware-in-the-loop concept," in *2011 IEEE Electric Ship Technologies Symposium*, Apr. 2011, pp. 52–55. doi: 10.1109/ESTS.2011.5770840.

[7] P. Kotsampopoulos, V. Kleftakis, G. Messinis, in N. Hatzigiorgiou, "Design, development and operation of a PHIL environment for Distributed Energy Resources," in *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, Oct. 2012, pp. 4765–4770. doi: 10.1109/IECON.2012.6389005.

[8] C. Di Pietro, F. Vasca, L. Iannelli, in F. Oliviero, "Decentralized synchronization of parallel inverters for train auxiliaries," in *Railway and Ship Propulsion Electrical Systems for Aircraft*, Oct. 2010, pp. 1–6. doi: 10.1109/ESARS.2010.5665243.

[9] O. Vodyakho, C. S. Edrington, M. Steurer, S. Azongha, in F. Fleming, "Synchronization of three-phase converters and virtual microgrid implementation utilizing the Power-Hardware-in-the-Loop concept," in *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, Feb. 2010, pp. 216–222. doi: 10.1109/APEC.2010.5433667.

[10] V. Mariani in F. Vasca, "Stability analysis of droop controlled inverters via dynamic phasors and contraction theory," in *2013 European Control Conference (ECC)*, Jul. 2013, pp. 1505–1510. doi: 10.23919/ECC.2013.6669325.

[11] S. Rinaldi, F. Bonafini, P. Ferrari, A. Flammini, M. Pasetti, in E. Sisinni, "Software-based Time Synchronization for Integrating Power Hardware in the Loop Emulation in IEEE1588 Power Profile Testbed," in *2019 IEEE International Symposium on Precision Clock Synchronization for Measurement, Control, and Communication (ISPCS)*, Sep. 2019, pp. 1–6. doi: 10.1109/ISPCS.2019.8886644.

[12] R. E. Best, *Phase Locked Loops 6/e: Design, Simulation, and Applications*. McGraw Hill Professional, 2007.

[13] D. Nedeljković, J. Nastran, D. Vončina, in V. Ambrožič, "Synchronization of active power filter current reference to the network," *IEEE Trans. Ind. Electron.*, vol. 46, no. 2, pp. 333–339, Apr. 1999, doi: 10.1109/41.753772.