

CENTRALNA PROCESNA ENOTA DELTA 16/BIT-SLICE

FRANC KOGOVŠEK
JOŽE MATJAŽ,
ANDREJ TREBAR,
JANEZ ANDERLE,
ANDREJ DOBNIKAR,
VESELKO GUŠTIN,
FRANC KODER,
MIRA MAČEK,
ALOJZ VOGEL

UDK: 681.519.7

ISKRA DELTA LJUBLJANA;
FAKULTETA ZA ELEKTROTEHNIKO, UNIVERZA EDVARDA
KARDELJA, LJUBLJANA

Prispevek govori o centralni procesni enoti DELTA 16/BIT-SLICE, ki je nastala kot rezultat sodelovanja med Iskra-Delta in Fakulteto za elektrotehniko v Ljubljani. To je mikroprogramiran rezinski procesor, ki emulira procesor sistema PDP 11/34. Poudarjene so le specifične lastnosti emulatorja: arhitektura, možnosti razširitev nabora instrukcij in način, kako izkoristiti fleksibilnost arhitekture za dosego bistveno večje zmogljivosti centralne procesne enote.

This article describes a central processor unit DELTA 16/BIT-SLICE, which has been developed by Iskra-Delta in cooperation with Fakulteta za elektrotehniko in Ljubljana. This microprogrammed processor was designed by using AMD 2900 series components to emulate the PDP 11/34 CPU. Only the specific features are emphasized: architecture, the possibilities to expand the instruction set and the description is given, on how to use all the advantages of the flexible architecture to achieve better performances of the central processor unit.

UVOD

DELTA 16/BIT-SLICE je centralna procesna enota za sistem DELTA 340. To je emulacija CPE KD 11-EA, kar pomeni, da sta enoti neposredno zamenljivi na standardnih konektorjih v sistemskem vodilu. Arhitektura enote DELTA 16/BIT-SLICE je zasnovana tako, da omogoča predledno in hitro tvorbo mikroprogramov za izvajanje poljubnih makro instrukcij. S tem namenom je v enoti DELTA 16/BIT SLICE zajeto vezje za izvedbo suspenzije, kar pomeni, da se mikroprogram lahko prekine in kasneje regularno nadaljuje (obravnavava zahteve za prekinitev med izvajanjem instrukcije, izvedba programa ob izklopu oziroma vklopu električne napetosti in podobno). Zajeto je tudi vezje za adresiranje dodatnih 48 splošno uporabnih registrov, v instrukcijskem dekoderju in v vezju za obravnavo pasti pa je rezervirano področje za operacijske kode teh nestandardnih instrukcij. Primeri takih instrukcij so iz niza "Commercial Instruction Set". To je niz instrukcij, ki tečejo na sistemih PDP 11/44 ob uporabi dodatnega CIS procesorja. Programsko in aparaturno podpora za tvorbo mikroprogramov sestavljajo:

- Macro Meta Assembler (AMDASH) z datoteko DEFINITION FILE enote DELTA 16/BIT-SLICE
- Program za vpis v mikroprogramski pomnilnik
- Upišljiv mikroprogramski pomnilnik (WCS) s širino do 128 bitov in globino do 2K besed

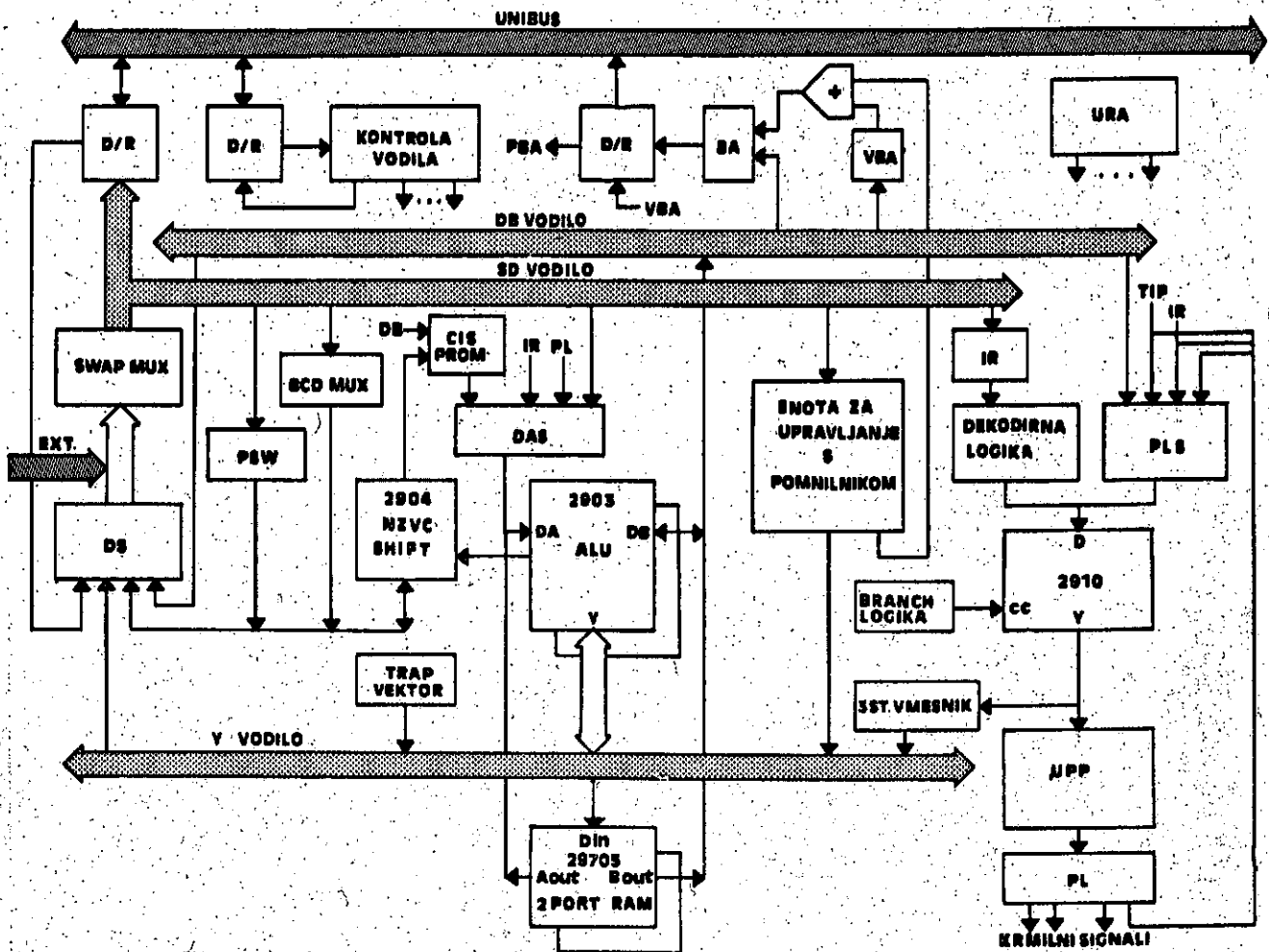
in je na voljo potencialnim uporabnikom v prostorih ISKRA DELTA, Razvoj AU, Grubarjeva nabrežje 6.

OPIS ARHITEKTURE PROCESORJA DELTA 16/BIT-SLICE

Slika 1 prikazuje blok shemo DELTA 16/BIT-SLICE mikroprogramiranega procesorja, ki se po funkcijskih značilnostih razdeli na štiri področja:

- podatkovna vodila (DATA PATH)
- mikroprogramski krmilnik (MICROPROGRAM CONTROL)
- enota za upravljanje s pomnilniškim prostorom (MEMORY MANAGEMENT)
- vezje za kontrolo podatkovnih prenosov (BUS CONTROL)

Podatkovni del procesorja je zasnovan na uporabi rezinskih elementov družine AM2900. Aritmetična losična enota (ALU) je sestavljena iz štirih 4-bitnih rezin AM2903, ki jim je dodan carry generator AM2902. Rezina AM2903 omogoča aritmetične in losične operacije ter specialne funkcije za množenje in deljenje. Skupaj z AM2904 omogočajo rezine pomikanje vsebine leva in desno nad zloso, besedo in dvojno dolžino besede. Rezina AM2903 vsebuje poleg 8 registra še 16 registrov, od katerih jih je osem uporabljenih kot splošno namenski registri (dostopni programerju), drugih osem pa kot delovni registri za izvorne in pomorne operande, kot tudi za vmesne rezultate. ALU-ju je lahko dodan še dodatni niz 48 delovnih registrov, ki so uporabljeni na enak način kot notranji ALU registri. V rezinah ni bilo mogoče realizirati procesorjeve statusne besede (PSW) in instrukcijskega registra (IR). Sestavni del PSW-ja je tudi AM2904, kjer so shranjene posojne kode za vsako operacijo v ALU-ju.



Slika 1: Blok shema DELTA 16/ BIT-SLICE mikroprogramiranega procesorja

kežina AM2903 ima več vhodnih in izhodnih linij, ki so lahko različno uporabljene. Linije DA<15:0> so uporabljene kot podatkovni vhod, na katerem so pripeljani podatki iz SD<15:0>, takojšnji podatek iz pipeline registra (PL), odmik iz instrukcijskega registra (IR), podatek iz CIS PROM-a in podatek iz 2-vhodnega dodatnega RAM-a. Linije DB<15:0> so uporabljene kot podatkovni izhod, ki posreduje virtualno adresno enoto za upravljanje s pomnilnikom, podatek za shranjevanje v pomnilnik preko Unibus vodila in števec iteracij mikroprogramski kontroli. Kot podatkovni vhod so DB linije uporabljene v primeru, ko želimo v ALU dostaviti podatke iz dodatnega RAM-a. Linije Y<15:0> so uporabljene kot podatkovni vhod ali izhod. V primeru, da so uporabljene kot podatkovni vhod, so razini posredovani podatki iz SD<15:0> vodila, trap vektor adrese, mikroinstrukcijska adresa iz AM2910 in podatek iz enote za upravljanje s pomnilnikom. Če so uporabljene kot podatkovni izhod, je podatek lahko posredovan v dodatni 2-vhodni RAM, ali pa na Unibus vodilo v primeru shranjevanja v pomnilnik. DS MUX skrbi za izbiro podatkov, ki jih pošilja CPE na Unibus vodilo oziroma podatke z Unibus vodila pošilja na SD<15:0>. Na Unibus vodilo so lahko poslani naslednji podatki: PSW in podatki iz ALU-ja preko DB<15:0> ali Y<15:0>.

V primeru zgoraj opisanih operacij se v odvisnosti od adrese lahko zamenjata spodnji in zgornji zlozi, za kar poskrbi SWAP MUX. Podatki na izhodu SWAP MUX-a so potem prisotni na SD<15:0> in na Unibus vodilu, če je ustrezno zakrmiljen D/R element.

DEKODIRANJE INSTRUKCIJ

Naloga DEKODIRNE LOGIKE je, da na osnovi vsebine v instrukcijskem registru po dostavi vsake instrukcije določi mikroprogramsko adresno, na kateri se prične izvajati instrukcija ustrezen mikroprogram. Glede na to, da ima precej instrukcij skupne značilnosti, predvsem kar se tiče dostavljanja operandov oz. njihovih adres, smo celoten nabor instrukcij razdelili v 9 skup (8 iz standardnega nabora, eno skupno pa predstavljajo CIS instrukcije). Zaradi grupiranja instrukcij je naloga DEKODIRNE LOGIKE dvojna: Prvič, da za vsako instrukcijo določi priпадnost skupi, ter, da hkrati pripravi adresno za eksekucijski del mikroprograma, ki je seveda različen za vsako instrukcijo. Vsaki skupi ustreza mikroprogram, ki za vse instrukcije v skupi izvaja skupno dostavo operandov oz. adres operandov. V času izvajanja skupnega mikroprograma, drugi del DEKODIRNE LOGIKE pripravi ekse-

kucijsko adresi, ki ustreza instrukciji v instrukcijskem registru.

Krmiljenje vstorne adrese v sekvenci 2910 je pod kontrolo mikroprograma. Ob dostavi nove instrukcije je odprta pot, ki nosi adresno grupe, ob koncu skupnega dela mikroprograma, ki ustreza strukturi, pa se odpre pot, ki pripelje eksekucijsko adresi instrukcije v sekvenci.

DEKODIRNA LOGIKA je zasnovana tako, da omogoča spremembe enostavno z reproduciranjem njenih pomnilnih elementov PAL oz. PROM. To je pomembno z vidika instaliranja novih specialnih instrukcij.

MIKROPROGRAMSKI KRMILNIK

Naloga krmilnika (AM2910) je generiranje naslovov za naslednjo mikroinstrukcijo. Mikroprogramski naslov se glede na krmilno informacijo na I vseh 2910 izbira med mikroprogramskim številnikom, vsebino mikroskleda, vsebino ponavljalnega registra ali vsebino na D vhodu. Na D vhod so priključeni trije viri. Hkrati je aktiven le eden, ostala dva pa sta v visokoimpedančnem stanju. Mikroprogramski naslov, ki se je generiral enota 2910, je možno spreminjati v skupni točki vezij z odprtim kolektorjem, od katerih se preko 3-stanjskega vmesnika posreduje na naslovno linijo mikroprogramskega pomnilnika (MPP). Obstaja tudi mehanizem naslavljanja mikroprogramskega pomnilnika na ta način, da se naslov vsili neposredno na vhod MPP, brez sodelovanja sekvenci. Mehanizem je aktiviran v naslednjih primerih:

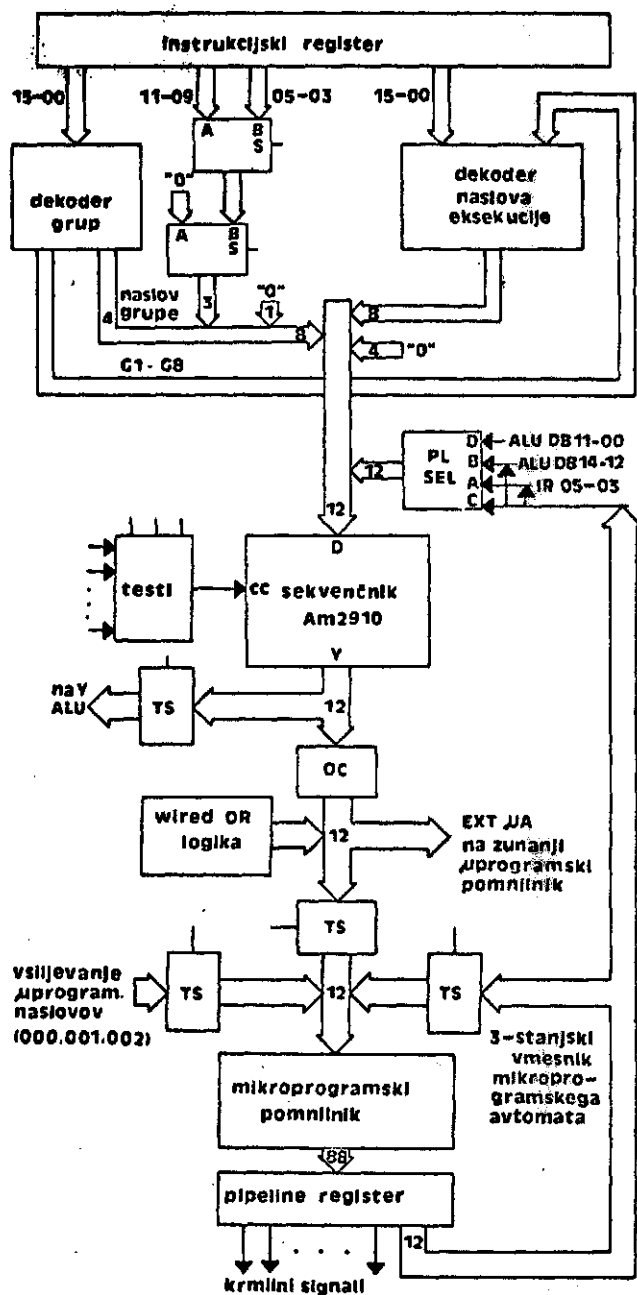
- pri vklopu napetosti se aktivira signal MPC 00 L, kar ima za posledico vsilitev naslova 001 na MPP (rutina za POWER UP)
- ob pojavu CIS suspenzije se vsili naslov 002 (rutina za začetek suspendirane CIS instrukcije)
- kadar je pri prenosih CPE-glavni pomnilnik nastopila situacija, ki zahteva past, signal ABORT H prekine izvajanje mikroprograma in vsili naslov 000 in s tem mikroinstrukcijo SERVICE, ki reagira na past.

Funkcija PL-selektorja je izbira enega izmed štirih virov. Izhod je priključen neposredno na D vhod 2910 in je onemogočen le v tistih mikroinstrukcijah, pri katerih se izvaja JMAP instrukcija. Selekt vhodi PL - selektorja so krmiljeni neposredno iz pipeline registra s signaloma PLS0 in PLS1, pri čemer velja naslednja tabela:

PLS1	PLS0	I
0	0	PL + MODE
0	1	PL + TIP
1	0	PL
1	1	ALU NN

PL + MODE vhod uporabljamo v primerih, ko želimo večvejni skok glede na način naslavljanja, ki je z instrukcijo vred dan v IR registru.

Za CIS nabor je rezerviran večvejni skok glede na tip stringa, ki se definirajo biti 12, 13 in 14 v deskriptorju. Le-ta se nahaja v registrih ALU-ja in kadar želimo večvejni skok glede na tip stringa, posredujemo pripravljeno deskriptor na DB izhod ALU enote. Signale ALUDB12H, ALUDB13H in ALUDB14H, ki definirajo vrsto stringa, uporabimo na PL-selektorju, tako da s svojo vrednostjo določajo enega izmed osmih naslovov v večvejnem skoku.



Slika 2: Mikroprogramski krmilnik

Za brezposojne in posojne veljave se celoten 12-bitni naslov iz pipeline registra posreduje preko PL selektorja (uporabljen je vhod PL) na D vhod 2910.

ALU NN vhod se v standardnem naboru uporablja za inicializacijo vsebine števec iteracij v 2910. Nova vsebina, ki se nahaja v ALU registru, se preko DB izhoda posreduje na PL selektor in preko tega na D vhod sekvenci, ter se z instrukcijo LDCT vpiše v števec iteracij. V okviru CIS suspenzije je možno preko tega vhoda inicializirati tudi mikroskled in mikroprogramski številnik.

Aktiviranje dekodirne logike na vhodu sekvenci omogoča JMAP instrukcija takoj za tem, ko se je nova mikroinstrukcija že vpisala v IR register. Naslov, ki se definira dekodirna logika je sestavljen na sledeč način:

11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	1	G	R	U	P	A	1	0
ADRESNI NAČIN											

Mikroprogramski sekvenčnik opravlja posojno vejitev v primeru, da se na I vhodih nahaja CJP instrukcija, ter, da je signal CCEN (1) L/PL/ na logični '0'. Vejitveni naslov v tem primeru posreduje PL selektor, vejitev pa dobimo v primeru, ko se na CC vhodu 2910 pojavijo logična '0'.

Skupna točka vezij z odprtim kolektorjem omogoča wired-or funkcijo in na ta način daje možnost za spreminjanje mikroprogramskega naslova, kar predstavlja dodatni vejitveni mehanizem za realizacijo aparturnih posojnih vejitev. Ta mehanizem se aktivira s signalom BRANCH (1) H/PL/ v primeru, da se ne izvaja JMPAR instrukcija na 2910, ampak sekvenčnik generira sodi vejitveni naslov z brezposojno vejitveno funkcijo JMPBR. Kadar je posoj izpolnjen se na ta način sodi naslov spremeni v lihosa in s tem se izvede aparturna posojna vejitev.

Mehanizem aparturne posojne vejitve je uporabljen tudi pri aparturno-mikroprogramski realizaciji vejitvenih makroinstrukcij. Ob detekciji suspenzije se vsili koda CJS na AM2910 ter '002' na mikroprogramski pomnilnik. Generirani signal D SUS (1) L istočasno zapre pot od kontrolerja na mikroprogramski pomnilnik, ter omogoči izhodom iz PL registra 'Next Address', da jih usmerimo na adresne vhode mikroprogramskega pomnilnika. Tako povezava ni nič drugega kot mikroprogramski avtomat in ta prevzame kontrolo nad shranjevanjem mikroprogramskega števca na mikrosklad v AM2910.

Enostavnejša varianta suspenzije nastopi v primeru I/O interrupt-a, zahtevnejša pa ob PFAIL interrupt-u. V prvem slučaju je potrebno shraniti le vsebino COUNT REG iz 2910 v ALU in uPC na mikroprogramski sklad (US-TACK) v 2910. V drugem slučaju je poleg tega potrebno shraniti še celoten uSTACK iz 2910 v ALU ter nato še vse registre iz ALU-ja (64) na sklad (SP). Slednje se izvede ob zadnji instrukciji rutine za izpad napetosti (PFAIL), to je v HALT instrukciji, ki je v ta namen prirejena.

RAZŠIRITEV NABORA INSTRUKCIJ

Že tako bežen pregled arhitekture kaže na izredno fleksibilnost CPE DELTA 16/ BIT-SLICE. Kot ilustracija naj služi primer nabora CIS (Commercial Instruction set). To je povsem nestandarden nabór, ki se normalno izvaja na posebnem mikroprocesorju. Operandi v tem naboru so stringi, bodisi znakovni bodisi numerični. Operacije pa so od premikanja stringov, iskanj vzorcev do aritmetičnih operacij nad numeričnimi stringi dolžine do 31 števk. Vsi deli aparturne opreme, ki so bili vnešeni za podporo CIS nabora, se lahko s podobno učinkovitostjo koristijo pri realizaciji poljubnih novih instrukcij. Pri tem ni potrebno spreminjati niti instrukcijskega dekoderja pod posojem, da si za svojo makro-instrukcijo 'izposodimo' operacijsko kodo ene od CIS instrukcij. Spremeni se le vsebina v mikroprogramskem pomnilniku.

Mikroprogram se razvija s pomočjo MACRO META ASSEMBLER-ja. Za osnovo se vzame datoteka DEFINITION FILE, ki vsebuje določene enemnike, ki so bili prirejani posameznim funkcijskim sklopom aparturne opreme. Procesorja DELTA 16/ BIT-SLICE. Asembliran mikroprogram se nato avtomatsko naloži v razvojni

WCS (Writable Control Store), ki v času testiranja simulira mikroprogramski pomnilnik. Po končanem testiranju se mikrokoda vpiše v hitre bipolarne PROM elemente. V konfiguraciji torej, kakršna je trenutno, je možno uporabiti prostor v mikroprogramskem pomnilniku in sicer 0,25K oziroma 0,75K, odvisno pač od tega ali se izbere PROMe 512X8 ali pa 1024X8. Mikroprogram za osnovni instrukcijski nabór zaseda približno 0,25K pomnilniških lokacij.

RAZŠIRITEV V APARTURNI OPREMI

Povsem nove kvalitete bi pridobili s priključitvijo tretje plošče, ki bo vsebovala 4 K besed mikroprogramskega pomnilnika na osnovi hitrih vezij RAM (čas dostopa 55ns), hitri paralelni množilnik 16X16 (izračun. Produkta 50ns) in niz dodatnih registrov. S takšno konfiguracijo se približamo zmogljivostim ARRAY procesorjev na področju hitrega procesiranja digitalnih signalov (digitalni filtri, spektralna analiza, matematične transformacije, manipulacije z matrikami, integrirani, procesiranje slik, razpoznavanje vzorcev in tako dalje). To so področja, kjer je računalnik izkoriščen v največji možni meri. Zmogljivosti sistema na osnovi procesne enote DELTA 16/ BIT-SLICE v taki konfiguraciji in na teh področjih so lahko nekajkrat večje od zmogljivosti večjih sistemov, ki opravljajo ista dela na osnovi standardnih instrukcij.

ZAKLJUČEK

Z vidika arhitekture ima CPE DELTA 16/ BIT-SLICE nekaj značilnih prednosti napram enoti K111EA sistema PDP 11/34.

- uporabniku je omogočena realizacija novih instrukcij oziroma algoritmov na mikroprogramski način
- rezinska zasnova ALU enote omogoča modularno razširitev registerskega niza
- mikroprogramski krmilnik omogoča vveljavno mikroprogramskih subtilin
- na mikronivoju je vsrtajen prekinitveni mehanizem (suspenzija), ki dovoljuje redularno prekinitve daljših mikroprogramskih sekvenc
- dosežena je optimalna dolžina vsake mikroinstrukcije
- aparturna zasnova upošteva vse posebnosti CIS nabora

Zaradi vseh navedenih prednosti se je bistveno povečala fleksibilnost in uporabnost procesne enote. Glavna odlika rezinskega procesorja je njegova hitrost pri izvajanju obsežnejših algoritmov, na kar že kažejo nekatere primerjave.

Natančne meritve hitrosti še niso bile izvedene. Rezultati teh meritev in primerjava z enoto K111EA bodo objavljeni v eni prihodnjih številok.