

UDK 681.3.019

P. Kolbezen
S. Mavrič
B. Mihovilovič
Institut »Jožef Stefan«

POVZETEK. Večje računalniške zmogljivosti, ki jih zahtevajo današnje aplikacije na področju razpoznavanja govora, procesiranja slik, umetne inteligence in še vrsta drugih, je mogoče iskati le v novih paralelnih sistemih, pri katerih je znatno večja učinkovitost možna le s posebno organizacijo materialne opreme, predvsem v VLSI procesorski tehnologiji, in takšni opremi prilagojeno programsko opremo.

Proizvajalci računalniških sistemov, ki načrtujejo zmogljive vektorske operacije, so izdelali posebne FORTRAN - prevajalnike. Ti razpoznavajo, če se zanka DO lahko zamenja z eno ali več vektorskimi instrukcijami. Zanka DO je tako skalarna predstavitev množice vektorskih operacij in zato more biti izvedena mnogo bolj učinkovito s strojnimi instrukcijami, ki so v takšne namene posebej načrtovane in se zato njihove operacije učinkoviteje izvajajo. Arhitekturne odlike se kažejo z uporabo bodisi cevanih aritmetičnih enot, kot jih srečujemo pri cevanih vektorskih računalnikih (npr. pri CYBER 205 ali CRAY-1), bodisi z večkratnimi procesnimi elementi, kot jih srečujemo pri vektorskem aritmetičnem multiprocesorju (VAMP) ali pri matričnih procesorjih (npr. pri ICL DAP, BSP ali TRANSPUTER ARRAY).

Paralelne vektorske organizacije in podrobnejši opis strukture računalnika ICL DAP so predmet obravnave prvega dela prispevka. Prikazan je tudi stil programiranja, ki ga narekuje takšen računalnik.

V članku je prikazano, kako so lastnosti paralelnih implementacij sekvenčnih kodov na materialni opremi paralelnega sistema pomembne, da prirojeni paralelizem v problemu, ki ga rešujemo, ustreza uporabljeni arhitekturi oziroma organizaciji računalniške materialne opreme.

ABSTRACT. PARALLEL ARRAY PROCESSORS AND ITS APPLICATION, I. With new applications such as robotics, speech recognition, artificial intelligence, image processing, etc., the need for faster processing devices becomes more important. The only solution is to employ the new parallel systems. More efficient systems can be attained in first of all with the new VLSI technology and with new organizations of computer hardware and to these ones appropriate software.

All manufacturer of computers designed for efficient operations on vectors of numbers have produced FORTRAN compilers that recognise when a DO loop can be replaced by one or several vector instructions. This is the recognition by software that a particular DO loop is just the scalar representation of a set of vector operation, and can therefore be executed much more effectively by machine instructions that are especially engineered to perform such operations efficiently. The architectural features used are then either the pipelined arithmetic units in the case of pipelined vector computers (e.g. CYBER 205 and GRAY-1) or the replicated processing elements in the case of vector arithmetic multiprocessor (VAMP) or processor array (e.g. ICL DAP, BSP and TRANSPUTER ARRAY).

In the present first part of this work the basic categories of parallel computers will be described and the detailed structure of ICL DAP will be given in more detail, together with an overview of the programming style that is requires. In the second part the optimization algorithm based on matrix computations as a tool for implementations of application algorithms will be continued.

In the paper is shown that the behaviour of parallel implementations of sequential codes on parallel hardware depends critically on a careful match between the innate parallelism of the problems, the algorithm and the hardware.

1. UVOD

Zadnja leta so tehnološke spremembe in številne inovacije dramatično zmanjšale ceno računalniških zmogljivosti. Na vsakih nekaj let so se pojavili bistveno hitrejši in cenejši procesorji. Posebne prednosti teh procesorjev so se pričele kazati pri sestavljanju le-teh v različne paralelne sisteme. Sistemski programerji so dobili spodbudo, da so modificirali obstoječo sistemsko programsko opremo enoprocesorskih sistemov tako, da je z njo mogoče kar najbolje

izkoristiti prednosti novih konceptov paralelnih sistemov.

Poskušali bomo kolikor mogoče jasno predstaviti rezultate na novem področju računalniških arhitektur oziroma organizacij, ki naj bi pokazali bistvene prednosti rabe paralelnih procesorskih sistemov. Prednosti se kažejo v novih aplikacijah, kot so robotika, razpoznavanje govora, umetna inteligenca, procesiranje slik itd., kjer so postale zahteve po hitrejših procesorskih napravah vse pomembnejše. Zaradi zaporednega izvajanja instrukcij, ki se izvajajo

jo druga za drugo, je razvoj sekvenčnih arhitektur skoraj obstal. Rešitve je nadalje mogoče iskati le v novih paralelnih sistemih, pri katerih je znatno večja učinkovitost možna le s posebno organizacijo materialne in njej ustrezne programske opreme.

Polpreteklela zgodovina kaže, da je paralelizem mogoče vpeljati na različnih nivojih, ki jih lahko opredelimo takole:

1. Nivo posla
 - 1.1., med posli;
 - 1.2., med fazami posla;
2. Programski nivo
 - 2.1., med deli programov;
 - 2.2., znotraj DO zank;
3. Instrukcijski nivo
 - 3.1., med fazami izvajanja instrukcije;
4. Aritmetični in bitni nivo
 - 4.1., med elementi vektorskih operacij;
 - 4.2., v sklopu aritmetičnih logičnih vezij;

Proizvajalci računalniških sistemov, ki načrtujejo učinkovite vektorske operacije, so izdelali posebne FORTRAN - prevajalnike. Ti razpoznavajo, če se zanka DO lahko zamenja z eno ali več vektorskimi instrukcijami. Zanka DO je tako skalarna predstavitev množice vektorskih operacij in zato more biti izvedena mnogo bolj učinkovito s strojnimi instrukcijami, ki so v takšne namene posebej načrtovane in se zato njihove operacije kar najučinkoviteje tudi izvajajo. Arhitekturne odlike se kažejo z uporabo bodisi cevanih aritmetičnih enot, kot jih srečujemo pri cevanih vektorskih računalnikih (npr. pri CYBER 205 ali CRAY-1), bodisi z večkratnimi procesnimi elementi, kot jih srečujemo pri vektorskem aritmetičnem multiprocesorju (VAMP) ali pri matričnih procesorjih (npr. pri ICL DAP ali BSP).

Paralelne vektorske organizacije bodo predmet prvega dela naše obravnave, medtem ko bo drugi del prispevka posvečen uporabi sistema s takšno organizacijo. Med drugim bomo obravnavali optimizacijski postopek, ki je zasnovan na matričnem računu in se lahko uporablja kot učinkovito orodje za implementacijo danega algoritma na paralelnem računalniku.

Videli bomo, da so lastnosti paralelnih implementacij sekvenčnih kodov na materialni opremi paralelnega sistema močno odvisne od prilagoditve prirojenega paralelizma v problemu, ki ga rešujemo, uporabljeni računalniški materialni opremi. To odvisnost lahko v določeni meri ugotovljamo na primeru, pri katerem uporabljamo paralelni računalnik za reševanje problemov, ki so izrazito sekvenčni. Drug podoben primer je, če na specifičnem paralelnem procesorskem sistemu izvajamo takšen algoritem, v katerem sicer obstaja nek paralelizem, je pa ta povsem drugačne narave, kot paralelizem algoritmov, za izvajanje katerih je bil specifični paralelni sistem tudi zgrajen. Zato bomo v prispevku sledili ugotovitvam učinkovitosti rabe posameznih arhitektur pri reševanju problemov določenega razreda.

2. PARALELNI SISTEMI

Klasifikacija procesorskih sistemov je dandanes ponovno vse manj zadovoljivo rešena. Znana avtorja na tem področju sta Flynn (1972) in Shore (1973). Problem ustrezne klasifikacije tiči v tem, da več dobro vpeljanih sodobnejših arhitektur, predvsem učinkovitih cevanih računalnikov, ne sodi dovolj jasno niti v en, niti v drug razred poznanih klasifikacij, oziroma, da tako kot računalnik ICL DAP, le-ta enako dobro ustreza hkrati dvema razredoma. Alternati-

tivni pristop do primerne klasifikacije je, da določimo razrede glede na osnovne načine, na kakršne se paralelizem javlja v arhitekturi nekega računalnika. Tako lahko govorimo o paralelizmu cevovanja, kopiranja oziroma vektorske porazdeljenosti procesorjev, funkcionalnosti ali o multiprocesorskem paralelizmu:

- (1) Paralelizem cevovanja (pipelining) je zasnovan na tehniki t.i.m. zbirne linije, ki povečuje zmogljivost aritmetične ali krmilne enote;
- (2) Paralelizem funkcionalnosti je zasnovan na več med seboj neodvisnih enot, ki lahko izvajajo različne funkcije (kot so logične funkcije, funkcije seštevanja in množenja) in sočasno izvršujejo operacije nad različnimi podatki.
- (3) Vektorski paralelizem je zasnovan na polju identičnih procesnih elementov pod skupnim nadzorom ene same krmilne enote. Ti elementi sočasno izvajajo enake operacije nad različnimi podatki, ki so shranjeni v njihovih zasebnih pomnilnikih. To so t.i.m. korlačne (lock-step) operacije z zaklepanjem;
- (4) Multiprocesorski paralelizem izkorišča večje število procesorjev, od katerih izvaja vsak svoje instrukcije, medtem ko navadno med seboj komunicirajo preko skupnega pomnilnika.

Flynn /1/ je razdelil paralelne računalnike, ki procesirajo več podatkovnih tokov hkrati v dve kategoriji. To so večinstrukcijski večpodatkovni stroji MIMD (Multiple-Instruction Multiple-Data) in enoinstrukcijski večpodatkovni stroji SIMD (Single-Instruction Multiple-Data).

Vsaka od obeh kategorij ima svoje značilnosti. Oglejmo si jih na kratko.

Računalnik MIMD ima navadno majhno število nepretirano učinkovitih in med seboj povezanih procesorjev, ki lahko sodelujejo med seboj ali pa delujejo neodvisno drug od drugega. Zato je potrebno, da so neodvisna programska opravila kodirana in dodeljevana posameznim procesorjem. Posebna skrb mora biti posvečena sinhronizaciji dodeljevanja informacij med procesorji, ko eden od procesorjev zahteva informacijo od drugega procesorja. Dokaj jasno je, da pri obsežnejših opravilih in pogostejši sinhronizaciji nekateri procesorji čakajo brez dela, dokler drugi procesorji ne dokončajo svojega opravila. Primer stroja takšnega tipa je Loughborough-ov računalnik Neptun, ki je zasnovan na štirih mini-računalnikih Texas Instrument 990/10. Ta računalnik in njegovo uporabo je podrobneje opisal R.H.Barlow /1/.

Računalniki, vodeni s tokom podatkov, ki pripadajo kategoriji strojev MIMD, predstavljajo ločeno podkategorijo. Vzrok ločitve tiči v drugem postopku vodenja, ki temelji na drugih in ne na klasičnem von Neumannovem konceptu. Pri klasičnem tj. sekvenčnem računalniku predstavlja program, ki se na njem izvaja, neko zaporedje (sekvenco) instrukcij. V računalniku MIMD pa se več sekcij kode lahko izvaja paralelno na različnih procesorjih. V vsaki od sekcij lahko še nadalje obstaja vzporedje, ki pa je nevidno programerju, ker se le-to pojavlja znotraj posameznih instrukcij.

Pristop vodenja s tokom podatkov se naslanja na direktno predstavitev z grafom. Vzemimo enačbo:

$$y = a \cdot x^3 + b \cdot x^2 + c \cdot x + d$$

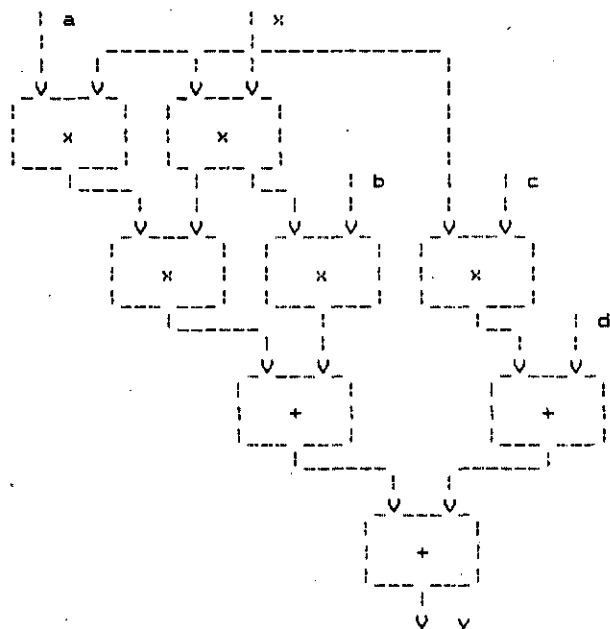
Gornjo enačbo moremo izraziti na običajen način v viskonivojskem programu. Moremo pa je predstaviti tudi direktno z grafom, ki ga vidimo na sliki 1. V grafu na tej sliki predstavlja vsako vozlišče eno od osnovnih operacij (tj. množenje ".", ki je na sliki označeno z "x", in sešte-

vanje, ki je označeno z "+").

Vidimo, da so vozlišča grafa povezana s puščicami, ki so obrnjene v smeri toka informacij: vhod-izhod. Informacija potuje od izhoda vozlišča, ki je pravkar izvršilo svojo funkcijo (tj. določeno operacijo), k vходу vozlišča, ki bo svojo funkcijo šele pričelo izvajati. Serijsko - paralelna odvisnost med operacijami postane očitnejša pri predpostavki, da lahko dano vozlišče izvrši svojo funkcijo samo tedaj, ko so prisotni vsi njeni vhodi. Operacije (funkcije) so v tem primeru vodene le s tokom podatkov. Takšen pristop izvajanja paralelizma ima prednost v tem, da programer uporablja pri implementaciji stroja, ki je voden s tokom podatkov, dokaj običajen jezik. Podrobnosti o takšnem stroju najdemo na primer v delih Johnsona /3/ in Sauberja /4/ iz firme Texas Instruments in v delih da-Silva in Woodsa /5/, ki sta delala na Manchester računalniku, pa tudi v seriji člankov na temo podatkovno vodenih arhitektur v zadnjih dveh letih v tem časopisu (Informatica, letniki 85, 86 in 87).

V popolnem nasprotju s stroji MIMD imajo stroji SIMD navadno veliko število (včasih tudi več tisoč) manj učinkovitih procesorjev, ki so prav tako, vendar bolj strogo povezani med seboj. Očitnejša razlika teh strojev v primerjavi s stroji MIMD je, da so njihovi procesorji praviloma sposobni opravljati le enaka osnovna opravila. V nadaljevanju bomo uporabljali izraz vektorski procesor izključno za računalnike razreda SIMD, ki uporabljajo klasičen (neasociativni) pomnilnik z naključnim dostopom (RAM), in izraz asociativni procesor za računalnike iz razreda SIMD, ki uporabljajo asociativni pomnilnik. Med vektorske procesorje sodijo navadno oboji: vektorsko cevani in matrični računalniki. Tipična primera takšnih računalnikov sta računalnika GRAY1 in ICL DAP. Prvega uvrščamo med vektorsko cevane, drugega pa med matrične računalnike.

V pojasnilo naj posebej omenimo, da GRAY-1 nima veliko število procesorjev. Kljub temu ga uvrščamo med stroje SIMD. Paralelni operandi so



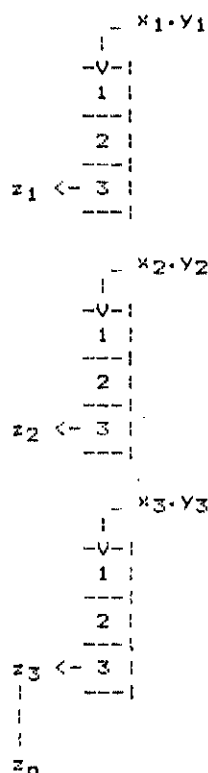
Slika 1. Krmiljenje s tokom podatkov

vzemimo element računanja pomične vejice, tj. element množenja dveh vektorjev x in y z rezultatom z , pri čemer imajo vsi vektorji dolžino 64. Rezultat dobimo z izvajanjem naslednjih korakov:

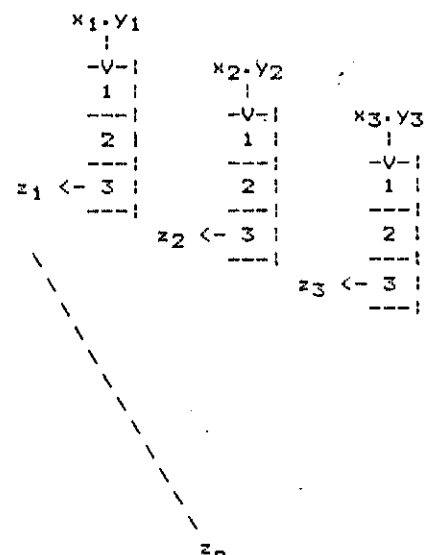
- (1) Izvršimo produkt posameznih komponent
- (2) Dodamo eksponente
- (3) Normaliziramo in zaokrožimo rezultate

Pri preprostem sekvencnem računalniku se vse tri stopnje izvajajo zaporedno za vsak par operandov (vektorskih komponent). Pri tem se moramo zavedati, da med izvajanjem seštevanja eksponentov v 2. koraku, stopnja 1 izvajanja algoritma miruje; podobno, ko se rezultati v 3. koraku normalizirajo, mirujeta stopnja 1 in 2. V vektorsko cevanem računalniku, kot je npr. GRAY-1, pa obstaja več segmentiranih funkcionalnih enot, ki lahko delujejo paralelno. Na

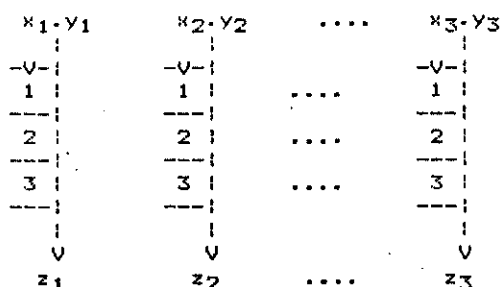
(a) Preprost sekvencni računalnik



(b) Vektorsko cevani računalnik



(c) Paralelni vektorski procesor



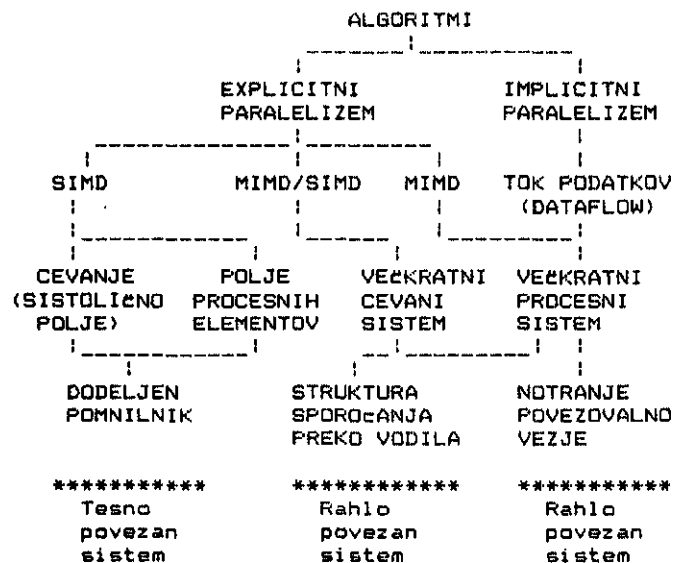
Slika 2. Cevanje pri vektorsko cevanem in paralelnem vektorskem procesorju

namreč omejeni v takšnem smislu, da opravljajo enake operacije. Kot primer vektorskega cevania

primer, ko se izvrši množenje segmentov x_1 in y_1 , se prične seštevanje eksponentov segmentov x_1 in y_1 , toda istočasno starta tudi množenje naslednjih dveh segmentov x_2 in y_2 , itd. Mimogrede povedano, tudi srednji in zelo hitri sekvenčni stroji izkoriščajo pradtosti cevanja. Obravnavani primer je prikazan na sliki 2. (za $n=64$).

Pri sekvenčnem stroju so potrebni trije urini impulzi za izračun vsakega "delnega" rezultata, kar pomeni 192 impulzov, da se izračuna celoten vektor z . Drugače je pri vektorskem cevanju, kjer je po prvih dveh impulzih potreben le še en sam urin impulz na "delni" rezultat. To pomeni skupaj 66 impulzov, da se izračuna celoten vektor z . V primeru matričnega procesiranja pa dobimo vseh n (delnih) rezultatov v treh urinih impulzih. Torej lahko zaključimo: če primerjamo vse tri možne načine množenja $n = 64$ komponentnih vektorjev in uporabimo:

- sekvenčen računalnik, potrebujemo $3n=192$ impulzov,
- vektorsko cevani računalnik, potrebujemo $2+n = 66$ impulzov,
- paralelni vektorski procesor, potrebujemo 3 impulze.



Slika 3. Klasifikacija paralelnih računalniških arhitektur.

Podrobnosti o računalniku Gray-1 najdemo med drugimi tudi v delih /6/ in /7/.

Podrobnejšo klasifikacijo strojev je mogoče podati bodisi z vidika organizacije njenih sestavnih delov, v katerih se vzporedje pojavlja, bodisi z vidika uporabljenega načina krmiljenja. Slednja klasifikacija je obravnavana v delu B. Robiča /8/. V nadaljevanju pa se bomo omejili predvsem na prvo omenjeno klasifikacijo, ki je osnovana na paralelnem procesiranju bitov ali/in besed in na številu uporabljenih krmilnih enot. Vse pogostejše pa dandanes srečujemo tudi sisteme, ki vključujejo oba načina vodenja: podatkovnega in nepodatkovnega, od katerih slednji sloni na klasični von-Neumannovi arhitekturi. Takšen "mešani" sistem je npr. wavefront procesor. Upoštevajoč obe omenjeni klasifikaciji, je mogoče klasifikacijo strojev še bolj nadrobno razdelati. Glede na

način izvajanja paralelizma v algoritmu, lahko paralelne arhitekture klasificiramo /9/ po shemi na sliki 3.

2.1. Vektorski in asociativni procesorji

Glede na zgoraj omenjene vidike procesiranja pa lahko paralelne procesorske sisteme razdelimo v šest razredov, in sicer:

- BPWSAR - bitno paralelni (BP), besedno serijski (WS), vektorski (AR) procesorji: UNGER, SOLOMON, VAMP, CDC 7600, GRAY-1, ILLIAC, BSP in NASF;
- WPBSAR - besedno paralelni (WP), bitno serijski (BS), vektorski (AR) procesorji: CLIP, DAP, STARAN in MPP;
- WBSPAS - besedno (W) in bitno (B) serijski (S) in paralelni (P) asociativni (AS) procesorji ali tim. ortogonalni procesorji: OMEN 40. Računalniki tega razreda se lahko združujejo v ustrezne MSIMD (tj. večkratne SIMD računalnike): MAP, PM;
- BPWSAS - bitno paralelni (BP), besedno serijski (WS), asociativni (AS) procesorji (za snova procesorja PEPE);
- WPBSAS - besedno paralelni (WP), bitno serijski (BS), asociativni (AS) procesorji: STARAN, RELACS;
- UNCNAS - nepovezani (UNCN) asociativni (AS) procesorji z besednimi rezinami (bitno serijski): PEPE;
- CNAR - povezani (CN) vektorski (AR) procesorji z besednimi rezinami (bitno serijski): ILLIAC IV. Med pridružene računalnike MSIMD tega razreda lahko prištevamo sistem PHOENIX.

Vsi vektorski procesorji podpirajo koncept ločenih podatkovnih pomnilnikov (DM) in procesnih enot (PU), ki so povezani med seboj z nekim podatkovnim vodilom ali stikalnim elementom. Pri tem je nepomembno, da imajo nekatere implementacije enobitnih strojev WPBSAR procesno enoto in podatkovni pomnilnik realizirana na isti vtični enoti (tiskanini). Takšen procesor je npr. ICL DAP. Nevektorski procesorji pa predstavljajo alternativni pristop k porazdeljeni procesorski logiki, ki je prenešana na pomnilnik. Imenujemo jih "Vsebinsko naslovljivi paralelni procesorji" (CAPP) ali "Asociativni procesorji" (LIMA) in zavzemajo obsežno področje procesorjev od najpreprostejših asociativnih pomnilnikov do zelo kompleksnih asociativnih procesorjev /10,11/. Shema arhitekture te vrste procesorjev iz razreda LIMA prikazuje slika 4.



Slika 4. Arhitektura procesorja iz razreda LIMA.

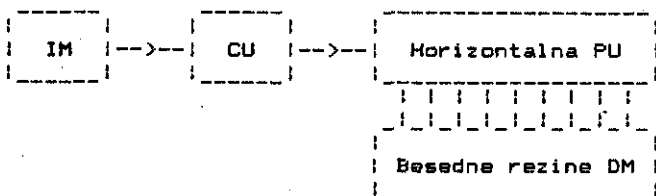
Področje aplikacij strojev iz razreda LIMA, ki se odlikujejo po izredno hitrih operacijah in po lahkem programiranju, je zelo veliko. Med napogostejše aplikacije sodijo: procesiranje radarskih podatkov, testiranje povezanosti, ki jo srečujemo v determinističnih implikacijah semantičnih mrež umetne inteligence, pravopisno popravljanje, digitalno diferencialno analiziranje analognih podatkov (kar predstavlja bistveno bolj učinkovito reševanje problemov, ki jih sicer rešujejo analogni računalniki), nadzorovanje zračnega prometa, urejanje, časovno

vhodno/izhodno dodeljevanje med terminali in glavnim računalnikom in reševanje relaksacijskih problemov v fiziki. Pogosto pa se asociativni paralelni procesorji uporabljajo tudi za opravljanje številnih specifičnih funkcij v konvencionalnih računalnikih.

Vsebinsko naslovljiv paralelni procesor CAPP je zasnovan na vsebinsko naslovljivem pomnilniku CAM, ki mu je dodana sposobnost paralelnega vpisovanja v besede, ki so za ta namen posebej označene. Lahko se spreminja celotna vsebina besed, ali le del besede, ali celo samo posamezni biti v označeni besedi. V takšnem primeru govorimo o sposobnosti pomnilnika z večkratnim zapisom. Po tej sposobnosti se loči CAM od CAPP. Le-ta omogoča izvajanje paralelne aritmetike, sestavljeno iskanje in v splošnem emulacijo vektorskih računalnikov, kot na primer računalnika ILLIAC. Prvi predlog pomnilnika CAM je dal Slade že leta 1956, v letu 1972 pa je Goodyear Aerospace Corporation poslal na tržišče računalnik STARAN, kot prvi komercialno dosegljiv CAPP.

Nadalje si oglejmo še ostale razrede paralelnih procesorjev in vsaj po enega predstavnika vsakega razreda.

BPWSAR. Procesor je konvencionalne von Neumannove arhitekture z eno samo krmilno enoto (CU), procesno enoto (PU), krmilnim ali instrukcijskim pomnilnikom (IM) in podatkovnim pomnilnikom (DM). Enojni DM pri čitanju predaja vse bite neke besede PU, da jih le-ta paralelno procesira. PU lahko sestavlja več funkcionalnih enot, ki so lahko tudi cevane. Zato pripadajo temu razredu tako cevani skalarni računalniki (kot je npr. CDC 7600) in cevani vektorski računalniki (npr. GRAY1), ki se odlikuje po svoji preprosti arhitekturi. Shema arhitekture računalnikov tega razreda ponazaruje slika 5.



Slika 5. Arhitektura procesorja iz razreda BPWSAR

UNGER (1958) je zasnoval računalnik za reševanje prostorskih problemov, predvsem za aplikacije kot so npr. razpoznavanje vzorcev. Ta računalnik, imenovan tudi "prostorski računalnik", ima dvodimenzionalno polje PE pod skupnim nadzorom. V računalniku SOLOMON je bil vpeljan koncept t.i. "zaklepanja po korakih" v operacijah strojev SIMD. Koncept je predlagal Slotnick (1962), realiziran pa je bil šele v seriji strojev ILLIAC in še nekaterih kasnejših strojih tipa SIMD. Tri leta kasneje je bil zgrajen vektorski aritmetični procesor VAMP (Senzing in Smith), ki je sestavljen iz linearnih vektorjev PE z dodeljenimi jim pomnilniškimi moduli in cevano aritmetično enoto. Vsaka PE je virtualni procesor, ki vsebuje samo nekaj delovnih registrov. Cevani vektorski procesor pa je bil načrtovan z namenom, da zmanjša ceno materialne opreme, potrebne za vektorsko procesiranje.

Prvi model računalnika GRAY-1 je bil zgrajen pri Gray Research Inc. kot najhitrejši računal-

nik na svetu in dobavljen laboratoriju "Los Alamos Scientific Laboratory" leta 1976. To je tudi prvi komercialno dosegljiv cevani vektorski procesor. Ima 12 funkcionalnih enot, sedaj že vse cevane, hitrišbo uro 12,5 ns, 16 bank bipolarnega pomnilnika z 10^6 besed in 50 ns ciklom ter osem 64-bitnih vektorskih registrov za pomnenje 64-ih števil v pomilni vejici. Aritmetične operacije nad temi vektorji izvaja s približno 32 strojnimi ukazi. Tri funkcionalne enote so namenjene vektorskim operacijam (pomiku, logičnim operacijam in seštevanju), tri enote pa skalarnim operacijam (seštevanju v plavajoči vejici, množenju in recipročni aproksimaciji) /7/.

Burroughs Corporation je igral vodilno vlogo pri razvoju vektorskih paralelnih procesorjih. Ta se je pričel s procesorjem ILLIAC IV in nadaljeval s paralelnim procesorjem PEPE. Kmalu mu je sledil BSP s komercialnimi težnjami na perspektivnem tržišču, ki ga je predstavljalo že takrat ekspanzivno splošno znanstveno - raziskovalno okolje.

Projekt ILLIAC IV je imel cilj, da se razvije visoko paralelni računalnik z velikim številom aritmetičnih enot, ki bi izvajale vektorske ali matrične izračune s hitrostjo reda 10^6 operacij na sekundo. Da bi se dosegla takšna zmogljivost sistema, je bil računalnik prvotno načrtovan z 256 PE-mi, katere naj bi nadzorovale 4 centralne procesne enote (CU). Zarade previsoke cene in nesprejemljivih zakasnitev operacij dodeljevanja je bil prvotni sistem okrnjen na eno četrtno. Tako končni produkt, ki je namenjen predvsem reševanju parcialnih diferencialnih enačb (v numerični obdelavi vremenoslovnih kart za napovedovanje vremena, v nuklearnih raziskavah in v drugih številnih aplikacijah), sestavlja le polje 8×8 po 64-bitnih procesnih elementov za računanje s plavajočo vejico pod nadzorom ene same CU. S tako okrnjenim sistemom so dosegli hitrost 200 milijonov operacij na sekundo. Vsaki PE je dodeljen pomnilnik z 2K besedami, ki dela po načinu koračnega zaklepanja z najbližjimi sosednimi povezavami.

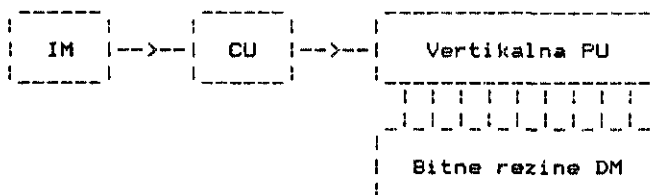
Eden od problemov, ki so nastopali pri uporabi eksperimentalnega prototipa ILLIAC IV, so bile zakasnitve pri prenašanju podatkov na dolge razdalje preko polja PE zaradi omejitev v številu najbližjih sosednih povezav med 64-imi procesorji in njihovimi 64-imi bankami pomnilnikov (PEM). Zato je Burroughs v svojih komercialnih produktih računalnik ILLIAC pričel proizvajati v "okrnjeni" izvedbi z 16-imi procesorji in 17-imi pomnilniškimi bankami pod oznako BSP (Burroughs Scientific Processor). Zaradi manjšega števila procesorjev je bilo mogoče komunikacije izvesti preko posebnega "uvrstitvenega vezja" med poljubnima paroma procesorja in pomnilniške banke. Večje število pomnilniških bank v primerjavi s številom procesorjev dopušča uporabo algoritmov preslikav, ki zmanjšujejo število pomnilniških konfliktov. Le-ti lahko sicer močno narastejo v pogostih manipulacijah z matrikami. PE so procesorji, ki omogočajo računanje s plavajočo vejico, in so serijsko organizirani. Seštevanje ali množenje izvajajo paralelno in dajo 16 rezultatov tovrstnih operacij iz polja PE v 320 nsek. S skrbnim prekrivanjem čitanja, vpisovanja in aritmetike, skupaj s povezovanjem viška PEM s PE, računalnik BSP učinkovito preprečuje ozka grla in dosega pri reševanju večine problemov, ki jih rešuje, maksimalno procesno hitrost 50 Mflop/s.

V ta razred prištevamo tudi novejši sistem NASF za potrebe NASA: Numerical Aerodynamic Simulation Facility. Sistem je predlagal Stevens leta 1979. Načrtal ga je CDC na osnovi izpopolnjenih štirikratno cevanih računalnikov CYBER 205, ki delajo po načinu t.i. "koračnega zaklepanja",

z dodatnim petkratnim cevanjem kot pripravljeno rezervo, ki se elektronsko vključi v primeru, da se odkrije napake v delovanju sistema. Vsako cevanje lahko da en 64-bitni rezultat ali dva 32-bitna rezultata na vsakih 8 nsek. V vsakem primeru pa je rezultat dobljen v največ treh operacijah. Zato je pri tem računalniku dosežena doslej največja hitrost računanja v aritmetiki s plavajočo vejico, in sicer 3 Gflop/sek. K temu pripomore tudi hiter skalarni procesor z 16 nsek uro.

WPBSAR. Procesor tega razreda se v bistvu razlikuje od procesorja iz prejšnjega razreda samo v tem, da se pri čitanju DM dostavi bitna rezina vseh besed v pomnilniku, namesto da bi se dostavili vsi biti ene besede. Zato je PU organizirana tako, da izvaja vse operacije v bit-serijskem načinu. V primeru, da je pomnilnik dvo-dimenzionalno polje bitov z eno besedo na vrstico, čita računalnik tega razreda vertikalno rezino bitov, medtem ko čita računalnik iz prejšnjega razreda horizontalno rezino. Primera strojev iz tega razreda sta ICL DAP in STARAN, shema arhitekture teh procesorjev pa je prikazana na sliki 6.

Medtem, ko si bomo računalnik ICL DAP podrobneje ogledali v naslednjem poglavju, bomo na tem mestu nekaj pozornosti posvetili računalnikoma CLIP in MPP.



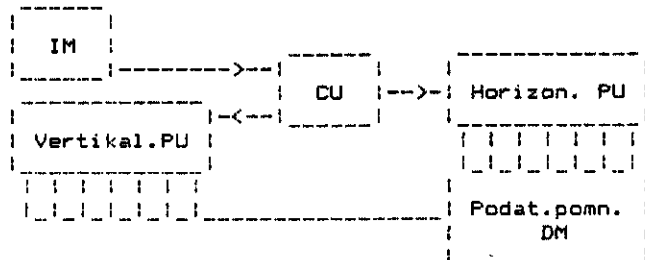
Slika 6. Arhitektura procesorja iz razreda WPBSAR.

Vektorski procesor CLIP-4 je procesor, ki je zasnovan na bitnih rezinah. PE procesorja so razporejene v celično mrežo 96 x 96 PE. Vsaka procesna enota ima osem sosedov v dvodimenzionalnem polju, lahko pa je povezana le s štirimi najbližjimi sosedi.

Računalnik MPP je t.i.m. masivni paralelni procesor (massively parallel processor), ki je bil razvit v NASA Goddard Space Flight Center za procesiranje satelitskih posnetkov. "Masiven" se imenuje zato, ker ima 128 x 128 = 16384 mikroprocesorjev, ki lahko vsi hkrati paralelno procesirajo. Procesor MPP računa v aritmetiki bitnih rezin z operandi spremenljivih dolžin. Ima mikroprogramljivo krmilno enoto, ki ji je mogoče vprogramirati popolnoma prilagodljive instrukcije za vektorske, skalarnе in I/O operacije. Sistem MPP je izveden v celoti v polprevodniški integrirani tehnologiji vezij in uporablja mikroprocesorske čipe in bipolarne RAM-pomnilnike.

WBSPAS. Procesorji tega razreda so sestavljeni iz kombinacije arhitektur strojev iz razreda BPWSAR in WPBSAR. Arhitekturo WBSPAR sestavlja dvodimenzionalni pomnilnik, iz katerega se lahko čitajo ali besede ali bitne rezine, horizontalna procesna enota, ki procesira besede, in vertikalna procesna enota, ki procesira bitne rezine. To je v bistvu ortogonalni računalnik, ki ga je zasnoval Shooman že leta 1970. Oba omenjena računalnika iz prejšnjega razreda ICL DAP in STARAN sta sicer lahko programirana tako, da zagotavljata sposobnosti računalnika

iz tega razreda, ker pa nimata ločenih procesnih enot za procesiranje besed in bitnih rezin, ne pripadata temu razredu. Implementacijo strojev, katerih arhitektura popolnoma ustreza definiciji strojev iz razreda WBSPAS, predstavlja serija računalnikov OMEN-60. Računalnik OMEN-60 je zasnoval Higbie že leta 1972, njihovo arhitekturo pa kaže slika 7.



Slika 7. Arhitektura procesorja iz razreda WBSPAR.

Serija računalnikov OMEN (Ortogonal Mini Embedment) je komercialna implementacija ortogonalnega računalniškega koncepta proizvajalca Sanders Associates za aplikacije, kot je procesiranje signalov. Ta serija uporablja računalnik PDP-11 za konvencionalno horizontalno aritmetično enoto in polje 64 procesnih enot (PE) za asociativno vertikalno aritmetično enoto. Operacije te enote se izvajajo predvsem nad zlogovnimi rezinami in ne toliko nad bitnimi rezinami, odvisno od modela; ali ima le-ta bitno serijsko aritmetiko z osmimi biti pomnilnika, ki pripada vsaki PE, ali pa ima aritmetiko v plavajoči vejici, izvedeno v materialni opremi z osmimi 16-bitnimi registri in petimi maskovnimi registri. Posebna logika med PE-mi obrača vrstni red zlogov v rezini ali izvršuje popolno premeščanje (perfect shuffle) ali ciklični pomik.

Med MISMD primere tega razreda lahko prištevamo računalnik MAP (Multi-Associative Processor) z osmimi CU, ki jim je dodeljeno 1024 PE in sistem PM, ki je bil načrtovan kot "rekonfigurabilni" računalniški sistem. Posebnost tega procesorja je, da lahko procesira na tri načine: kot MSIMD, MSISD in kot MIMD. Tipično konfiguracijo PM sestavlja 16 centralnih enot s 1024 procesorskimi pomnilniškimi enotami. Sistem je bil kasneje na Purdue University izpopolnjen v t.i.m. PUMPS tako, da ga je mogoče uporabljati tudi za splošne raziskave večprocesorskih sistemov.

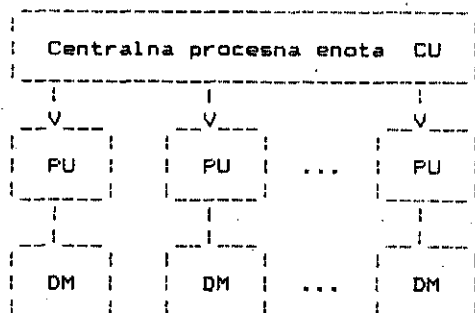
BPWSAS. Arhitektura računalnikov tega razreda je analogna arhitekturi računalnikov iz razreda WPBSAR, kot jo kaže slika 5. V ta razred spada asociativni procesorji, ki uporabljajo besedno serijski asociativni pomnilnik. Na tovrstnih procesorjih je zasnovan tudi računalnik PEPE. Ker je le-ta hkrati tudi t.i.m. "nepovezan asociativni procesor", ga bomo obravnavali v prav tako imenovanem razredu UNCNAS.

WPBSAS. Arhitektura računalnikov tega razreda je analogna arhitekturi računalnikov iz razreda WPBSAR (Slika 6). Predstavljata tega razreda WBSPAR. Uporablja bitno serijski asociativni pomnilnik. Ima do 32 asociativnih vektorskih modulov. Prvi računalnik tega tipa je bil namenjen procesiranju digitaliziranih slik leta 1975. Popolnoma paralelna struktura uporablja zahtevno in drago logiko v vsaki pomnilniški celici in zapletene komunikacije med celicami. Bitno serijski asociativni procesor je bistveno

cenejši od popolnoma paralelne strukture, ker se istočasno primerja le ena sama bitna rezina. Vsak od 32 asociativnih vektorskih modulov ima 256 x 256 bitnih besed večdimenzionalno dostopnega pomnilnika (MDA), 256 procesnih elementov, permutacijsko (flip) vezje in selektor. Vsak procesni element obravnava serijsko bit po bitu nad podatki v vseh besedah MDA pomnilnika. S pomočjo permutacijskega vezja so podatki, ki so shranjeni v pomnilniku DMA, dostopni preko I/O kanalov v bitnih ali besednih rezinah ali v kombinaciji obeh. Permutacijsko vezje izvaja pomike ali opravlja, ki omogočajo paralelno iskanje, aritmetične ali logične operacije nad besedami pomnilnika MDA. Ta pomnilnik je Good-year Aerospace implementiral tako, da je RAM čipom dodal XOR logična vezja, v kasnejših, dražjih modelih pa je MDA-pomnilnik povečal na 9216 x 256 bitov na modul in znatno povečal hitrost I/O operacij in procesiranja. Med izvajanjem ene instrukcije se podatki v vseh selektiranih pomnilnikih vseh modulov procesirajo sočasno s preprostimi procesnimi elementi, ki so dodeljeni vsaki podatkovni besedi. Vmesniška enota vsebuje vmesnike s senzorji, konvencionalne računalnike, signal procesorje, interaktivne prikazovalnike in masovne pomnilniške naprave. Različne I/O opcije so implementirane v "custom design" vmesniški enoti, ki omogoča direkten dostop do pomnilnika, I/O kanale z vmesnim shranjevanjem, zunanje funkcijske kanale in paralelni I/O. Vsak asociativni vektorski modul ima 256 vhodov in 256 izhodov, prav tako v posebni "custom design" vmesniški enoti. Ta omogoča večjo hitrost komunikacij vektorskih podatkov računalnika z visoko pasovno širino I/O naprave in dovoljuje katerikoli napravi, da neposredno komunicira z asociativnimi vektorskimi moduli. Navedena sposobnosti znatno povečujejo v zahtevnih aplikacijah prepustnost sistema, poenostavljeno kompleksnost programske opreme pri sorazmernoma manjši ceni materialne opreme. Posebna odlika računalnika STARAN je visoka I/O hitrost oz. zmogljivost komuniciranja z okolico in sposobnost preprostega povezovanja z konvencionalnimi računalniki. STARAN v sistemu s konvencionalnimi računalniki nadzoruje paralelno procesiranje opravil, konvencionalni računalniki pa opravila, ki se morajo procesirati serijsko.

Dandanes je večina asociativnih procesorjev načrtovanih za iskanje informacij in obdelave podatkovnih baz. Takšne vrste je asociativni računalnik RELACS, ki ga je predlagal Stevens (1979) in je namenjen raziskavam na Syracuse University. Zasnovan je na uporabi večstopenjskih pomnilnikov med diski in gostiteljskim računalnikom.

UNCNAS. Stroji tega razreda imajo pomnožene PU in DM iz strojev prvega razreda BPWSAR. PU in pridruženi DM so v tem razredu definirani kot



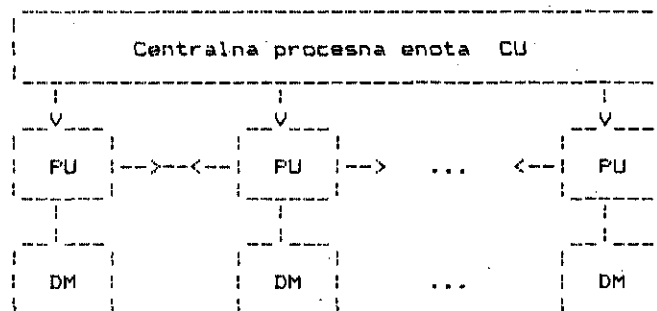
Slika 8. Arhitektura procesorja iz razreda UNCNAS.

procesni elementi PE. Vse PE izvajajo instrukcije ene same krmilne enote CU. Dobro poznan stroj tega razreda je PEPE. Ker procesne enote med seboj niso povezane, je uporaba teh strojev omejena, po drugi strani pa obstajajo določene prednosti le-teh zaradi relativno enostavnih procesnih elementov. Arhitekturo računalnikov tega razreda kaže slika 8.

Kot vidnejšega predstavnika tega razreda si bomo ogledali računalnik PEPE.

Obstajata dva tipa popolnoma paralelnih asociativnih procesorjev: besedno organizirani in s porazdeljeno logiko. Pri besedno organiziranih procesorjih je prisotna primerjava vsakega bita vsake besede in so možne logične odločitve po procesiranju vsake besede. Asociativni procesorji s porazdeljeno logiko so manj zapleteni in zato tudi cenejši. Takšen procesor je PEPE, ki je bil razvit v Bell Laboratory-jih za aplikacije procesiranja radarskih signalov. Procesor sestavlja sedem različnih funkcionalnih podsistemov. Od teh je pet nadzornih enot, kot so nadzorna enota izhodnih podatkov in pomnilniških elementov, aritmetična, korelacijska in asociativna izhodna nadzorna enota, ter nadzorni sistem in številne procesne enote. Vsako PE sestavlja aritmetična enota, korelacijska enota, asociativna izhodna nadzorna enota in pomnilnik z 1024 32-bitnimi besedami. 288 PE je organiziranih v osem elementne svitke. Selektirani deli opravil se nalogajo iz gostiteljskega računalnika CDC-7600 v procesne enote. Selekcijo določa inherentni paralelizem opravil in specifična arhitektura procesorja PEPE, ki lahko obravnava posamezna opravila veliko bolj učinkovito kot gostiteljski univerzalni računalnik, in se uporablja le kot koprocesor tega računalnika.

CNAR. Stroji tega razreda so podobni strojem iz prejšnjega razreda s to razliko, da so pri strojih iz razreda CNAR procesne enote PE razvršče-



Slika 9. Arhitektura procesorja iz razreda CNAR.

ne v liniji in med seboj povezane najbližji sosed. To pomeni, da morejo nekatere procesne enote naslavljanje besede v svojem lastnem pomnilniku in tudi od neposrednih sosedov. Na ta način je v določeni meri odpravljena slabost procesorjev iz prejšnjega razreda, ki izvira iz nepovezanosti PE. Primer stroja tega razreda je ILLIAC IV, ki omogoča hkrati tudi direktne komunikacije med vsakimi osmimi procesnimi enotami PE. Karakteristično shemo arhitekture procesorja iz tega razreda vidimo na sliki 9.

Vidnejši predstavniki tega razreda so poleg računalnika ILLIAC IV tudi izvedenke MIMD tega računalnika, kot je procesor PHOENIX. Njegov

predhodnik je procesor, ki ga v bistvu sestavlja originalen računalnik ILLIAC-IV. Ta je načrtovan tako, da ima štiri centralne enote, ki jim je dodeljeno 256 PE (4 krat 64 PE). V okviru računalniškega projekta PHOENIX pa je združenih 16 po 64 PE, kot razširitev računalnika ILLIAC IV za še učinkovitejše MSIMD vektorsko procesiranje.

Med procesorje MIMD tega razreda lahko prištevamo tudi TRANSPUTERSKI SISTEM, ki ga bomo posebej obravnavali kasneje.

Pregled zmogljivosti nekaterih paralelnih računalnikov daje Tabela 1.

SIMD sistemi (AR/AS)	Leto zasnove	Arhitektura	Največja zmogljivost v Mflop/s
UNGER	1958	ws,AR	
SOLOMON	1962	ws,AR	
VAMP	1965	ws,AR	
CDC 7600	1969	ws,AR	
STARAN	1970	bs,AS	
ILLIAC IV	1972	ws,AR	80-200
PEPE	1973	bs,AS,UNCN	10 ⁸ -288
CLIP	1967	bs,AR	10 pixel ops
OMEN 60	1976	bs,AS,ORT	
MAP	1977	ws,AS,M	
GRAY-1	1978	ws,AR *	130-200
ICL DAP	1978	bs,AR	10-30
BSP	1979	ws,AR	20-50
PM4	1979	ws,AS,M	
RELACS	1979	bs,AS	
PHOENIX	1979	ws,AR,CN,M	10 ⁴
CDC NASF	1979	ws,AR *	1000-3000
CYBER 205	1982	ws,AR	3000
MPP	1983		200-6000

Tabela 1. SIMD-računalniški sistemi

Legenda:

ws	besedne rezine	M(SIMD)	večkratni
bs	bitne rezine		(Multiple SIMD)
AR	vektorski	ORT	ortogonalni
AS	asociativni	CN	povezani
*	SISD z MFE	UNCN	nepovezani

2.2. Pregled razvoja paralelnih sistemov.

V Tabeli 2 je prikazan časovni prikaz razvoja paralelnih vektorskih in asociativnih procesorjev. Med prve, ki so jih zasnovali, sodijo: von Neumann, Holland in Shooman. Povezave med posameznimi procesorji v razpredelnici kažejo v smeri od desne proti levi njihove prednike po arhitekturnih značilnosti.

V zaključku tega sestavka naj omenimo, da so stroji MIMD neprimerni za reševanje problemov, ki se nanašajo na reševanje sistemov parcialnih diferencialnih enačb (p.d.e.s.) ali razsežnih optimizacijskih problemov. Tako nam za reševanje tovrstnih problemov ostanejo le matrični in vektorsko cevani računalniki. Med prve sodi na primer ICL DAP, med druge pa Gray-1. Od obeh je za omenjene raziskave primernejši vektorski računalnik ICL DAP iz naslednji razlogov:

1. Mreža procesorjev (matrika) se enostavno preslika v mrežo, ki je za tip problemov, ki se rešujejo, najustreznejša, in
2. Vektorski računalnik omogoča poglobljen študij sočasnosti v algoritmu, medtem ko vektorsko cevani računalnik (npr. GRAY-1) sočasnost (paralelizem) v algoritmu na nek način prekriva.

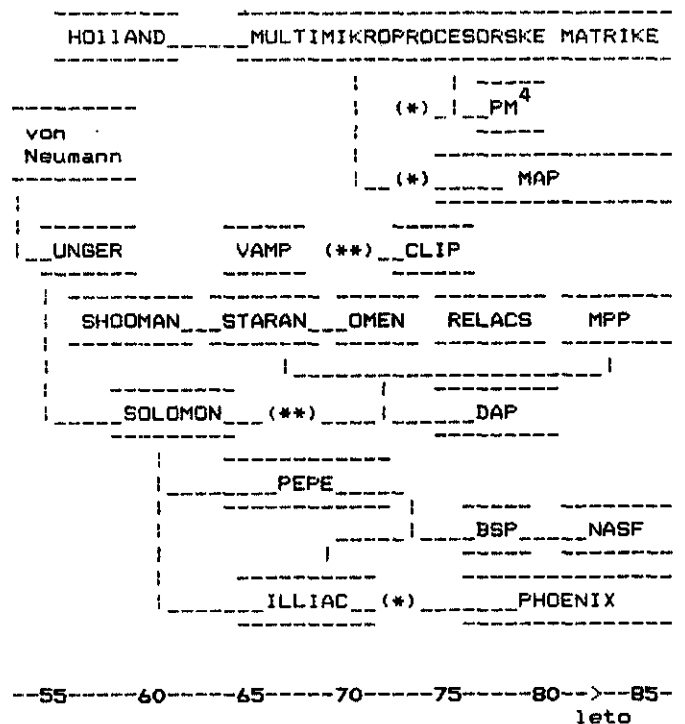


Tabela 2. Razvoj paralelnih vektorskih in asociativnih procesorjev.

Zato se bomo v naslednjem poglavju poglobili v strukturo vektorskega računalnika, kakršna sta na primer računalnika ICL DAP z jezikom DAP FORTRAN in novejši TRANSPUTERSKI SISTEM z jezikom OCCAM.

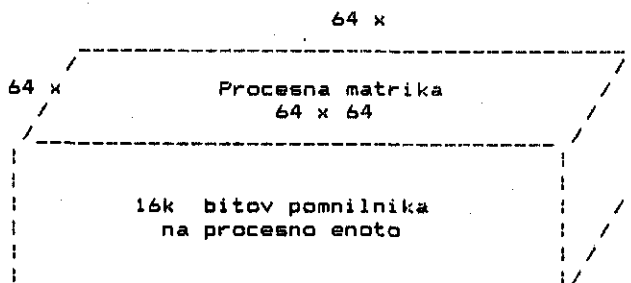
3. PORAZDELJEN VEKTORSKI RAČUNALNIK

Zgled vektorskega porazdeljenega procesorja je računalnik ICL DAP. Med novejše tovrstne računalnike lahko prištevamo tudi sistem t.i.m. transputerjev. Transputer predstavlja procesorski modul. Vektorski računalnik pa dobimo, če te module matrično povežemo med seboj.

Ena od bistvenih razlik obeh računalnikov je v tem, da ICL DAP pripada razredu SIMD, medtem ko lahko TRANSPUTERSKI SISTEM pripada tudi razredu MIMD. Prvi ima v današnji verziji (Queen Mary College, University of London) v enoti 4096 procesorjev, ki so razporejeni v matriki 64 x 64. Ta enota ne dela kot samostojni računalnik, ampak le kot pomnilniški modul, ki je povezan z običajnim centralnim pomnilnikom. Podrobnejši opis računalnika DAP najdemo v delu Reddaway-a /8/. V TRASPS pa so elementi matrike povsem samostojni procesorji t.i.m. TRANSPUTERJI, ki pripadajo procesorjem iz razreda SISD /9/. Ne le v omenjenem primeru, ampak tudi sicer lahko ugotovljamo, da imajo procesorji v računalnikih, ki pripadajo računalnikom iz razreda SIMD, v primerjavi s procesorji v računalnikih, ki pripadajo razredu MIMD ali centralnim procesorjem, praviloma zelo preprosto osnovno arhitekturo. V računalniku DAP so procesorji, ali bolje rečeno procesne enote PE, bitno organizirane, kar omogoča sistemu veliko prilagodljivost aplikacijam, ki so skladne z njegovo organizacijo. Med takšne, najbolj pogoste aplikacije, sodijo: procesiranje slik, pregledovanje podatkov in simbolno procesiranje, ki je združeno z osnovno aritmetiko.

3.1. Računalnik ICL DAP

Danovno organizacijsko shemo računalnika DAP podaja slika 10. Iz nje je razvidno, da je vsaka procesna enota povezana z najbližjimi štirimi sosedi. Glavne podatkovne poti, ki potekajo po kolonah in vrsticah, pa povezujejo vse procesorje dane vrstice oziroma kolone. Te poti omogočajo hitro oddajanje in sprejemanje informacij preko matrike procesorjev in je mogoče vzpostavljati diametralne povezave, tudi preko celotne matrike, ali več ločenih povezav. V računalniku DAP ima vsak procesor 16k bitov pomnilnika RAM, kar predstavlja skupaj $16k \times 64 \times 64 / 8 = 8$ megazlogov. Pri tem naj omenimo, da imajo drugi podobni stroji, ki so danes instalirani, le 4 kilozlogov na procesor ali skupaj 2 megazloga.

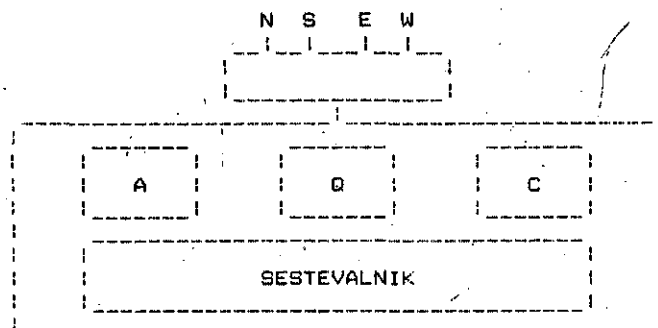


Slika 10. Danovna organizacijska shema računalnika ICL DAP

Vsaka procesna enota poseduje svoje lastne podatke, ki jih obdeluje, sprejema pa tudi nekaj skupnih instrukcij, ki jih pošilja glavna kontrolna enota (MCU). Zato ta računalnik prištevamo med računalnike tipa SIMD.

Iz slike 11 je razvidno, da ima procesna enota PE tri registre: delovni register A omogoča prekinjajoče delovanje procesorja v skladu z zahtevami programa, medtem ko je A enobitni akumulator in C register, ki hrani prenos.

Pomembna lastnost računalnika DAP je sposobnost izključevanja posameznih procesorjev v računalniku. Na primer, če rešujemo problem, za reševanje katerega zadošča mreža procesorjev, ki je manjša od 64×64 , moremo s pomočjo logične matrike odvečne procesorje z maskiranjem preprosto izključiti. Na ta način moremo izvajati



Slika 11. Arhitektura procesne enote procesorja ICL DAP.

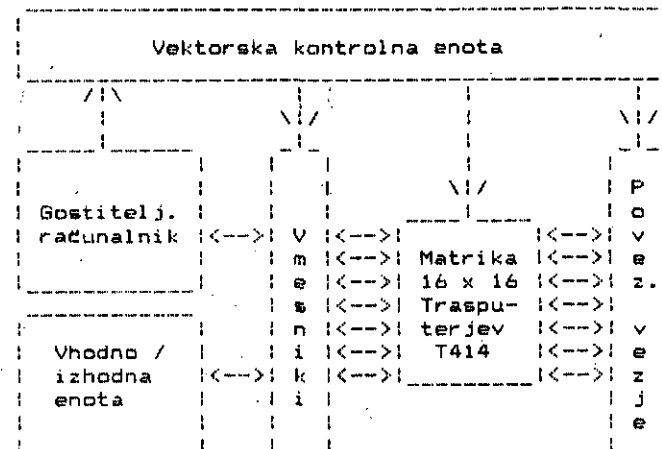
je prilagojena določenim zahtevam. Slednje si bomo kasneje ogledali bolj natančno.

3.2. SISTEM TRANSPUTERJEV

Računalniki z več med seboj povezanimi procesnimi enotami, imenovanimi TRANSPUTERJI /12,13,14/, predstavljajo različne sisteme, med katerimi bo za nas posebej zanimiv porazdeljen vektorski računalnik.

Inmos, ena najpomembnejših britanskih firm računalniških komponent, je ponudila tržišču 16-bitne (T 212 in M 212) in 32-bitne (T 414), napoveduje pa tudi že nove še zmogljivejše (T 800) RISC procesorske enote, imenovane transputerje, ki so med seboj popolnoma združljive. Transputer je računalnik na čip, ki omogoča izvajanje več procesov hkrati in tudi sam skrbi za komunikacijo med njimi. Komunikacija poteka preko skupnega pomnilnika. Več transputerjev se lahko povezuje med seboj preko kanalov v večprocesorski sistem, ki omogoča konkurenčno izvajanje večih procesov. Takšne sisteme je moč še nadalje povezovali v še večje sisteme in tako graditi sisteme s poljubnim številom transputerjev. Transputerski sistemi niso več zasnovani na von Neumannovi arhitekturi, kakršno ima sam transputer. Zato, in zaradi sposobnega transputerja lahko dosegajo ali celo presegajo zmogljivost današnjih superračunalnikov. Zaključeni transputerski sistemi se povezujejo med seboj in s standardno mikroprocesorsko periferijo preko posebnih vmesnikov t.i.m. "link adaptorji" IMS C001 in IMS C002, ki skrbijo za medsebojno sinhronizacijo večih sistemov oziroma povezavo sistema z njegovo periferijo.

32-bitni transputer T 414 je splošno namenski in zmre 10 MIPSov pri 20 MHz. Prav tako je splošnonamenski njegov predhodnik T 212, medtem ko je M 212 namenski transputer za kontrolo inteligentnega diskovnega sistema. T 414, ki je predstavnik te družine, je izdelan v 1.5 mikronski CMOS tehnologiji s preko 150k tranzistorjev v 84-pinskem čipu. Procesor ima 32-bitne notranje in zunanje izhode za naslove in podatke, ki so multipleksirani in dosegajo hitrost prenosa 20 megazlogov, 4-gigazložni linearni naslovni prostor, PROM in 2k SRAM pomnilnika ter 4 medtransputerske komunikacijske kanile. V pogledu nabora ukazov transputer odstopa od običajnega nabora ukazov RISC arhitekture, predvsem po številu vseh ukazov in prisotnosti ukazov za množenje in deljenje.

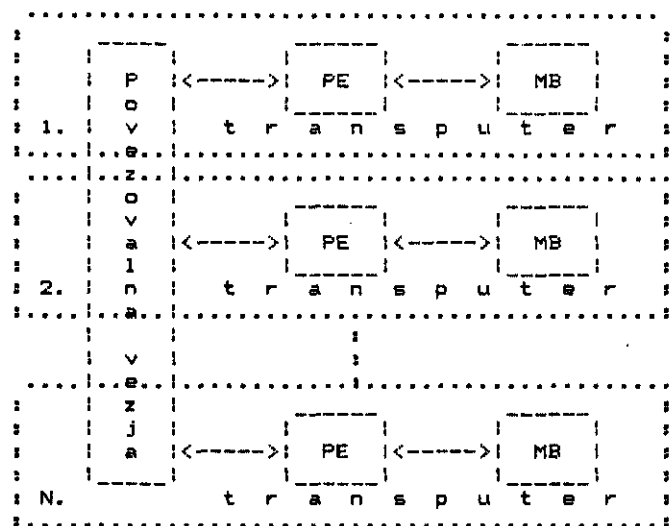


Slika 12. Transputerski vektorski sistem

neke matematične operacije na delu matrike, ki

Slika 12 kaže transputerski vektorski sistem, ki ga sestavlja kvadratna matrika $N=16 \times 16$ procesnih enot, sistem pomnilniških vmesnikov, povezovalni sistem, matrična krmilna enota, gostiteljski računalnik in vhodno/izhodna enota.

Kot smo že omenili, so transputerji zelo zmogljivi 32 bitni procesorji (n.pr. T424) s statičnim pomnilnikom (pomnilniško banko) in različne učinkovitimi komunikacijskimi vmesniki. Vse te



Slika 13. Konfiguracija komunikacij znotraj vektorskega polja (PE=procesne enote, MB=pomnilniški bloki, $N=16 \times 16$)

komponente so integrirane v enem samem čipu, ki predstavljajo odlične gradnike konkurenčnih procesnih vezij /15/. Transputerske zanke predstavljajo kanale za medprocesne komunikacije v materialni opremi. Tako obstaja zelo tesna povezanost med povezavami (zankami) transputer-skih kanalov in komunikacijskim protokolom, ki je primeren za komunikacije v t.im. "wavefront" vektorskih procesorjih (wavefront array processors).

Proizvajalec transputerjev je poskrbel tudi za učinkovito in lahko programiranje v jeziku UCCAM, ki ga je Inmos posebej razvil za transputer. Prevedli so ga že tudi za druga okolja, npr. VAX in IBM PC.

4. PROGRAMIRANJE VEKTORSKEGA RAČUNALNIKA

Najpreje si bomo ogledali, kakšno je programiranje na paralelnem vektorskem računalniku DAP, medtem ko si bomo programiranje na TRANSPUTERSKEM SISTEMU ogledali v nadaljevanju tega članka.

Računalnik DAP na Univerzi v Londonu je programljiv v jeziku DAP FORTRAN. Ta jezik je standardni FORTRAN, ki pa je razširjen za vektorsko procesiranje. Opis jezika DAP FORTRAN najdemo v delu Flandersa /9/ ali v originalnih priročnikih računalnika ICL DAP.

V standardnem FORTRANu je osnovna računska enota skalar, v DAP FORTRANu pa je le-ta lahko

skalar, vektor ali matrika (kjer so vektorji in matrike dimenzije N oziroma $N \times N$). Pri računalniku DAP je dimenzija $N = 64$. Medtem, ko lahko seštevanje dveh matrik v običajnem FORTRANu zapišemo kot

```
DO 10 I=1,N
DO 10 J=1,N
C(I,J)=A(I,J)+B(I,J)
10 CONTINUE,
```

bo v DAP FORTRAN gornji zapis preprosto skrit na en sam stavek

C=A+B

Jezik DAP FORTRAN ima številne osnovne funkcije, ki se uporabljajo za izvajanje določenih operacij. Takšne funkcije so na primer:

SUM Izračuna skalarno vsoto matrike $N \times N$.
 ABS Zapiše absolutno vrednosti vsakega elementa v matriki $N \times N$.
 MAXV Poišče največje skalarne vrednosti v matriki $N \times N$.
 MAXP Poišče pozicijo največje vrednosti (oziroma največjih vrednosti, če jih je več) v matriki $N \times N$. Pozicija je označena z "1" v logični matriki.
 ALL Izračuna logično vsoto IN vseh vrednosti v logični matriki (ali logični izraz, ki izračuna logično matriko). Funkcija je izredno učinkovita pri konvergenčnem testu matrike.

Pomemben pripomoček pri obravnavanju matrik predstavlja, kot smo že omenili, sposobnost izklapljanja posameznih procesorjev s pomočjo logične matrike. V nadaljevanju bomo pokazali nekaj primerov.

Predpostavimo, da imamo matriko A razsežnosti 64×64 , ki vsebuje pozitivna in negativna števila. Iščeemo kvadratni koren vseh pozitivnih elementov matrike. To lahko zapišemo v običajnem FORTRANu takole:

```
DO 10 I=1,N
DO 10 J=1,N
IF (A(I,J).GT.0)=SQRT(A(I,J))
10 CONTINUE
```

medtem ko je v DAP FORTRANu zgornji program bistveno preprostejši:

A(A.GT.0)=SQRT(A)

Izraz A.GT.0 predstavlja logično matriko z vrednostmi "1" na pozicijah, kjer je A večji od 0, drugod pa vrednost "0". Rezultat na desni strani izraza je matrika, kateri je dodeljena vrednost 1 na tisti poziciji, ki ji ustreza v logični matriki na levi strani vrednost "1". Oglejmo si bolj zapleten primer, kot je reševanje Laplace'ove enačbe. V tem primeru želimo zamenjati vsako vrednost v matriki s povprečno vrednostjo njenih štirih najbližjih sosedov. V standardnem FORTRANu bomo zapisali tonamensko kodo takole:

```
DO 10 I=2,N-1
DO 10 J=2,N-1
Y(I,J)=(X(I+1,J)+X(I-1,J)+X(I,J+1)+
X(I,J-1))/4
10 CONTINUE
```

Pri tem je potrebno zapisati posebno kodo, ki ureja meje matrike (tj. preprečuje napake, ki bi se lahko pojavile zaradi matričnih indeksov, ki presegajo meje matrike). Kodo zgoraj lahko v DAP FORTRANu izrazimo z enim samim stavkom

X=(X(+,)+X(-,)+X(+,-)+X(-,-))/4

V slednjem izrazu izkoriščamo sposobnost računalnika DAP, ki omogoča pomično indeksiranje. Z izrazom $X(+,)$ dosežemo točko na sosednji vrstici matrike procesnih enot (ki ustreza izrazu $X(I+1, J)$ v serijski verziji), z $X(-,)$ pa dosežemo točko v predhodni vrstici, itd. Pomembno je, da vemo, da so vse točke v matriki istočasno ažurirane. V takšnem primeru seštevalne matrike ne potrebujemo več. Meje matrike se urejajo avtomatično z vnašanjem ničel na mesta, ki jih določa geometrija. Pri ravninski geometriji vstavljamo ničle na ustrezna mesta v ravnini, medtem ko pri ciklični geometriji zato, da dobimo cylinder, povezujemo ali severno ali vzhodno robove, neodvisno od uporabljene smeri pomika. Lahko pa pomikamo tudi vse štiri robove in s tem dobimo "torus".

Sedaj predpostavimo, da želimo rešiti Laplaceov problem z iregularno oblikovano mejo (ali s pravokotnim poljem, ki je manjše od 64×64). DAP FORTRAN omogoča kreiranje logične matrike, imenovane DOMAIN. V njej označimo pravilne vrednosti (TRUE: logična "1") v tiste dele matrike, ki odgovarjajo področju problema in nepravne vrednosti (FALSE: logična "0") povsod drugod v matriki. Rešitev je podana v naslednji kodi:

```
DO 10 I=I,LIMIT
  OLDX=X
  X(DOMAIN)=(X(+,)+X(-,)+X(+,)+X(-,))/4
  IF (ALL (ABS(X-OLDX).LT.EPS)) GOTO 20
10 CONTINUE
  CONVERGED=.FALSE.
  RETURN
20 CONVERGED=.TRUE.
  RETURN
```

5. ZAKLJUČEK

S tem smo se na kratko seznanili z naravo računalnika ICL DAP in načinom programiranja, ki je primeren za takšen računalnik. Iz teh spoznanj moremo sklepati, da je učinkovitost računalnika ICL DAP za reševanje tako linearnih kot nelinearnih p.d.e. izredno velika. To dejstvo je prepričljivo potrjeno tudi s strani uporabnikov tega računalnika.

Drugi del prispevka bo posvečen programiranju TRANSPUTERSKEGA SISTEMA in optimizacijskemu postopku, ki je zasnovan na matričnem računu in ga je mogoče učinkovito izvajati le na paralelnem vektorskem računalniku. Omenjeni postopek se lahko uporablja kot učinkovito orodje za implementacijo uporabniških algoritmov, ki vsebujejo veliko stopnjo inherentnega paralelizma, na paralelnem vektorskem računalniku.

6. REFERENCE

- /1/ Flynn M., IEEE Transactions on Computers, C-21,9, pp. 948 - 960, 1972.
- /2/ Barlow R.H., The Neptun Processing System, Loughborough University of Technology.
- /3/ Johnson D., et al., Automating Partitioning of Programs in a Multiprocessor System, Texas Instruments, Austin, Texas, 1979.
- /4/ Sauber W., A Dataflow Architecture Implementation, Texas Instruments, Austin, Texas, 1980.
- /5/ da-Silva J.G.D., Woods J.V., Design of a processing subsystem for the Manchester data-flow computer, Proceedings of the IEEE, 128,5, 1981.
- /6/ Hwang K., Briggs F.A., Computer Architecture and Parallel Processing, McGraw-Hill Book Company, 1985.
- /7/ Kogge P.M., The Architecture of Pipelined Computers, McGraw-Hill Book Company, 1981.
- /8/ Robič B., Silc J., Razvrstitev novogeneracijskih računalniških arhitektur, Informatica 10,4, 1986.
- /9/ Hockney R.W., Jesshope C.R., Parallel Computers, Adam Hilger Ltd, Bristol, 1981.
- /10/ Foster C.C., Content Addressable Parallel Processors, Van Nostrand Reinhold Company, 1976.
- /11/ Hsiao D.K., Advanced Data Base Machine Architecture, Prentice-Hall, Englewood Cliffs, N.Y., 1983.
- /12/ INMOS Limited, OCCAM language overview, November 1985.
- /13/ INMOS Limited, Transputer architecture, November 1985.
- /14/ INMOS Limited, IMS T414 Transputer, November 1985.
- /15/ Mihovilič B., Mavrič S., Kolbezen P., Transputer - osnovni gradnik večprocesorskih sistemov, Informatica 4/81, 1986.