

INFORMACIJE

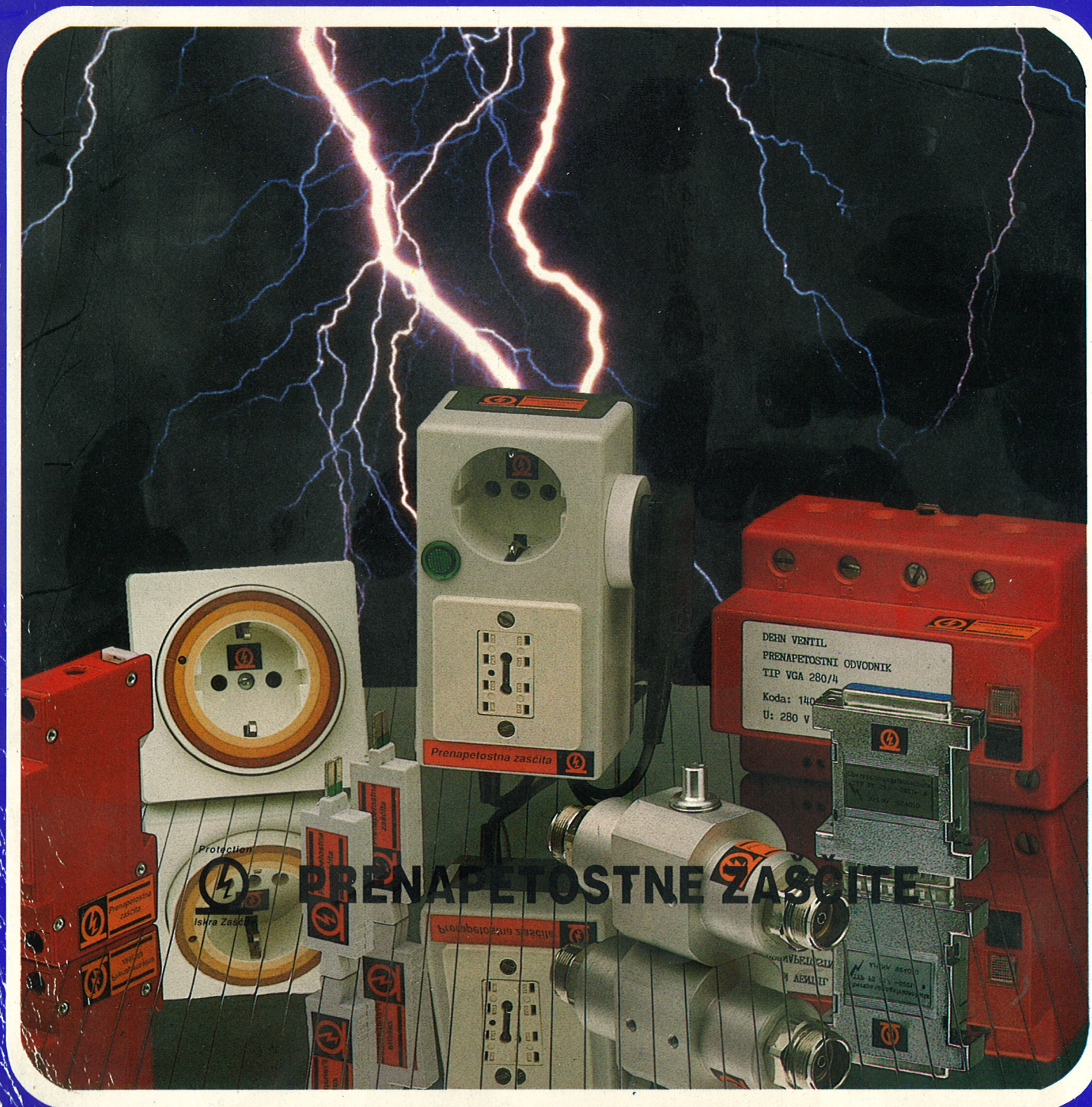
MIDEM

4°1992

Strokovno društvo za mikroelektroniko
elektronske sestavne dele in materiale

Časopis za mikroelektroniko, elektronske sestavne dele in materiale
Časopis za mikroelektroniku, elektronske sestavne dijelove i materijale
Journal of Microelectronics, Electronic Components and Materials

INFORMACIJE MIDEM, LETNIK 22, ŠT. 4(63), LJUBLJANA, DECEMBER 1992



INFORMACIJE MIDEM	LETNIK 22, ŠT. 4(64), LJUBLJANA,	DECEMBER 1992
INFORMACIJE MIDEM	GODINA 22, BR. 4(64), LJUBLJANA,	DECEMBER 1992
INFORMACIJE MIDEM	VOLUME 22, NO. 4(64), LJUBLJANA,	DECEMBER 1992

Izdaja trimesečno (marec, junij, september, december) Strokovno društvo za mikroelektroniko, elektronske sestavne dele in materiale.

Izdaja tromesečno (mart, jun, septembar, december) Stručno društvo za mikroelektroniku, elektronske sestavne dijelove i materiale.

Published quarterly (march, june, september, december) by Society for Microelectronics, Electronic Components and Materials - MIDEM.

Glavni in odgovorni urednik
Glavni i odgovorni urednik
Editor in Chief

Iztok Šorli, dipl.ing.,
MIKROIKS d.o.o., Ljubljana

Tehnični urednik
Tehnički urednik
Executive Editor

Janko Colnar,
MIDEM, Ljubljana

Uredniški odbor
Redakcioni odbor
Publishing Council

Dr. Rudi Babič, dipl.ing., Tehniška fakulteta Maribor
Dr. Rudi Ročak, dipl.ing., MIKROIKS d.o.o., Ljubljana
mag. Milan Slokan, dipl.ing., MIDEM, Ljubljana
Zlatko Bele, dipl.ing., MIKROIKS d.o.o., Ljubljana
Miroslav Turina, dipl.ing., Zagreb
mag. Meta Lempel, dipl.ing., MIDEM, Ljubljana
Miloš Kogovšek, ing., Iskra INDOK d.o.o., Ljubljana

Časopisni svet
Izdavački svet
Publishing Council

Dr. Slavko Amon, dipl.ing., Fakulteta za elektrotehniko in računalništvo, Ljubljana, PREDSEDNIK
Dr. Marko Hrovat, dipl.ing., Inštitut Jožef Stefan, Ljubljana
Prof. Dr. Zvonko Fazarinc, dipl.ing., CIS, Stanford University, Stanford, USA
Dr. Marija Kosec, dipl.ing., Inštitut Jožef Stefan, Ljubljana
Prof. dr. Drago Kolar, dipl.ing., Inštitut Jožef Stefan, Ljubljana
Prof. dr. Stane Pejovnik, dipl.ing., Kemijski inštitut Boris Kidrič, Ljubljana
Prof. dr. Janez Trontelj, dipl.ing., Fakulteta za elektrotehniko in računalništvo, Ljubljana
Dr. Anton Zalar, dipl.ing., IEVT, Ljubljana

Naslov uredništva
Adresa redakcije
Headquarters

Uredništvo Informacije MIDEM
Elektrotehniška zveza Slovenije
Dunajska 10, 61000 Ljubljana, Slovenija
(0)61 - 316 886

Letna naročnina znaša 6000,00 SIT, cena posamezne številke je 1500,00 SIT. Člani in sponzorji MIDEM prejema Informacije MIDEM brezplačno. Godišnja pretplata iznosi 6000,00 SIT, cijena pojedinog broja je 1500,00 SIT. Članovi i sponzori MIDEM primaju Informacije MIDEM besplatno. Annual subscription rate is DEM 100, separate issue is DEM 25. MIDEM members and Society sponsors receive Informacije MIDEM for free.

Znanstveni svet za tehnične vede I je podal pozitivno mnenje o časopisu kot znanstveno strokovni reviji za mikroelektroniko, elektronske sestavne dele in materiale. Izdajo revije sofinancirajo Ministrstvo za znanost in tehnologijo in sponzorji društva.

Scientific Council for Technical Sciences of Slovene Ministry of Science and Technology has recognized Informacije MIDEM as scientific Journal for microelectronics, electronic components and materials.

Publishing of the Journal is financed by Slovene Ministry of Science and Technology and by Society sponsors.

Znanstveno strokovne prispevke objavljene v Informacijah MIDEM zajemamo v:

* domačo bazo podatkov ISKRA SAIDC-el, kakor tudi

* v tujo bazo podatkov INSPEC

Scientific and professional papers published in Informacije MIDEM are assessed into:

* domestic data base ISKRA SAIDC-el and

* foreign data base INSPEC

Po mnenju Ministrstva za informiranje št.23/300-92 šteje glasilo Informacije MIDEM med proizvode informativnega značaja, za katere se plačuje davek od prometa proizvodov po stopnji 5 %.

Grafična priprava in tisk
Grafička priprema i štampa
Printed by

BIROM, Ljubljana

Naklada
Tiraž
Circulation

1000 izvodov
1000 primjeraka
1000 issues

R.Ročak : MIDE M je končno postalo mednarodno društvo	214	R.Ročak : MIDE M has Finally Become International Society
ZNANSTVENO STROKOVNI PRISPEVKI		PROFESSIONAL SCIENTIFIC PAPERS
V.C.Alves, M.S.Lubaszewski, M.Nicolaidis, B.Courtois: Vgrajeni samotest vložnega pomnilnika z večkratnim dostopom	215	V.C.Alves, M.S.Lubaszewski, M.Nicolaidis, B.Courtois: BIST Scheme for Embedded Multiport RAMS
M.Maček, A.V.Kordesh : Visokopospešeno testiranje elektromigracije v Al vodnikih na nivoju rezin	222	M.Maček, A.V.Kordesh : Highly Accelerated Electromigration Test of Al Conductors on Wafer-level
M.Godec, P.Panjan : Silicidi v mikroelektroniki	229	M.Godec, P.Panjan : Silicides in Microelectronics
D.Ročak, J.Fajfer, J.Potočar : Spajkanje hibridnih vezij s fluksi "brez ostankov "	235	D.Ročak, J.Fajfer, J.Potočar : Hybrid Circuits Soldering with " No Residue " Fluxes
B.Šuštaršič, S.Beseničar, J.Holc, Z.Lengar, S.Tašner : Vodno atomizirani Fe-Co prahovi primerni za izdelavo Alnico magnetov	240	B.Šuštaršič, S.Beseničar, J.Holc, Z.Lengar, S.Tašner : Water Atomized Fe-Co Based Powders for Alnico Magnets
V.Murko : Zaščita proti streli in prenapetostim	245	V.Murko : Lightning and Overvoltage Protection
B.Praček, M.Kern : AES študija aktivne površine znotraj kanalov pri mikrokanalnih ploščicah	254	B.Praček, M.Kern : AES Studies of Active Intrachannel Surface in Microchannel Plates
PRIKAZI DOGODKOV, DEJAVNOSTI ČLANOV MIDE M IN DRUGIH INSTITUCIJ		REPRESENT OF EVENTS, ACTIVITIES OF MIDE M MEMBERS AND OTHER INSTITUTIONS
Stanje in načrti Slovenskega polprevodništva.	257	Status and Plans of Semiconductors in Slovenia
KONFERENCE, POSVETOVANJA, SEMINARJI, POROČILA		CONFERENCES, COLLOQUIUMS, SEMINARS, REPORTS
M.Slokan : MIEL-SD'92	265	M.Slokan : MIEL-SD'92
R.Babič : ERK'92	265	R.Babič : ERK'92
PREDSTAVLJAMO PODJETJE Z NASLOVNICE Iskra ZAŠČITE	266	REPRESENT OF COMPANY FROM FRONT PAGE Iskra ZAŠČITE
ČLANI MIDE M		MIDE M MEMBERS
Zapisnik občnega zbora društva MIDE M 1992	268	MIDE M Assembly Annual Meeting 1992 - Report
Pravila Strokovnega društva za mikroelektroniko, elektronske sestavne dele in materiale	269	Statute of Society for Microelectronics, Electronic Components and Materials
VESTI	279	NEWS
MIDE M Prijavnica	285	MIDE M Registration form
TERMINOLOŠKI STANDARDI	288	TERMINOLOGICAL STANDARDS
VSEBINA LETNIKA 1992	293	CONTENT - VOLUME 1992
Slika na naslovnici : ISKRA ZAŠČITE - Izdelki za prenapetostno zaščito in zaščito proti streli		Front page: ISKRA ZAŠČITE - Products for Lightning and Overvoltage Protection

MIDEM HAS FINALLY BECOME INTERNATIONAL SOCIETY

During the last annual meeting of the MIDEM society in Portorož, Slovenia, on October 1st, it was finally officially decided that the Society for microelectronics, materials and devices, with its home site in Ljubljana, becomes an international Society.

The new Rules of the Society are published in English and Slovene languages in this issue of the Society journal, which becomes also more internationally coloured.

In spite of the new Executive Board of Members, composed exclusively of Slovene members, representatives of other countries will be involved in an enlarged Executive Board. A new Publishing Council composed of members from all over the world was also invited to participate in the effort to make Informacije MIDEM a Journal of an European quality and of large professional interest.

During the successfully organised Conference MIDEM-SD all participants joined the Society. It is the best success for the former Executive Board of Members and a crown of their efforts to keep the members in this economic and political hard times together.

I wish to thank them for their participation and at the same time I hope that the new boards of the MIDEM Society will be as successful as the former ones.

To all members, the old and the new ones and those who will join our MIDEM, I wish a happy year 1993.

MIDEM PRESIDENT
Dr. Rudolf Ročak



BIST SCHEME FOR EMBEDDED MULTI-PORT RAMS

V. CASTRO ALVES, M. S. LUBASZEWSKI, M. NICOLAIDIS
and B. COURTOIS

Key words: integrated circuits, VLSI, application-specific integrated circuits, computer storage devices, circuit testing, embedded random access storage, built-in self test, fault models, boundary scan, test algorithms, self-checking circuits

Abstract: In this paper we present a general BIST scheme for the test of memories (single and multi-port) embedded in very complex ASICs. A simple BIST circuit driven by the IEEE standard for the Boundary Scan is shared by all the memories that are tested simultaneously. The area overhead is greatly compensated by the test development time reduction and the link with boundary.

Vgrajen samotest vloženega pomnilnika z večkratnim dostopom

Ključne besede: vezja integrirana, VLSI vezje, ASIC vezje, pomnilniki računalniški, preskušanje vezij, RAM vstavljeni, BIST testiranje, modeli napak, skeniranje robno, algoritmi testni, vezja samokontrolna

Povzetek: V članku je prikazan splošen pristop k realizaciji vgrajenega samotesta pomnilnikov z enojnim ali večkratnim dostopom vloženih v zelo kompleksna ASIC vezja. Preprosto vezje za vgrajen samotest, ki ga krmili IEEE standard za robno skeniranje, je primerno za testiranje vseh spominov hkrati. Povečana površina je kompenzirana s skrajšanjem razvoja testnega programa in izboljšanjem povezave z robom vezja.

1. INTRODUCTION

Testing VLSI circuits is one of the great challenges that IC designers and test engineers are facing nowadays. As RAM generators are being introduced in most of the existing ASIC libraries, many IC designers use embedded memories as macrocells. Moreover, multi-port RAMs are now widely used as embedded memories in telecommunication ICs and multi-processor systems. The testing of these memories is getting more important since they are often embedded in high gate-count ASICs requiring short test development time due to time to market delay requirements. A complete test of an embedded RAM can bring two problems: increase the test length as well as the test development time. This is due to the fact that it may be difficult to reach data, address and control signals from external pins and that it could also be hard to run the test of the embedded RAM concurrently with the test of another block of the circuit. If one considers that in practice, an ASIC design may have more than one embedded memory, and that some can be multi-port RAMs, it is easy to understand that powerful DFT and BIST techniques are needed in such cases. Many authors have proposed built-in self-test schemes for embedded single or dual port RAM testing (SUN 84) (SAL 87) (NAD 90) (SAS 90) (RIT 91), and recently some authors have proposed other schemes that include some interface with a boundary scan chain (KRI 91) (RIJ 91). In this paper, we present an efficient BIST scheme for the test of embedded single and multi-port RAMs. A simple BIST circuit driven by the IEEE

standard for the Boundary Scan (BS) (MAU 90) is shared by all the memories that are tested simultaneously. Although the application of such a circuit is exemplified herein for a memory set, it is also suitable for the go/no-go test of any functional blocks set whose checking scheme is based on signature analysis. Provided that the proposed scheme supplies compact response for the BIST of the entire circuit, its use will lead to a more efficient way of carrying out the testing of the individual ICs on the board.

II. RAM FAULT MODEL

Some recent work have introduced new specific fault models for multi-port RAM testing in order to achieve a high quality test. They are:

- shorts between word lines and bit lines (resp.) of different ports (NAD 90)
- complex coupling (CAS 91), where the simultaneous, transition which is possible in multi-port RAMs, of two or more cells (say cells $C_1, C_2, \dots, C_n$) can influence a cell C_0 in the memory array, even if the single transitions of cells $C_1, C_2, \dots, C_n$ do not influence C_0 .

Fault models containing complex coupling faults ensure a very high quality test at the expense of an increase of the test complexity. In the following, we will assume that the fault model, as they were defined for single port

RAMs in (MAR 82) or (SUK 81), are sufficient to ensure the detection of most of the faults occurring in multi-port RAMs. We will see later that some topological restrictions must be considered in order to use properly this kind of model. Marinescu, for example, uses the following fault model:

- memory cell stuck-at
- transition fault
- decoder and read/write logic faults
- idempotent coupling faults

Initially, coupling fault models were used for the test of single port 1 bit wide RAMs and they have often been adapted to the test word wide single (RIT 91) (DEK 88) and dual port (NAD 90) RAMs. However, as it has been pointed out in (CAS 91), some restrictions concerning the memory array topology, as well as the use of more than one port in parallel for test application, must be carefully analysed.

Let us first examine the case in which we use more than one port of a multi-port RAM to apply the test vectors in order to speed up the test. If multiple coupling faults are present, they may occur simultaneously if the concerned cells are written at the same time. To illustrate this case let us assume we have a dual port RAM together with the following fault configuration:

- $C_i \uparrow \Rightarrow C_k \downarrow$ (i.e. the positive transition of cell C_i forces cell C_k to make a **negative** transition)
- $C_j \uparrow \Rightarrow C_k \uparrow$ (i.e. the positive transition of cell C_j forces cell C_k to make a **positive** transition)

In this case we are not able to determine the state of cell C_k if simultaneous transitions of cells C_i and C_j are performed. Unless we use an appropriate fault and test algorithm, it is not recommended to use more than one port at a time when we are testing multi-port RAMs.

Another problem arises when you have to test word organized memories, which is common for embedded RAMs. In the general case, there can be coupling faults between any two cells of the memory array, and thus we must consider influences between bits of the same word. Note that when a write access is performed to a given word, we are implicitly performing simultaneous write access to different cells of the array. Thus, as explained previously, conventional coupling fault model cannot predict effect of simultaneous multiple coupling faults.

It seems evident that in order to test such faults, one must use complex coupling fault models that have already been defined in (CAS 91). However, on the one hand, we should use the same algorithm for all types of memories and on the other hand, the number of bits per word can be quite high (there is no real limit in practice), thus pushing up the complexity of the coupling fault model. This is due to the fact that the more bits per word are used, the more we have simultaneous transitions occurring in the memory. This can lead to unacceptably long tests sequences because the test complexity grows

with the number of simultaneous write operations. In order to simplify the problem (and thus the algorithm complexity), we shall use in the following some topological restrictions. They are:

- (1) coupling faults exist only between adjacent cells. This assumption is quite realistic and is in fact a simplified dynamic Pattern Sensitive Fault model

The above restriction is necessary but not sufficient to avoid **concurrent** coupling faults testing (CAS 91) in word organized RAMs. We will investigate also, the effect of some topological restrictions of the memory array structure.

- (2) the use of column multiplexing (see figure II.1) may avoid that cells belonging to the same word (i.e. simultaneously written) are adjacent.

This technique is commonly used for word organized random access memories so that we can say that it is

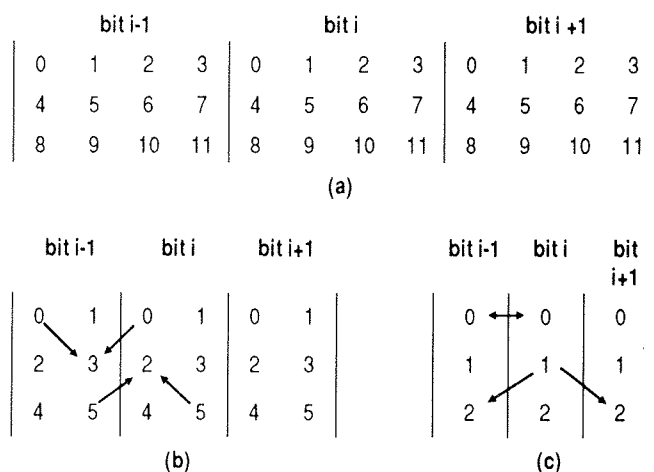


FIGURE II.1 - Column multiplexing

also a quite realistic assumption. Figure II.1 details various possible cases.

In figure II.1.a, the column multiplexing m is equal to 4. We note that cells belonging to the same word are separated by $m-1$ cells, so that if condition (1) is true, we avoid concurrent coupling faults. We also note that no cell can be neighbour of two other cells belonging to the same word. This eliminates the possibility of having complex couplings when a single write operation is performed. Figures II.1.b and II.1.c depict the configurations for $m=2$ and $m=1$ respectively. In these two cases, complex couplings can exist when a single write operation is performed (see arrows). For $m=1$ we can also have concurrent couplings between cells of the same word since cells of bit i has as its neighbour cells of bit $i-1$ and $i+1$.

We can conclude saying that with a column multiplexing greater than four, the memory designer can obtain RAMs with no adjacent cells belonging to the same word. This can greatly simplify the algorithm used to test single and multi-port word wide random access memories.

III - TEST ALGORITHM

The test algorithm must ensure the detection of all faults of the model. Besides of that, the algorithms may satisfy some other conditions:

- short test length (the best known algorithms for testing simplex coupling faults range between $9n$ (DEK 88) and $17n$ (MAR 82))
- simple test pattern sequences (which means simpler hardware and less area overhead)
- perform the test of word organized RAMs (note that most of the test algorithms are valid only for 1bit word wide RAMs)

The goal to be reached is to test simultaneously all the embedded memories of a circuit. Provided that the restrictions presented in section II are respected, it is possible to apply simultaneously the test patterns to all the bits of the selected word. In the case where memories of different word size are tested, the same test pattern is applied in each test cycle to each selected word. The same principle can be applied in the selection of words belonging to different memories. The scheme proposed in the following is valid for any test algorithm provided that the words are addressed sequentially either in an incrementing order or in a decrementing order.

Let us suppose we have to test two embedded memories: memory A with n words and memory B with m words (and $n < m$), using a march test (where words are addressed sequentially according to the definition (GOO 90)) like MARCH C (MAR 82). This algorithm consists of 2 incrementing addressing sequences and two decrementing addressing sequences. For the first

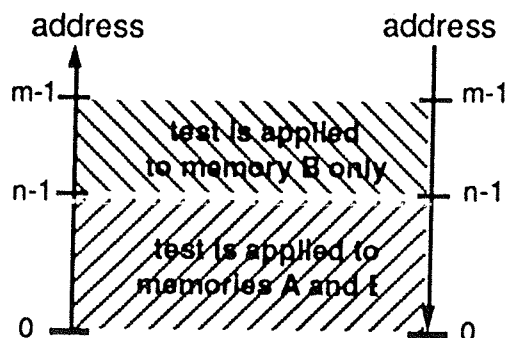


FIGURE III.1 - Testing memories of different sizes

type of sequence, from $@ 0$ to $@ n-1$, test patterns are applied to both memories. From $@ n$ to $@ m-1$ the test patterns are applied to memory B and the content of memory A is not modified. The same procedure is used in decreasing addressing sequences (see figure III.1). In this way, the test length is determined by the longest memory (i.e. the one that has the greatest number of words). It is obvious that the test algorithm must be independent of the topology of the memory and the address the memory cells to be tested, otherwise it would be impossible to share the RAM BIST circuit with memories of different sizes.

IV - RAM BIST SCHEME

Most of the existing RAM BIST circuits (SAL 87) (YOU 84) (MAZ 87) have been developed for the test of big dynamic RAM chips where the main targets were test speed and area overhead. Complex ASIC testing requires also a short test development time because of time to market delay requirements. Some recent work (NAD 90) (DEK 88) deal with the problem of embedded memories although there is a lack of an efficient general scheme for a BIST circuit because many designs use a variety of RAMs with different sizes, different word sizes and different number of ports. It is not uncommon to find RAMs with up to four ports and system designers are asking for a growing number of ports. A recent work on BIST of RAMs (FRA 90) seems to indicate that approaches based on test architectures rather than on test algorithms are more versatile and will predominate in the future. In the following we will assume that the circuit may have any number of single port and multi port RAMs (with any number of ports), that these memories may have different sizes and that they may have different number of bits per word. BIST circuit sequencing will depend both on the chosen algorithm and on the characteristics of the RAMs to be tested. They are: number of RAMs, number of ports and memory size. Let us use the example of figure IV.1 to explain the BIST scheme.

In this configuration, RAM A has 2^n words of a bits and two read/write ports; RAM B has 2^m words of b bits and RAM C has 2^k words of c bits and three read/write ports. Note that $c < a < b$ and that $k < n < m$. The word size of each memory defines the test pattern bus width, in the same way that the size of the RAMs (m, n, k) define the address bus width.

We know that some errors of the RAM address decoder are mapped into coupling faults in the memory array (THA 78). It is thus essential to fully test each port of each embedded memory. The test sequencing is thus splitted in three phases.

*phase 1: test RAM B
 test RAM A through port 1
 test RAM C through port 1

*phase 2: test RAM A through port 2
 test RAM C through port 2

*phase 3: test RAM C through port 3

The number of phases is equal to the greatest number of ports to be tested among all the memories. In each phase, the test length depends only on the size of the greatest memory to be tested. Once all the ports of a memory are tested, it will not be tested in the next phase. The test ends when all ports of all memories have been tested. In the example shown above the test length is proportional to:

$$2^m + 2^n + 2^k$$

and obviously depends on the complexity of the test algorithm that is implemented.

Note that read-only ports can be associated to a read/write port and they can be checked simultaneously by reading from both ports at the same time. Write-only ports are tested by using another port: either read-only or read/write.

Single port RAMs have one port of order one, dual port RAMs have one port of order one and one port of order two etc... Note that, only ports of the same order are tested simultaneously. Read-only ports are associated to a read/write port of the same memory and receive the same order, so that they are tested at the same time.

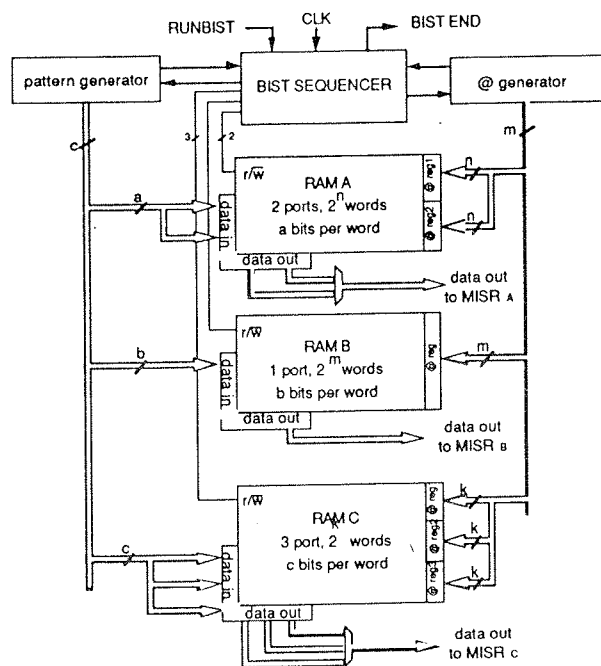


FIGURE IV.1 - RAM BIST scheme

Test verification is done by using one signature analyser per memory. The size of each SA depends on the word size of each memory but the lower limit is given by calculating the aliasing. The advantage of using signature analysis is detailed in section V.

In fact, the goal is to design a programmable BIST generator that is provided with all the necessary information about the memories to be tested. The proposed scheme is composed of three main functional blocks: the address generator, the test pattern generator and the sequencer. The address generator is implemented as a reconfigurable counter because the addressing space might vary during the test phases defined above. The test pattern generator depends only on the chosen test algorithm and is controlled by the sequencer. It can thus be implemented as a non-programmable part of the BIST circuit. Finally, the sequencer is a programmable Finite State Machine because the sequencing of the BIST depends on the characteristics of the memories. As shown in figure IV.2, we use PLA based FSM in order to obtain a greater flexibility for the hardware implementation of the expected sequencing. Moreover, it is quite easy to write a programmable generator for such a structure given that the tools are available in most of the commercial CAD tools.

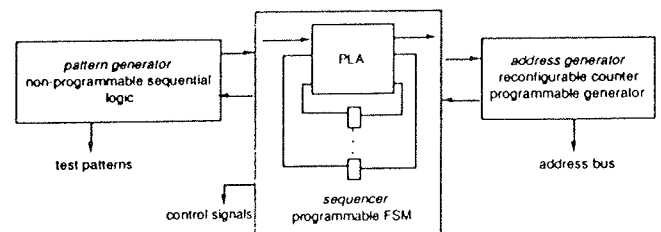


FIGURE IV.2 - BIST implementation

FIGURE IV.2 - BIST implementation

V - COMBINING BIST AND BOUNDARY SCAN

The IEEE standard implementing the boundary scan technique defines a logic to be designed into chips, which is mainly aimed at testing their internal blocks and at checking board interconnections. Its architecture consists of a 4-pin test access port (TAP), a 16-state controller, an instruction register, a boundary scan register, a bypass register and optional user-defined test data registers. A test instruction set is also defined by the IEEE standard. This set is composed by instructions achieving device identification check, circuit bypass, single-step test of circuit internal logic, board interconnection test, circuit interface real-time snapshots and circuit BIST execution.

In the context of this paper, we are interested in the BIST capabilities embedded in the IEEE standard for the boundary scan, e.g. the means of serially reading and

writing into user-defined test data registers within devices and the means of starting circuits BIST process by loading instruction registers with the RUNBIST test instruction. For more details concerning to this standard, readers are referred to (MAU 90).

The availability of a complete BIST process for integrated circuits can greatly reduce the board test time and the test controller memory requirements, since single-step test execution is avoided. Such a complete process is supposed to achieve the test of each entity without the need of loading different instructions for checking different functional blocks, and without the need of neither scanning-in test pattern generation seeds nor scanning-out long signatures. When feasible, this goal should be reached by combining BIST and BS through a proper implementation of the RUNBIST test instruction.

To reach such a goal, first of all the test of all functional blocks must be started by RUNBIST and performed concurrently on the circuit during the Run-Test/Idle TAP controller state activation. Following the BIST completion, all test signatures must be verified inside the circuit, in such a way that a compressed test response for the entire functional block set is provided. Finally, the compressed test responses must be shifted outside circuits in the Shift-DR TAP controller state and analysed by a board test controller circuit. A finite state machine (FSM) for controlling the presented BIST process at the circuit level is shown in figure V.1.

Our BIST scheme for testing single and multiport RAMs was already described in previous sections. BIST schemes for testing other classes of functional blocks can be found in the literature. To complete hardware requirements for testing, we present in the following a built-in test response verification approach, which is applicable whenever all test schemes employed in a circuit are based on signature analysis.

The built-in approach we propose for verifying test responses is based on the combination of the signature verification scheme presented in (NIC 88) and the error memorization capability found in the fail-safe system theory (NIC 89). It consists of an internal scan chain of signature registers, a flip-flop implementing a very

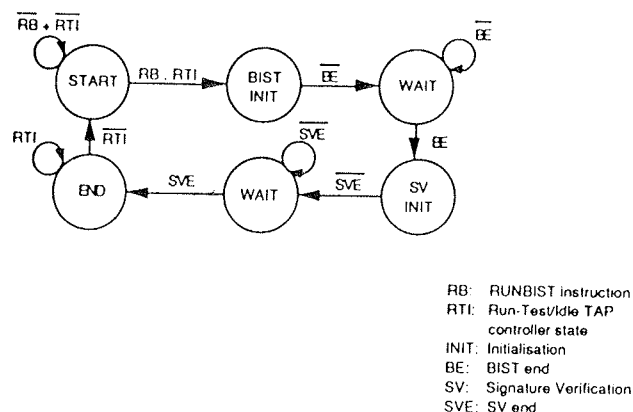


FIGURE V.1 - The BIST controller.

simple state machine, two double-rail checkers and an error indication register providing both parallel and serial loading modes (figure V.2).

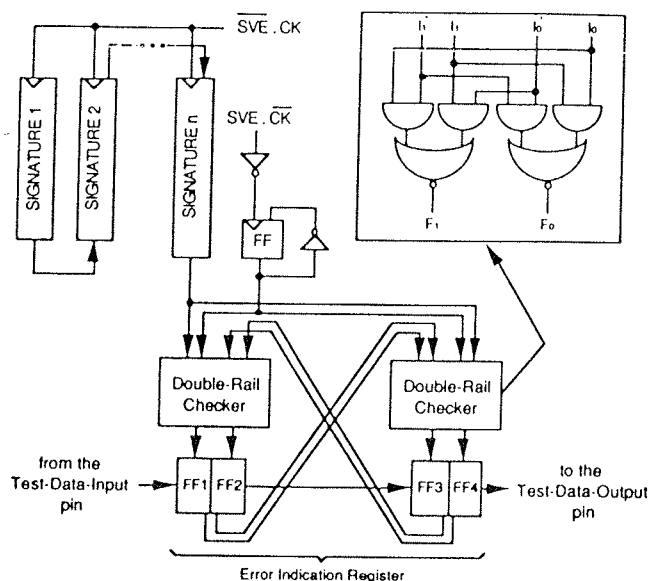


FIGURE V.2 - Signature verification and error memorization.

The checker employed in our approach is a very simple circuit which verifies whether its inputs are double-rail encoded ($I_0 I_1 I_2 I_3$, where $I_0 I_1$ and $I_2 I_3 \in \{ "01", "10" \}$) or not ($I_0 I_1 I_2 I_3$, where $I_0 I_1$ or $I_2 I_3$ or both $\in \{ "00", "11" \}$). It delivers at its outputs an encoded word in the former case and a noncoded one in the latter one (CAR 68). This kind of checker is largely used in self-checking circuits (AND 71) (NIC 84) for verifying functional block encoded outputs. One possible logic network implementing it is presented at figure V.2.

The checker feedback configuration depicted at figure V.2 ensures that noncoded inputs coming either from the signatures chain and FF output, or from checker outputs due to their own faults, provoke the memorization of a noncoded word in the error indication register.

The functional principle of our approach is to initialise signature analysers in such a way that, after applying the whole set of test vectors, we have as signatures sequences of the type 0101... (McA 86) presents a simple procedure for computing the signature analyser initial state so that the final state is a constant, regardless of the circuitry being tested. After circuit BIST completion, signature registers are connected serially and shifted into an input of the error memorization circuit. Meanwhile, a flip-flop changing of state at each shift pulse provides the complementary sequence 1010... to

the other error memorization circuit input. Since the referred pair of signals is sent to double-rail checker inputs, the faulty-free condition (a double-rail encoded word) will be memorized when both generated sequences are properly encoded. Whenever an erroneous signature is verified, an error indication (a non-double-rail encoded word) will be memorized by the error indication register.

As we can easily realize, this approach offers a very low surface overhead, whose size does not depend on the number of functional blocks being tested in a circuit. Furthermore, the test hardware duplication employed herein ensures a high coverage of single faults affecting the approach itself, what implies in a high safety.

Concerning to the signature verification time, it is obvious that a parallel approach would be more performant than the one we propose. On the other hand, if the combination of all-zero final signatures and an OR-tree for checking their correctness (as proposed in (McA 86)) is employed, the implied surface overhead will be greatly increased. Beside this, only hardware duplication (the inclusion of an AND-tree in this case) or a test phase checking the OR-tree hardware would provide sufficient safety for such a built-in comparison scheme.

The main goal achieved by our approach in relation to other BIST-BS combination propositions ((KRI 91) (RIJ 91)...) can be summarized by the fact that signatures are verified inside circuits by a very small self-checking logic, avoiding so several time-consuming board scan operations for analysing test results.

VI. CONCLUSION

In this paper we present an efficient general BIST scheme suitable for the test of embedded memories. It can be used for any number of different RAMs, each of which having different word sizes and any number of ports, provided that a minor restriction on memory array topology is respected. Various classes of test algorithms can be implemented on the proposed structure, like march algorithms that are among of the most performing tests actually used. The great flexibility of the BIST scheme here proposed is mainly based on the implementation of a programmable module generator. The techniques here used are based on a previous experience of a BIST generator design (CAS 91). We are now developing a BIST generator that implements MARCH C Marinescu's algorithm (MAR 82), using the L language available under GDT* CAD tool.

The area overhead is not yet quantified but similar to other RAM BIST schemes proposed in the literature. The penalty is greatly compensated for three reasons:

- the flexibility of the BIST circuit allows the test of any kind of embedded memory,

- the proposed scheme allows an efficient sharing of the BIST since the memories are tested simultaneously
- the test development time is greatly reduced

In the proposed scheme, BIST circuit is linked to boundary scan thus providing at-speed high fault coverage capabilities to board test. We also propose a self-checking interface to the boundary scan chain. The aim is two fold:

- perform internally the signature analysis verification, thus avoiding several time-consuming board scan operations for analysing test results
- maintain a high safety for test result compaction

The area overhead resulting from self-checking interface implementation is very small compared to BIST or BS circuitry.

REFERENCES

- (AND 71) ANDERSON D. A. "Design of self-checking digital networks using coding techniques". CSL Univ. of Illinois, Urbana, sept. 1971. Report 527.
- (CAR 68) CARTER W. and SCHNEIDER P. "Design of dynamically checked computers". IFIP Congress, Edinburgh, 1968. Inf Processing 68. Amsterdam, North Holland, 1969. V.2, pp.878-83
- (CAS 91) CASTRO ALVES V., NICOLAIDIS M. LESTRAT P. COURTOIS B. - "Built-in self-test for multi-port RAMs" - to be published in the proceedings of the ICCAD - Santa Clara - November 1991.
- (DEK 88) DEKKER R., BEENKER F., THIJSEN L. - "Fault modeling and test algorithm development for static RAMs" - ITC 1988.
- (FRA 90) FRANKLIN M., SALUJA K. K. - "Built-in self-testing of RAMs" - IEEE Computer - October 1990.
- (GOO 90) VAN DE GOOR A. J., VERRUIJT C. A. - "An overview of deterministic functional RAM chip testing" - ACM Computing Surveys, Vol. 22 N° 1, March 1990.
- (KRI 91) KRITTER S., RAHAGA T. - "Boundary and BIST compatible IEEE 1149.1: VHDL & autosynthesis of a SRAM tester macrocell and chip" - European Test Conference - April 1991.
- (MAR 82) MARINESCU M. - "Simple and efficient algorithms for functional RAM testing" - IEEE International Test Conference 1982.
- (MAU 90) MAUNDER C. M. and TULLOSS R. E. "The Test Access Port and Boundary-Scan Architecture". IEEE Computer Society Press, 1990.
- (McA 86) McANNEY W. H. and SAVIR J. "Built-in Checking of the Correct Self-Test Signature". IEEE International Test Conference, 1986. pp. 54-8.
- (MAZ 87) MAZUNDER P., PATEL J. H. - "An efficient built-in self-testing for random access memory" - ITC 1987.
- (NAD 90) NADEAU-DOSTIE B., SILBURT A., AGERWAL V. K. - "Serial Interfacing for Embedded-memory Testing" - IEEE Design & Test of computers - April 1990.
- (NIC 84) NICOLAIDIS M., JANSCH I. and COURTOIS B. "Strongly Code Disjoint Checkers". 14th Fault Tolerant Computer Symposium, Kisseme, USA, 1984.

(NIC 88) NICOLAIDIS M. "A Unified Built-In Self-Test Scheme: UBIST". 18th Fault tolerant Computer Symposium, June 1988. pp. 157-63.

(NIC 89) NICOLAIDIS M., NORAZ S. and COURTOIS B. "A Generalized Theory of Fail-Safe Systems". 19th Fault Tolerant computer Symposium, June 1989. pp. 398-406.

(RAT 90) RATIU I.M., BAKOGLU H. B., - "Pseudorandom built-in self-test methodology and implementation for the IBM RISC System/6000 processor" - IBM Journal Res. Develop. Vol 34 N°1 January 1990.

(RIJ 91) RIJK R. H. A., SCHWAIR T.M. - "A universal test algorithm for the self-test of parameterizable RAMs" - European Test Conference - April 1991

(RIT 91) RITTER H.C., DEKKER R., KERKHOFF H. G. - "Self-test of a 256Kx4 bit stand alone static RAM" - European Test Conference - April 1991

(SAL 87) SALUJA K.K., SNG S.H., KINOSHITA K. - "Built-in self-testing RAM: a practical alternative" - IEEE Design&Test - February 1987

(SAS 90) van SAS J., CATTHOOR F., INZE L., De MANH. - "Testability strategy and test pattern generation for register files and cus-

tomized memories" - Microprocessors and Microsystems - Vol 14 No 7 September 1990.

(SUN 84) SUN Z., WANG L. - "Self-testing of embedded RAMs" - International Test Conference - 1984

(SUK 81) SUK D., REDDY S.M. - "A march test for functional faults in semiconductor random access memories" - IEEE Transactions on Computers vol. C-30 n° 12 December 1981.

(THA 78) THATTE S. M., ABRAHAM J. A. - "Testing of semiconductor random access memories" - IEEE Transactions on Computers vol. C- 28 June 1978.

(YOU 84) YOU Y., HAYES J. P. - "A self-testing dynamic RAM chip" - Conference on advanced research in VLSI, M.I.T. - 1984-9

V. CASTRO ALVES*, M. S. LUBASZEWSKI, M.
NICOLAIDIS* and B. COURTOIS
IMAG/TIM3 LABORATORY
*Reliable Integrated System Group
46, av. Felix Viallet 38031 GRENOBLE CEDEX -
FRANCE

Prispelo: 15.10.92

Sprejeto: 24.11.92

VISOKOPOSPEŠENO TESTIRANJE ELEKTROMIGRACIJE V Al VODNIKI NA NIVOJU REZIN

Marijan Maček, Al V. Kordesch

Ključne besede: mikroelektronika, vezja integrirana, metalizacija, elektromigracija, prevodniki aluminijevi, testiranje visokopospešeno, BEM energija kovin, SWEAT testiranje, MTTF odpovedi, MEF energija odpovedi, TTF čas odpovedi

Povzetek: Podan je kratek teoretičen pregled dveh najpogostejše uporabljenih visokopospešenih testov elektromigracije na nivoju rezine. Prikazani eksperimentalni rezultati kažejo na dobro korelacijo med testoma BEM in SWEAT. Kljub visokemu faktorju pospešitve, s tipičnim časom testiranja od 10-100s, kažejo rezultati obeh testov na različnih testnih strukturah podoben trend napovedanega časa odpovedi pod normalnimi delovnimi pogoji ($2\text{MA}/\text{cm}^2$, 60°C) kot konvencionalni test EM na inkapsuliranih vezjih.

Highly Accelerated Electromigration Testing of Al Conductors on Wafer-level

Key words: microelectronics, integrated circuits, metallization, electromigration, aluminium conductors, highly accelerated testing, breakdown energy of metals, SWEAT patterns, mean time to failure, mean energy to fail, time to failure

Extended Abstract: Electromigration (EM) in Al conductors is one of the three most important factors affecting reliability of modern integrated circuits. To reduce the need for expensive and time consuming procedure on the packaged devices (up to 2×10^7 devicehours of testing) as much as it is possible, now highly accelerated EM tests have been developed. Two of them, Breakdown Energy of Metal (BEM) and Standard Wafer-level Electromigration Test (SWEAT) are discussed in the paper.

At the beginning a short introduction into the theory of the EM is made. After the introduction of the Shaffit's equation for the thermal response of the straight conductor line under the stress current, the theory is extended to the special SWEAT structure. The Newton-Raphson algorithm gives the solution of the Black's transcendent equation at any time in the term of the current to keep the stress (target time to fail) constant. In the same way the measurements of the energy accumulated in conductor during the BEM test was introduced. Finally some measurements of the most important parameters for both tests are shown. Results show the constant stress SWEAT test is performed generally at lower temperature (approximately 350°C for the test time less than 100 s) than the BEM test (temperature where about 90% of the energy is accumulated is higher than 400°C for the same test time). This means the mechanism of the EM during the SWEAT test is closer to the pure grain boundary migration which prevails at lower temperatures than during the BEM test. Anyway the measured activation energy $E_a = 1.18\text{ eV}$ is between the values reported for the bulk and grain boundary diffusion.

In the second part the results of both level tests are compared with each other as well with the conventional test performed at packaged level in the oven at 150°C under the moderate stress current of $4\text{ MA}/\text{cm}^2$. Results show a good correlation between all three compared tests. But generally the expected median time to fail under the use condition calculated from the constant stress test performed on the SWEAT structures as well as on the straight metal lines is underestimated regarding the conventional procedure. On the other hand BEM test gives overestimated results.

From the results obtained in the industrial environment we can conclude SWEAT and BEM tests can be used as a fast, valuable tool to monitor the resistance of the Al conductors against the EM in the frame of the statistical process control.

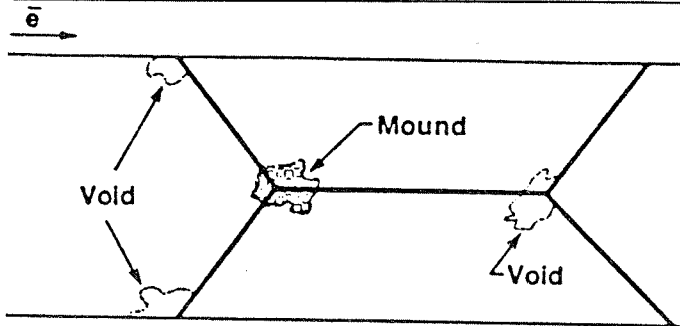
1.0 Uvod

Pred proizvajalci kompleksnih integriranih vezij (IV) so vedno hujše zahteve glede zanesljivosti delovanja vezij. V bližnji bodočnosti se bo zahtevala že tako visoka kvaliteta, da se resno postavlja vprašanje o smiselnosti do sedaj standardnih življenjskih testov. Že danes se zahteva testiranje 2×10^7 vezij $\times$ ur, da se zagotovi pogostost odpovedi pod 10 FIT^1 s 50% intervalom zaupa-

nja, v naslednjih letih pa se bo obseg testiranja povečal tudi prek 10^9 vezij $\times$ ur (1).

Navedeni obseg testiranja nujno pripelje do tega, da je potrebno število testiranj zmanjšati na minimalni obseg. Zato se v zadnjih letih razvijajo metode, ki zmanjšale potrebo po dragih življenjskih testih. Pojavljajo se novi matematični modeli (na primer *BERT* (1)), ki omogočajo napovedovanje kritičnih mest na vezjih glede zanesljivosti že med samim postopkom načrtovanja. Po drugi strani pa se v produkciji uveljavljajo metode, ki omogočajo sprotno zasledovanje kvalitete IV na nivoju rezine z visoko pospešenimi testi. Ker je tipičen čas testov 10-100s, se lahko izvajajo skupaj s parame-

¹ 1 FIT je 10^{-9} odpovedi na vezje v 1 uri.



Slika 1: Prikaz tvorbe praznin in kopičenja ionov v prevodni liniji iz čistega Al po enostavnem divergenčnem modelu.

omogočajo sprotno zasledovanje kvalitete IV na nivoju rezine z visoko pospešenimi testi. Ker je tipičen čas testov 10-100s, se lahko izvajajo skupaj s parametričnimi testi, kar omogoča zelo hitro povratno informacijo. Trije najpomembnejši mehanizmi odpovedi, ki vplivajo na zanesljivost delovanja IV so:

Elektromigracija (EM), ki je pomembna predvsem na povišanih temperaturah, saj znaša aktivacijska energija E_a od 0.54 eV za Al-1%Si do približno 0.7 eV za Al-1%Si-0.5%Cu.

Časovno odvisni preboj dielektričnih plasti (Time Dependent Dielectric Breakdown), ki je odgovoren za večino zgodnjih odpovedi, vendar izkazuje nekoliko manjšo temperaturno odvisnost ($E_a = 0.5$ eV).

Efekt vročih elektronov (Hot Electron Effect) postaja vse pomembnejši z zmanjševanjem dimenzij tranzistorjev. Obratno od prvih dveh mehanizmov ima negativno aktivacijsko energijo, kar pomeni, da na povišanih obratovalnih temperaturah postaja relativno manj pomemben od EM in TDDB.

2.0 Elektromigracija

V kovinskih povezavah sodobnih IV so po načrtovalskih pravilih dovoljene visoke gostote tokov, vse do 0.2 MA/cm². Gibanje elektronov ali takoimenovan "elektronski veter" povzroči transport ionov v nasprotni smeri električnega polja (sl. 1). Ionski tok je sorprocionalen električnemu, pri čemer je difuzijska konstanta ionov odvisna tudi od snovnih parametrov, $j_{ion} \propto D_{ion}(T, \dots)$ je. Posledica masnega transporta je kopičenje ionov na področjih, kjer je transport otežen, ter tvorba praznin na področjih ugodnejših za ionski transport. Pogoji za pojav EM je od nič različna divergenca ionskega toka, $\nabla j_{ion} \neq 0$, kar je lahko poleg prikazane geometrije posledica gradientov temperature, mikrostrukture, nečistoč ali napetosti v plasteh. Najlažje prihaja do difuzije ionov vzdolž meja kristalnih zrn ($E_a = 0.554$ eV za Al-1%Si), medtem ko je pojav v notranosti kristala opazen le pri višjih temperaturah ($E_a = 1.48$ eV) (2). Majhen dodatek bakra povzroči tvorbo precipitativ na meji, kar znatno upočasni difuzijo. Tipično izmerjene aktivacijske energije za Al-1%Si-0.5%Cu zlitino so okrog 0.75 eV.

V skladu z vakančnim modelom EM (3) zapišemo čas, v katerem odpove 50% testnih struktur (*Median Time to Fail, MTTF*) pod poljubno tokovno obremenitvijo z naslednjo enačbo:

$$MTTF = \frac{A_{DC}(T)}{|j|^{m-1} \bar{j}} \cdot \left(1 + \frac{A_{DC}(|j| - \bar{j})}{A_{AC} \bar{j}} \right)^{-1} \quad (1)$$

V primeru obremenitve s konstantnim enosmernim tokom preide gornji izraz v znano empirično Blackovo enačbo (2):

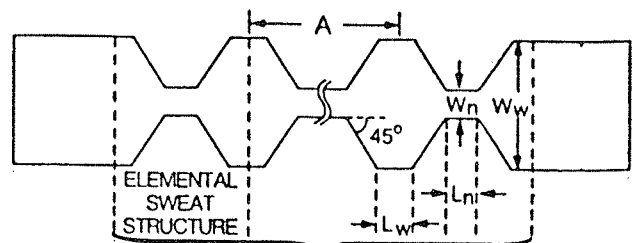
$$MTTF_{DC} = A_0 j^m \exp\left(\frac{E_a}{kT}\right) \quad (2)$$

v kateri pomeni m potenco tokovne odvisnosti, $m \approx -2$.

Elektromigracijo lahko torej pospešimo s povečevanjem toka in povišanjem temperature testa. V primeru testiranja inkapsuliranih vezij je zgornja meja temperature okrog 240°C, medtem ko so tokovi omejeni na 2-4 MA/cm², ko se segrejejo kovinske linije že prek 20°C nad temperaturo okolja. Dosegljiv faktor pospešitve je torej okrog 10⁴. Za tipično testiranje potrebujemo torej nekaj deset ur in več. V primeru testiranja na nivoju rezine lahko dosežemo mnogo višje temperature in tokove in posledično do tisočkrat višje faktorje pospešitve. Tipičen čas za visokopospešen test na nivoju rezine je potemtakem nekaj deset sekund.

V zadnjih nekaj letih je bilo razvitih več metod za testiranje EM na nivoju rezin. Najpomembnejši med njimi sta **metoda meritve prekinitvene energije kovinske linije** imenovana s kratico BEM (4) (Breakdown Energy of

$$\begin{aligned} W_n &= 2.0 \mu m, W_w = 16.7 \mu m, L_n = 8 \mu m, \\ L_w &= 8.3 \mu m, A = 23.6 \mu m, t_{m1} = 0.65 \mu m, \\ t_{m2} &= 0.9 \mu m, t_1 = 1.2 \mu m, t_2 = 2.2 \mu m, \\ \beta &= 3.8 \times 10^{-3} / K, \gamma_{R-T} = 1.08-1.21, N_{seg} = 21 \end{aligned}$$



Slika 2: Shematski prikaz testne strukture SWEAT z najpomembnejšimi parametri, kakor so bili uporabljeni pri naših testih na dveh različnih nivojih metalizacije. $t_{m1,2}$ je debelina prvega oziroma drugega nivoja metalizacije, $t_{1,2}$ pa pod njim ležečega dielektrika.

Metals) in **standardni pospešeni test EM na nivoju rezine**, poznan s kratico SWEAT (5) (Standard Wafer-level EM Accelerated Test). Pri obeh testih poteka segrevanje kovinske strukture s pomočjo sproščene Joulove toplote v kovini, dodatno zunanje segrevanje substrata pa ni potrebno. V primeru testa BEM je struktura kovinska linija enakomerne širine in dolžine več sto mikrometrov z različnimi topografijami, ki naj vsebujejo tudi najbolj neugodne primere stopnic. Za SWEAT test se uporabljajo posebej zato razvite strukture z izmenično si sledečimi širokimi in ozkimi segmenti, kakor je to prikazano na sliki 2. Tudi v tem primeru naj bodo ozke linije načrtane prek najneugodnejših topografij. Tako načrtana struktura je še dodatno občutljiva na pojav EM, saj ciklično spreminjanje preseka povzroči divergenco gostote toka, kar skupaj z različno sposobnostjo odvajanja toplote povzroči pojav termičnih gradientov. Bistvena razlika med obema testoma pa je v načinu izvajanja testa. Pri testu BEM stopničasto povečujemo tok, dokler se linija ne prekrine podobno kot varovalka. Nasprotno pri testu SWEAT s primernim matematičnim algoritmom poskrbimo za čim konstantnejši faktor pospešitve. Seveda pa je možno test izvajati tudi pri konstantnem toku ali temperaturi, ter seveda tudi na preprosti enakomerno široki kovinski liniji.

2.1 Standardni pospešeni test elektromigracije na nivoju rezine (SWEAT)

Prvič sta test predstavila leta 1985 Root in Turner (5). Glavna odlika tega visokopospešenega testa EM je njegova visoka sposobnost absorpcije Joulove toplote in linearna odvisnost upornosti od sproščene moči. Tipično so dosegljive vsaj 2 krat večje gostote toka v ozkem segmentu kakor v enakomerno široki liniji. To omogoča, da je tipična temperatura med testom pod 350°C, kjer dominantni mehanizem migracije ni več difuzija v notranjosti kristalnih zrn.

Za pravilno interpretacijo rezultatov testa SWEAT je potrebno poznati temperaturo v ozkem segmentu širine W_n . Za izhodišče si vzamemo Schaffttov /6/ model za izračun temperature v zelo dolgi ($l \rightarrow \infty$) kovinski liniji skozi katero teče električni tok I .

$$T - T_s = \frac{1}{\beta} \cdot \frac{1}{\left(K_i (1 + \alpha t_i / W) W^2 t_m / (\beta \rho_o t_i) \right) l^2 - 1} = \frac{1}{\beta} \cdot \frac{1}{(I_o / I)^2 - 1} \quad (3)$$

T_s = temperatura Si substrata

$t_{m,i}$ = debelina kovine in pod njo ležeče izolacijske plasti
 W = širina kovinske linije

K_i = toplotna prevodnost izolatorja

α = robni korekcijski faktor, $\alpha = 0.88$ za $l \rightarrow \infty$

ρ_o = specifična upornost kovine pri T_s (Ωcm)

β = koeficient temperaturne odvisnosti upornosti kovine

Za strukturo SWEAT z neenakomerno širino W določimo povprečen dvig temperature $\langle T - T_s \rangle$ iz naslednje enačbe:

$$\langle T - T_s \rangle = \frac{1}{\beta} \cdot \frac{1}{(I_o / I)^2 - 1} = \frac{1}{\beta} \cdot \frac{R - R(T_s)}{R(T_s)} \quad (4)$$

V tem primeru je kritični tok I_o definiran na nekoliko bolj kompliciran način prek "povprečne" širine W . Vsekakor pa velja še naprej zveza med močjo P in spremembo upornosti $\Delta R = R - R(T_s)$

$$I_o^2 = \frac{P}{\Delta R} = \frac{K_i t_m \langle W^2 \rangle}{\rho_o \beta t_i} \quad (5)$$

Poleg povprečnega dviga temperature, nas zanima tudi maksimalna temperatura T_n^{Max} , ki je povezana s povprečnim dvigom z naslednjo zvezo:

$$T_n^{\text{Max}} - T_s = \gamma \langle T - T_s \rangle \quad (6)$$

Parameter γ je komplicirana funkcija geometrije strukture in tokovne obremenitve. V nekoliko modificiranem Root-Turnerjevem modelu (7) izračunamo γ iz geometrijskih podatkov:

$$\gamma = \frac{(n_n + \lambda n_t) \cdot (n_n + n_w + n_t)}{(n_n + \lambda n_t)^2 + [n_w + (1 - \lambda) n_t]^2} \quad (7)$$

$n_{n,w,t}$ = število kvadratov ozkega, prehodnega in širokega območja strukture

λ = parameter; $\lambda = 0$, če prehodno območje obravnavamo kot široko, oziroma $\lambda = 1$, če ga obravnavamo kot ozko območje.

Za strukturo prikazano na sliki 2 ima γ vrednosti 1.21 ($\lambda = 0$), oziroma 1.08 ($\lambda = 1$). Korektnije rezultate za faktor γ , oziroma porazdelitev temperature po liniji dobimo z rešitvijo naslednje normalizirane diferencialne enačbe, ki opisuje razmere v eni dimenziji:

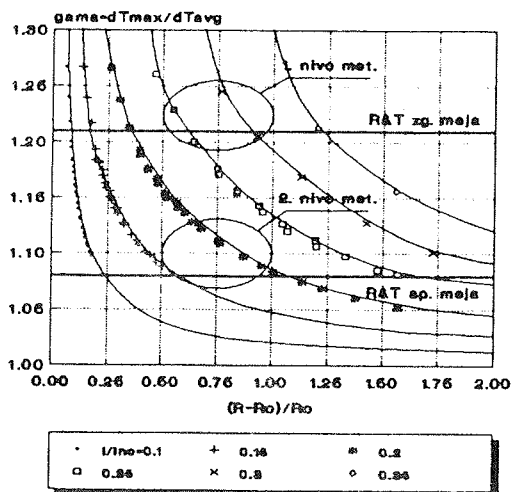
$$\frac{\partial^2 \Theta}{\partial u^2} = -A(1 + \Theta) + B \left\{ \frac{W(u)}{W_n} (W(u) + \alpha t_i) \right\} \Theta$$

$$\Theta = \beta (T - T_s), A = (I/I_n)^2, B = \frac{K_i W_n^2}{K_m t_i t_m}, I_n^2 = \frac{K_m t_m^2}{\beta \rho_o} \quad (8)$$

u = brezdimenzijska mera števila kvadratov vzdolž strukture

K_m = toplotna prevodnost kovine.

Odvisnost koeficienta γ od spremembe upornosti $\Delta R/R(T_s)$ izračunana na osnovi 1-D modela (8) in z upoštevanjem temperaturno odvisnih koeficientov toplotne prevodnosti kovine in izolatorja za strukturo s



Slika 3: Odvisnost parametra $\gamma = (T_n^{Max} - T_s) / (T - T_s)$ od spremembe upornosti $\Delta R/R(T_s)$ preračunano po 1-D modelu za različne tokovne obremenitve.

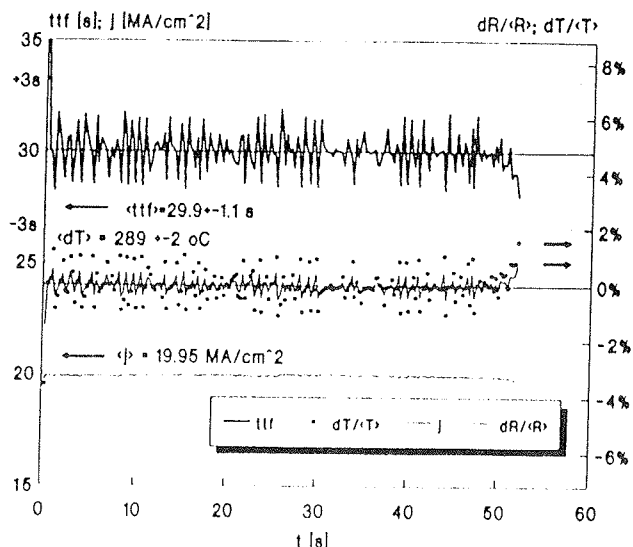
slike 2 je prikazana na sliki 3. Vrednosti $\gamma = 1.21$ in $\gamma = 1.08$ sta dobri oceni za prvi oziroma drugi nivo metalizacije.

Test SWEAT se kot je že bilo omenjeno izvaja tako, da je faktor pospešitve konstanten, kar lahko izrazimo z ciljnim časom odpovedi TTF. Razvit je bil matematičen algoritem, ki omogoča vsak trenutek izračun potrebnega toka na osnovi meritve upornosti strukture. S kombinacijo enačb (2) in (3), ter upoštevanjem enačb (4) in (6) dobimo transcendenten izraz za tok I , ki ga rešimo z **Newton-Raphsonovo** metodo:

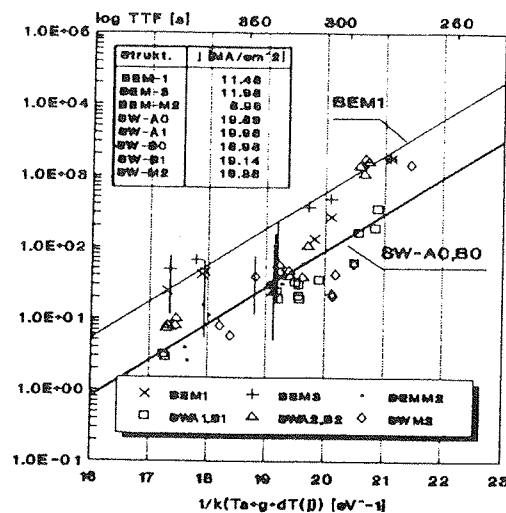
$$F(I) = (TTF) I^{(1/m)} \exp \left(\frac{E_a}{km \left\{ T_s + (\gamma/\beta) \left(\left(I_0/I \right)^2 - 1 \right) \right\}} \right) - I = 0 \quad (9)$$

Rezultat meritve parametrov med izvajanjem obremenitve na eni od testnih struktur je prikazan na sliki 4. Vidimo, da sorazmerno majhna nihanja v temperaturi in upornosti prispevajo k znatni (3%) nenatančnosti parametra TTF, kar pa je razumljivo če upoštevamo eksponentno odvisnost v (2).

Parameter A_0 in aktivacijska energija, potrebna za izračun TTF iz enačbe (2) sta bila določena iz odvisnosti MTTF od $1/kT$ prikazane na sliki 5. Izmerjena aktivacijska energija določena za temperature od 250-400°C znaša 1.18 ± 0.10 eV. To je znatno nad literaturno vrednostjo 0.7-0.8 eV za zlitino Al-1%Si-0.5%Cu določeno s konvencionalnimi testi na temperaturi pod 240°C in blizu vrednosti 1eV poročani v (9) za podobne pogoje obremenjevanja². Konstanta A_0 zavzema za



Slika 4: Izmerjeni parametri pomembni za izvedbo testa SWEAT s konstantnim faktorjem pospešitve oziroma konstantnim ciljnim časom odpovedi TTF.

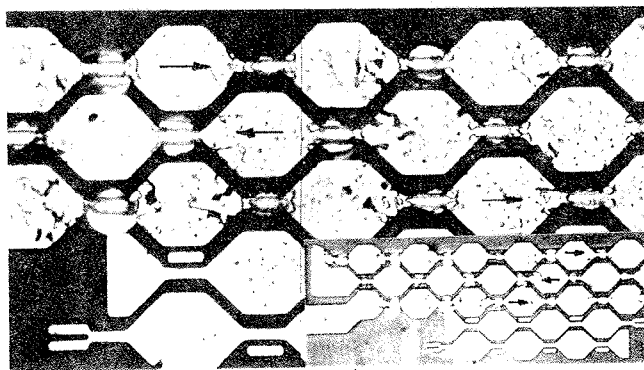


Slika 5: Odvisnost MTTF merjeno na različnih testnih strukturah, ter z različnimi temperaturami substrata v odvisnosti od $1/kT$. Za primerjavo so dodane tudi vrednosti MTTF merjene na kovinskih linijah za test BEM.

različne strukture vrednosti od 6×10^3 do 3×10^4 A^{1.7} cm^{-3.4} ($E_a = 1.18$ eV, $m = -1.7$).

Na sliki 6 je prikazan mikroskopski posnetek strukture SWEAT, ki pokaže kopičenje kovine v ozkem segmentu in tvorbo praznin v prehodnem in širokem segmentu po dolgotrajnem ($> 10^4$ s) obremenjevanju s tokom $I = 18.5$ MA/cm², kar je povzročilo povprečen največji dvig temperature $\Delta T_{max} = 324^\circ\text{C}$.

² Določeno za temperaturni interval od 210-310°C in tok 16 MA/cm².



Slika 6: Mikroskopski posnetek povsem pasivirane strukture SWEAT po netipično dolgotrajni ($> 10^4$ s) obremenitvi. $\bar{j} = 18.5 \text{ MA/cm}^2$, $\Delta T_{\text{max}} = 324^\circ \text{C}$. Puščica kaže smer elektronskega toka.

2.2. Metoda meritve prekinitvene energije (BEM)

Istočasno kot test SWEAT se je pojavil tudi drugi močno razširjeni visokopospešeni test EM. Vpeljala sta ga C.C. Hong in D.L. Crook (4). Pri tem testu se primerja akumulirana energija pri kateri odpove polovica struktur (Median Energy to Fail, MEF) z MTTF. Konstanta A_0 v enačbi (2) je proporcionalna specifični upornosti ρ , povprečni prosti poti l , hitrosti v in ionskemu sipalnemu preseku σ , $A_0 = K'(\rho l \sigma / v)$. Ob predpostavki, da je $m = -2$, in upoštevaje $j = I/(Wt_m)$ preuredimo Blackovo enačbo (2) tako, da jo zapišemo v obliki proporcionalni akumulirani energiji na enoto dolžine linije L z upornostjo R :

$$\text{Konst} = \text{MEF} = \frac{(Wt_m)^2}{K'(\rho l \sigma / v)} = I^2 \left(\frac{R}{L} \right) \exp \left(\frac{-E_a}{kT} \right) \text{MTTF}. \quad (10)$$

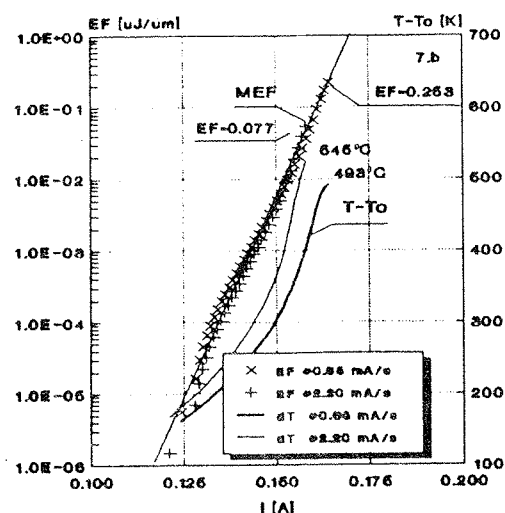
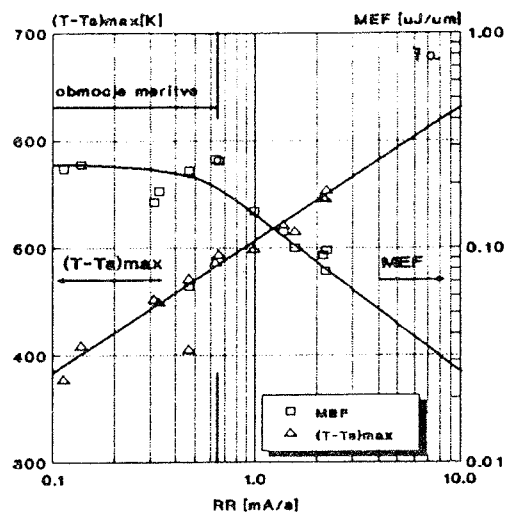
Iz gornje enačbe sledi naslednji izraz, ki povezuje srednjo energijo in čas odpovedi:

$$\text{MTTF} = \frac{\text{MEF}}{(RL)} I^{-2} \exp \left(\frac{E_a}{kT} \right). \quad (11)$$

Test BEM se izvaja tako, da se enakomerno (stopničasto ali zvezno) povečuje tok skozi testno strukturo, vse dokler se le-ta ne prekine. Energijo odpovedi EF na enoto dolžine dobimo z integriranjem moči v intervalu od $t=0$ do trenutka odpovedi $t=t_{\text{odpoved}}$:

$$\text{EF} = \int_{t=0}^{t_{\text{odpoved}}} I(t)^2 \left(\frac{R(t)}{L} \right) \exp \left(\frac{-E_a}{kT(t)} \right) dt. \quad (12)$$

Vendar hitrost spreminjanja toka (RR) ne sme biti prevelika, ker postane meritev odvisna od RR. Za testne linije, kakršne smo uporabili pri naših meritvah³ se izkaže, da mora biti RR manjši od 0.05 MA/cm^2 , kar je lepo vidno iz slike 7a. Iz slike vidimo tudi, da je zadnja izmerjena temperatura pred prekinitvijo linije skoraj linearna funkcija RR. Slika 7b nam pokaže, kako se spreminja temperatura med povečevanjem toka skozi linijo. Vidimo tudi, da je prirastek EF pomemben le pri



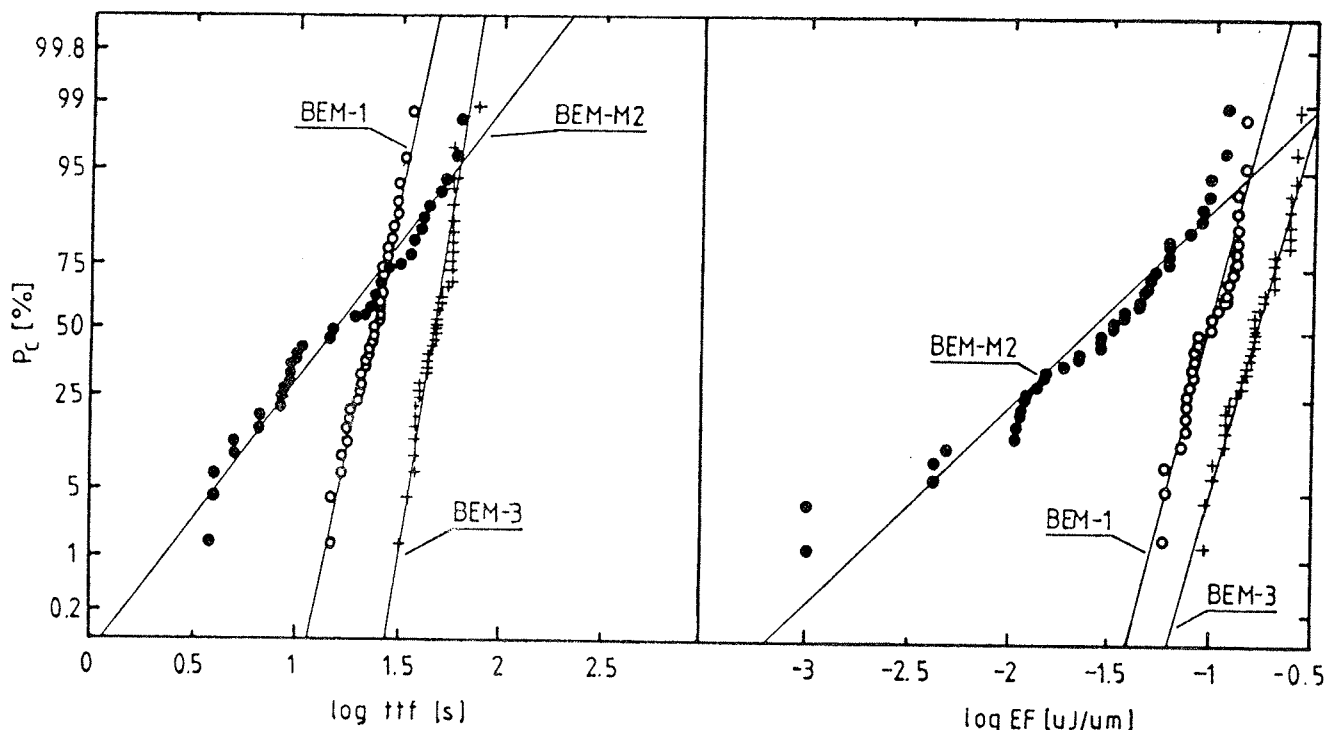
Slika 7: a) Odvisnost MEF in ΔT_{max} od logaritma hitrosti (log-RR) spreminjanja toka skozi strukturo. Za prikazano strukturo je kritična hitrost okrog 0.05 MA/cm^2 . V tem primeru bodo maksimalne temperature pod 500°C . b) Prirastek temperature in energije med poviševanjem toka skozi strukturo z dvema različnima hitrostima RR.

povišanih temperaturah. Večina energije je akumulirana pri temperaturah nad 400°C , kar pomeni, da je prevladujoči mehanizem EM difuzija v kristalnem zrnu in ne na njegovih mejah. Le z zelo počasnimi spremembami toka, kar pomeni nepraktično dolgi časi testiranja se da znižati maksimalne temperature odpovedi.

3.0 Primerjava rezultatov pospešenih testov EM

Zanimivo je primerjati rezultate obeh visokopospešenih testov EM na nivoju rezine med seboj in z rezultati dobljenimi na rezinah iz iste šarže po običajnem testiranju na inkapsuliranih vezjih. Testi so bili narejeni na različnih testnih strukturah prvega in drugega nivoja metalizacije. Zaradi primerjave obeh testnih metod je bil izveden test SWEAT (s konstantnim ciljnim TTF) tudi na

³ $L = 480 \mu\text{m}$, $W = 2 \mu\text{m}$, $t_{m1,(2)} = 0.65, (0.9) \mu\text{m}$, $t_{i1,(2)} = 1.2, (2.2) \mu\text{m}$



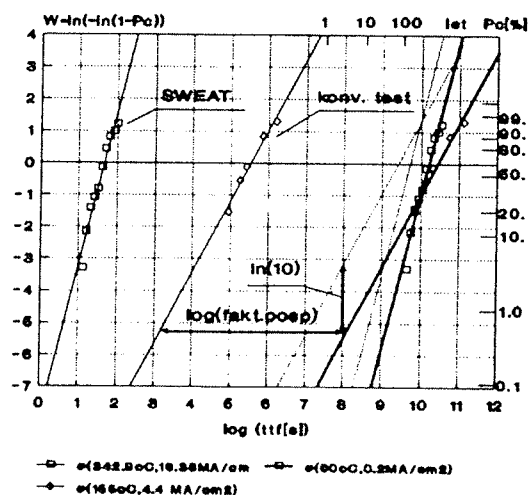
Slika 8: Log-normalni porazdelitvi časa odpovedi t_{tf} pod testom konstantne obremenitve (a), ter energije odpovedi E merjene s testom BEM (b). Rezultatih z obeh slik so dobjeni na kovinskih linijah z nominalnimi podatki $L=480 \mu m$, $W=2 \mu m$, $t_{m1}=0.65 \mu m$, $t_{m2}=0.9 \mu m$, $\rho=3.25 \mu\Omega cm$. (BEM-1 je linija s stopnicami, BEM-3 brez stopnic, BEM-M2 linija s stopnicami na drugem nivoju metalizacije).

metalnih linijah namenjenih drugače za test BEM. Na sliki 8 sta primerjani porazdelitvi $\log-t_{tf}$ za test s konstantnim ciljnimi TTF in $\log-E$ za test BEM. Oboje je bilo merjeno na istih rezinah in testnih strukturah namenjenih za test BEM (v naprej oznaka BEM/SW, oziroma BEM/BE). Očividno sta obe porazdelitvi dokaj podobni. Izstopa dejstvo, da ima porazdelitev obeh merjenih količin za drugi nivo metalizacije (BEM-M2/SW, BE) večjo standardno deviacijo, kot porazdelitev za topografsko ustrezno linijo na prvem nivoju metalizacije (BEM-1/SW, BE), ter da ima manjšo srednjo vrednost. Prav tako opazimo, da je 50 percentilna vrednost obeh merjenih količin na liniji brez stopnic (BEM-3) večja, kot na liniji s stopnicami BEM-1 na istem nivoju. V insertu obeh slik opazimo tudi zapisane pomebnejše parametre meritev.

V tabeli 1 so prikazani rezultati meritev prikazanih na sliki 8, kakor tudi rezultati dobjeni na strukturi namenjeni testu SWEAT. Za primerjavo so dodani še rezultati klasičnega testa na inkapsuliranih vezjih iz istih rezin. Na osnovi rezultatov so narejene tudi napovedi za čas odpovedi posameznih struktur pod različnimi pogoji. Napovedani rezultati se ujemajo znotraj velikostnega razreda, pri čemer so napovedi narejene na osnovi rezultatov meritve energije precejšene nasproti napovedim na osnovi konvencionalnega testa in podcenjene pri testu s konstantnim faktorjem pospešitve.

Poglejmo si še grafični prikaz porazdelitve odpovedi pod normalnimi delovnimi pogoji dobljene iz pospešenega

testa SWEAT in konvencionalnega testa za strukturo SWEAT-M2 (sl. 9). S preprostim premikom porazdelitvene krivulje za logaritem faktor pospešitve vidimo, da se obe krivulji premakneta daleč onstran ciljnih 10 let. Ker rezultati dobjeni s konvencionalnim testom kažejo nekoliko večje sipanje, pa bi naj po tej napovedi odpovedalo približno 1% struktur. Tipčna IV imajo večjo dolžino metalizacije. Ob upoštevanju 10 kratnega faktorja ska-



Slika 9: Porazdelitev časov odpovedi izmerjenih na strukturi SWEAT-M2 s konvencionalnim testom in s pospešenim testom na nivoju rezine. Iz njiju napovedana srednja časa odpovedi pod normalnimi delovnimi pogoji sta skorajda enaka (510, oziroma 620 let). S črtkano črto je prikazana napoved za gručo 10 struktur z $L_{AI}=1.7 mm$, kar je ekvivalentno IV.

Struktura/test	Pospešeni test			Konvencionalni test			MTTF napovedan iz:		
	j	ΔT	tff(s)/MEF	j	$T \equiv 150 + \Delta T$	tff	Posp. t.	Konv. t.	Posp. test
	(MA / cm ²)	(°C)	(μ J/ μ m)		(°C)	(h)	Konv. t. (h)	Norm. Delovne. pogoje (let)	na Delovne. pogoje (let)
BEM-1/SW	11.48	397.6	24.5	4.25	170	85	45.9	$> 1.1 \times 10^3$	6.2×10^2
BEM-3/SW	11.98	391.7	49.0	4.26	170	85	88.4	1.2×10^3	1.2×10^3
BEM-M2/SW	8.96	374.2	15.5	4.42	175	58	11.1	1.0×10^3	2.0×10^2
SW-A0/SW	19.89	333.8	25.7	3.86	155	630	81.3	3.6×10^3	4.7×10^2
SW-A1/SW	19.98	333.5	67.6	4.22	155	700	184.1	4.8×10^3	1.2×10^3
SW-B0/SW	18.98	335.8	33.9	4.24	155	550	88.2	3.8×10^3	6.0×10^2
SW-B1/SW	19.14	335.4	58.9	4.20	155	600	156.6	4.0×10^3	1.0×10^3
SW-M2/SW	16.38	342.9	38.9	4.44	160	55	67.1	5.1×10^3	6.2×10^2
BEM-1/BEM	$12.42^{\max}$	$446.1^{\max}$	0.099	4.25	170	85	222.3	1.1×10^3	9.2×10^3
BEM-3/BEM	$12.43^{\max}$	$488.1^{\max}$	0.172	4.26	170	85	383.6	1.2×10^3	1.6×10^4
BEM-M2/BEM	$9.15^{\max}$	$390.5^{\max}$	0.040	4.42	175	58	94.5	1.0×10^3	3.7×10^3

Normalni delovni pogoji: $T = 60^\circ\text{C}$, $j = 0.2 \text{ MA/cm}^2$

Tabela 1: Primerjava parametrov različnih testov **EM** in napovedani **MTTF** za različne vhodne parametre. Računano z $E_a = 0.75 \text{ eV}$

liranja postanejo zadeve nekoliko bolj kritične, saj bi naj odpovedalo že skoraj 20% vezij. Vendar je potrebno upoštevati tudi to, da je ΔT v tabeli 1 podcenjen, ker je odvajanje toplote v inkapsuliranem vezju slabše kot na rezini. Prav tako IV ne obratuje pod DC obremenitvijo, kar pomeni, da je napovedani MTTF podcenjen.

4.0 Zaključek

Iz tega kratkega prikaza visokopospešenih testov EM na nivoju rezine in rezultatov iz industrijskega okolja je razvidno, da rezultati dokaj dobro korelirajo z rezultati konvencionalnega testa na inkapsuliranih vezjih. To velja predvsem za test SWEAT in nekoliko manj za test BEM. Iz rezultatov meritev lahko sklepamo, da se prvi bolj približuje pogojem, pod kakršnimi prihaja do pojava EM med normalnim obratovanjem IV (elektromigracija na mejah zrn na srednjih in nizkih temperaturah). Drugi test pa je predvsem primeren za hitro spremljanje lastnosti volumna materiala saj se pomembne spremembe v materialu zgodijo na visokih temperaturah. Oba testa pa omogočata hitro zasledovanje kvalitete metalizacije v proizvodnem okolju, saj je tipičen čas testiranja pod 100s. Posebej pomembno je ponovno poudariti, da osnovni namen obeh testov ni napoved življenske dobe metalizacije pod normalnimi delovnimi pogoji. Njun namen je zasledovati kvaliteto metalizacije v proizvodnem okolju iz šarže do šarže z minimalnim časovnim zamikom. Merjena parametra MEF in MTTF morata biti znotraj določenega območja, za katerega vemo iz konvencionalnih testov, da zagotavlja zadovoljivo kvaliteto. Vsako odstopanje navzdol pa pomeni takojšnje ukrepanje v svrhu izboljšanja kvalitete metalizacije.

5.0 LITERATURA

- 1/ Chenming Hu, "IC Reliability Simulation", IEEE Journal of Solid-State Circuits, VOL. 27, pp.241-246 (1992)
- 2/ J.R.Black, "Physics of Electromigration", Proceedings of the International Reliability Physics Symposium (IRPS), 1974, pp.142-147
- 3/ B.K. Liew, P. Fang, N.W. Cheung, C. Hu, "Reliability simulator for interconnect and intermetallic contact electromigration", IRPS, 1990, pp.111-118
- 4/ C.C. Hong, D.L. Crook, IRPS, 1985, pp.108-114
- 5/ B.J. Root, T. Turner, Wafer Level Electromigration Tests for production Monitoring, IRPS, 1985, pp.100-106
- 6/ H.A. Schafft, Thermal Analysis of Electromigration Structures, IEEE Trans. ED-34, pp.664-672(1987)
- 7/ C.R. Crowell, C.C. Shin, V. Tyree, Simulation and Testing of Temperature Distribution and Resistance versus Power for SWEAT and related Joule-heated Metal-on-insulator Structures, IRPS, 1990, pp.37-43
- 8/ M. Maček, Al V. Kordes, bo objavljeno
- 9/ H. Katto, M. Harada, Y. Higuchi, Wafer Level J-ramp & J-constant Electromigration Testing of Conventional & SWEAT Patterns assisted by Thermal & Electrical Simulator, IRPS, 1991, pp. 298-305

Marijan Maček
Fakulteta za elektrotehniko in računalništvo
61000 Ljubljana, Tržaška 25

Al V. Kordes IMP 2830 N First Street
San Jose, CA 95134

Prispelo: 19.10.92

Sprejeto: 10.11.92

SILICIDI V MIKROELEKTRONIKI

Matjaž Godec, Peter Panjan

Ključne besede: mikroelektronika, silicidi kovinski, silicidi titanovi, plasti tanke, VLSI vezje, TEM mikroskopija, XTEM mikroskopija, difrakcija rentgenska, preiskave rentgenske, substrati silicijevi

Povzetek: V članku je opisana uporabnost silicidov kovin z visokim tališčem v VLSI vezjih. Predstavljeni so rezultati rentgenskih in XTEM raziskav na titan silicidnih tankih plasteh, ki smo jih pripravili tako, da smo tanko plast titana na silicijevi podlagi pregreli v vakuumu.

Silicides in Microelectronics

Key words: microelectronics, metal silicides, titanium silicides, thin films, VLSI, transmission electron microscopy, cross-section transmission electron microscopy, X-ray diffraction, X-ray investigation, silicon substrates

Abstract: As devices continually scale down to submicron dimensions for higher density and better performance, metallization becomes limiting factor. One of major problem in microelectronics devices is how to make a reliable connections between a million or more electronic components on a single chip. New materials are introduced for the manufacture of VLSI devices to increase yields and decrease manufacturing costs.

Our investigations were concentrated in contact metallurgy. Advanced metallization systems consist typically of a silicide layer in a contact with the silicon substrate, and a diffusion barrier between silicide and aluminium film. Among the refractory metal silicides, TiSi_2 is by far the most widely investigated silicide because of its low resistivity and possibility of making them in self aligned silicidation process. TiN has been suggested as suitable barrier material, because it has high thermodynamic stability and relatively low electric resistivity.

Titanium silicide has been formed by reaction of 180 nm thick Ti film sputter deposited at 100°C on monocrystalline silicon (100) by thermal annealing in vacuum. The annealing temperatures were 400, 500, 600, 700 and 750°C . The growth of silicide on silicon has been investigated by the cross-sectional transmission electron microscopy (XTEM), X-ray diffraction technique and by the resistance measurement. The thickness of titanium silicide layer and the average crystal grain size was studied as a function of the annealing temperature. TEM cross-section have shown the sequences of phase formation during annealing of Ti layer on mono Si substrates (Fig. 1). XTEM micrographs have also shown that the thickness of titanium silicide increased parabolically with the annealing temperature (Fig. 2). Titanium silicides phases were identified by X-ray diffraction.

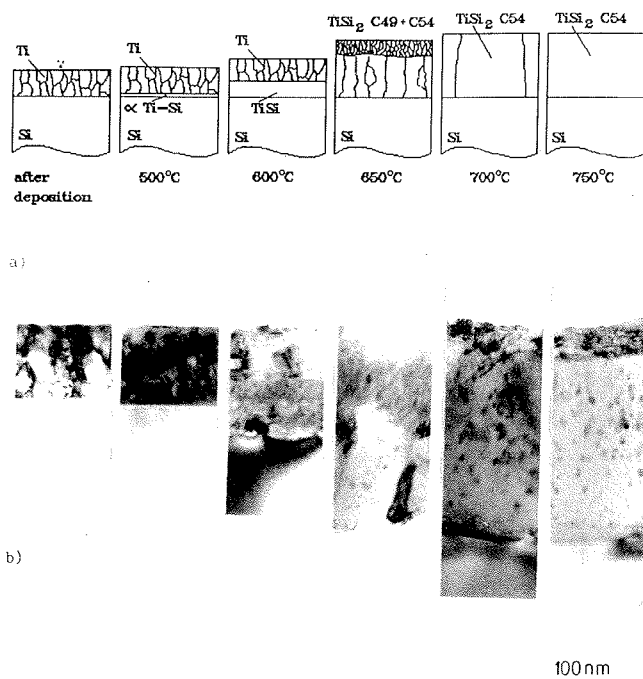


Fig. 1: Sequences of phase formation during annealing of Ti layer on Si substrates: a) scheme, b) XTEM micrograph.

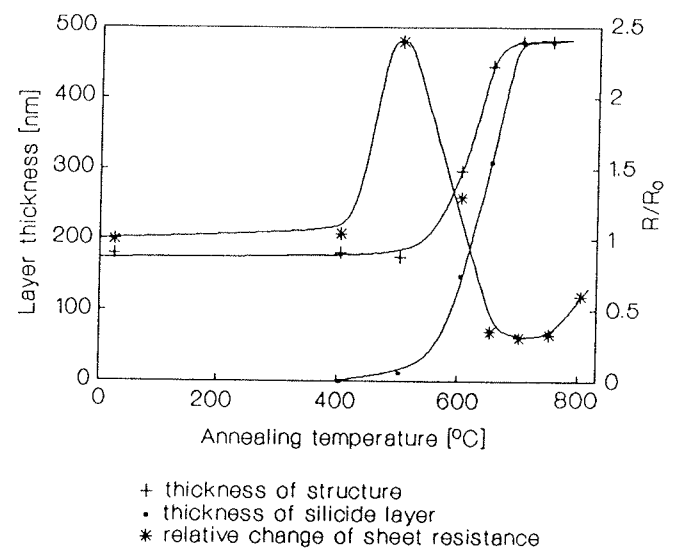


Fig. 2: Thickness of structure, thickness of silicide layer and relative change of sheet resistance as a function of annealing temperature.

- redke zemlje, ki s silicijem reagirajo pri nizkih temperaturah; rast teh silicidov je difuzijsko kontrolirana.

Med pregrevanjem tanke kovinske plasti na siliciju, pride do difuzije atomov silicija ali kovine. V splošnem prevlada difuzija enega elementa. Pri niskih temperaturah in pri polplemenitih kovinah so atomi kovine tisti, ki difundirajo. Pri višjih temperaturah ter pri kovinah z visokim tališčem pa prevladuje difuzija silicija².

Silicide lahko pripravimo na več načinov:

- s konvencionalnim pregrevanjem v peči z inertno atmosfero ali v vakuumski peči
- z ionskim mešanjem (ion beam mixing)
- s pulznim pregrevanjem z elektronskim, ionskim ali laserskim curkom.

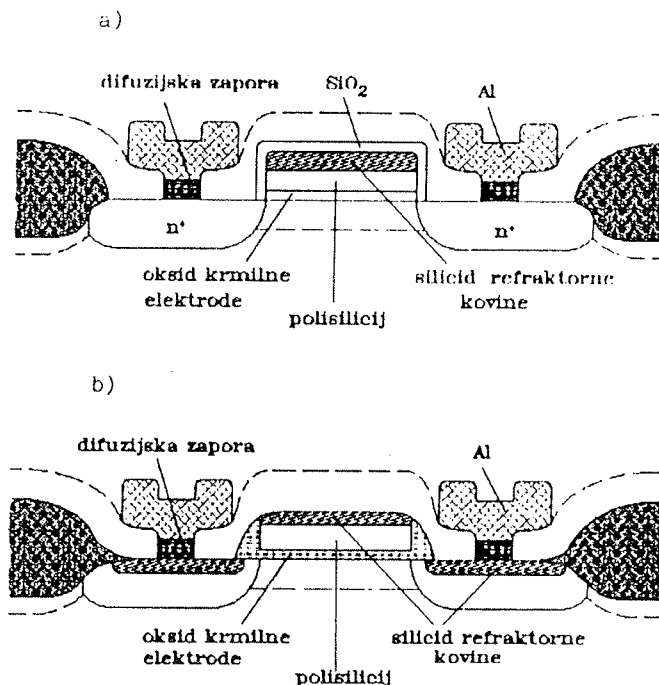
Zadnji dve tehniki, ki sta bili razviti pred kratkim, omogočata dotok energije v zelo majhna področja ter hitro segrevanje in ohlajanje. Čas trajanja pulza je navadno od nekaj nanosekund do več sekund. Glede na moč in čas trajanja pulza nastajajo silicidi bodisi v tekoči ali v trdni fazi. Silicide je možno pripraviti tudi z naprševanje iz dveh tarč hkrati.

Kontakti

Dopiran polikristalen silicij se še vedno uporablja v modernih, tako bipolarnih kot CMOS vezjih. V bipolarni tehnologiji se polikristalen silicij uporablja za emitter, v CMOS tehnologiji pa za krmilno elektrodo. Vendar ima tudi zelo dopiran polikristalen silicij še vedno preveliko upornost, zato se ga delno nadomešča s silicidi. Poznani sta dve strukturi tranzistorja ti. "polycide" in "salicide". V "polycide" procesu (slika 2 a) je tanka silicidna plast v kombinaciji s polikristalnim silicijem. Večinoma se uporablja volframov silicid, ki se nanaša s kemijsko deposicijo iz parne faze pri nizkem tlaku - LPCVD. Za vezja, ki pa imajo razsežnosti pod 1 μm pride v poštev "salicide" proces (slika 2 b), ki je kratica za "self-aligned silicide". Kovino, ponavadi titan, napršimo na strukturo in jo pregrevamo v dušikovi atmosferi. Kjer je kovina v kontaktu s silicijem, pride pri pregrevanju do nastanka silicida, drugje pa ostane kovina, ki jo s selektivnim jedkanjem odstranimo. Silicid ostane le na izviru in ponoru ter krmilni elektrodi. Od vseh naštetih postopkov izdelave silicidov prevladuje "salicide" tehnika zaradi enostavnosti, manjšega števila procesnih korakov in predvsem zaradi majhne kontaktne upornosti. TiSi_2 je najbolj ugoden za "salicide" tehniko, ker:

- reducira SiO_2 , ki je vedno prisoten na površini monokristalnega Si
- titan tvori silicide tako z monokristalnim kot polikristalnim silicijem.

Kljub nekaterim slabostim, kot so nezaželena reakcija titana z oksidom (oksid na robu krmilne elektrode) in nekoliko manjše stabilnosti TiSi_2 v primerjavi z WSi_2 ali

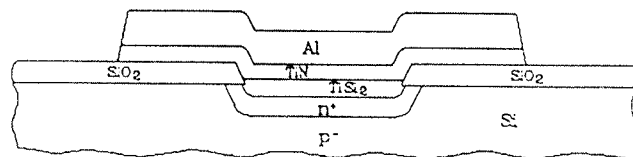


Slika 2: a) "Polycide" in b) "Salicide" struktura

MoSi_2 pa je titan tisti element, ki se v "salicide" tehniki najpogosteje uporablja.

Difuzijske zapore

V VLSI tehnologiji se za doseg stabilnih in zanesljivih kontaktov uporabljajo difuzijske zapore. Te preprečijo difuzijo med silicijem in aluminijem. Prva taka difuzijska zapora je bila intermetalna spojina TiW (10% Ti), ki uspešno prepreči difuzijo med PtSi kontaktom ter Au in Al povezavami. V zadnjih letih se najpogosteje raziskujejo TiN zapore, ki se jih pripravi z reaktivnim naprševanjem. Primer je kontaktna struktura $\text{Si/TiSi}_2/\text{TiN}/\text{Al}$, kjer difuzijska zapora TiN z debelino 80 nm prepreči difuzijo Si in Al do temperature 550°C ³ (slika 3).



Slika 3: Shema plitkega spoja v vezjih VLSI

Povezave

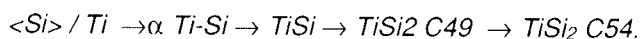
Opisali smo že primer uporabe silicidov za lokalne ali kratke povezave. Večina povezav v vezju pa je "dolgi". Imeti morajo zelo nizko upornost ter sposobnost prenesti veliko gostoto toka. Zaradi elektromigracije aluminij za

povezave ni več primeren. Ena od rešitev je v dodatku 4% Cu aluminiju. Veliko je bilo narejeno, kako zamenjati aluminij s kovinami z visokim tališčem, predvsem z W ali Mo.

3. ŠTUDIJ RASTI TITANOVE SILICIDNE PLASTI

Tanka plast titana na silicijevi podlagi pri dovolj visoki temperaturi pregrevanja zreagira s silicijevo podlago in pride do nastanka silicidne plasti TiSi_2 . Do danes je veliko število raziskav posvečenih prav tej reakciji, vendar pa kljub temu še vedno ni povsem jasno zaporedje nastanka različnih silicidnih faz. Iz termodinamike se da predvideti⁴, da zaradi velike negativne energije mešanja H^m med elementoma Ti in Si pride do nastanka α Ti-Si (amorfne zlitine). Vendar pa je amorfna faza Ti-Si metastabilna, ker imajo posamezne silicidne faze še nižjo prosto energijo, le da morejo preiti prek energijske bariere. Nukleacija TiSi faze ima večjo aktivacijsko energijo kot TiSi_2 ali Ti_5Si_3 . Po drugi strani pa je na sami meji v začetku reakcije razmerje med številom titanovih atomov in silicijevih 1:1 in je tako tudi možno da nastane najprej TiSi faza. Znano je, da po pregrevanju na dovolj visoki temperaturi (nad 700°C) v vakuumu ali v inertni atmosferi, nastane stabilna silicidna faza TiSi_2 C54 prek vmesne metastabilne faze TiSi_2 C49⁵. TiSi_2 faza ima v primerjavi s fazo C54 manjšo površinsko energijo, zaradi česar je velikost kritičnega jedra prej dosežena zato je aktivacijska energija za nukleacijo manjša⁶.

Z rentgenskim difraktometrom s Seeman-Bohlinovo in Bragg-Brentanovo geometrijo smo zasledovali nastanek silicida pri pregrevanju titanove tanke plasti na Si podlagi. Iz rentgenskih difraktogramov smo zaključili, da poteka nastanek stabilne TiSi_2 C54 faze prek naslednjih vmesnih faz:



Zaporedje nastajanja faz se dobro ujema s teoretičnimi predvidevanji.

S transmijsko elektronsko mikroskopijo prereзов (XTEM- crosssection) smo zasledovali dogajanje na meji Si/Ti pri različnih temperaturah pregrevanja. Naredili smo zaporedje TEM posnetkov prereзов plasti Ti na Si podlagi, ki smo jih pregreli pri $400, 500, 600, 650, 700$ in 750°C (slika 4). Na isti sliki so prikazani pripadajoči rentgenski difraktogrami teh plasti. Na sliki 4 a vidimo, da ima plast Ti povprečno velikost kristalnih zrn 50 nm . Debelina Ti plasti je 180 nm , kolikor je bila debelina takoj po naprševanju. Pri temperaturi 500°C pa je na meji že prišlo do difuzije in nastanka amorfne plasti α Ti-Si (slika 4 b). Debelina te novonastale vmesne plasti je 12 nm . Pri temperaturi pregrevanja 600°C je zrastle silicidna plast TiSi debeline 150 nm (slika 4 c). Silicidna plast je imela zelo majhna kristalna zrna, katerih velikost nismo mogli določiti. Pri temperaturi pregrevanja 650°C se TiSi plast spremeni v TiSi_2 (slika 4 d). Z rentgensko uklonsko analizo smo ugotovili pri-

sotnost obeh faz, tako metastabilne C49 kot stabilne C54. Analiza uklonskih posnetkov tega vzorca je otežena, ker se prekrivajo refleksi posameznih faz. Pri še višji temperaturi pregrevanja ($T=700^\circ\text{C}$, $t=25 \text{ minut}$) je nastala 520 nm debela silicidna plast (TiSi_2 C54), ki je imela povprečno velikost kristalnih zrn 500 nm (slika 4 e). Pregrevanje pri še višjih temperaturah vpliva le na velikost kristalnih zrn (slika 4 f). Povprečna velikost kristalnih zrn silicidne plasti pregrete na temperaturi 750°C je bila tudi do štirikrat večja od debeline plasti.

Na sliki 5 a je shematsko predstavljena rast titanove silicidne plasti v odvisnosti od temperature pregrevanja. Na sliki 5 b pa so zbrani odgovarjajoči XTEM posnetki struktur $\langle \text{Si} \rangle / \text{Ti}$, pregretih pri različnih temperaturah. Diagram na sliki 6 prikazuje celotno debelino plasti kot tudi debelino silicidne plasti v odvisnosti od temperature pregrevanja. Pri reakciji tanke Ti plasti na Si podlagi nastane plast TiSi_2 . Debelina plasti TiSi_2 je za faktor $2,7 \pm 0,2$ večja od debeline titanove plasti, iz katere je nastala po pregrevanju na temperaturi večji od 700°C . V diagramu je prikazana tudi relativna sprememba plastne upornosti. Plastna upornost, ki je odvisna od vrste silicidne faze, se spreminja s temperaturo pregrevanja in doseže minimalno vrednost za TiSi_2 C54 fazo.

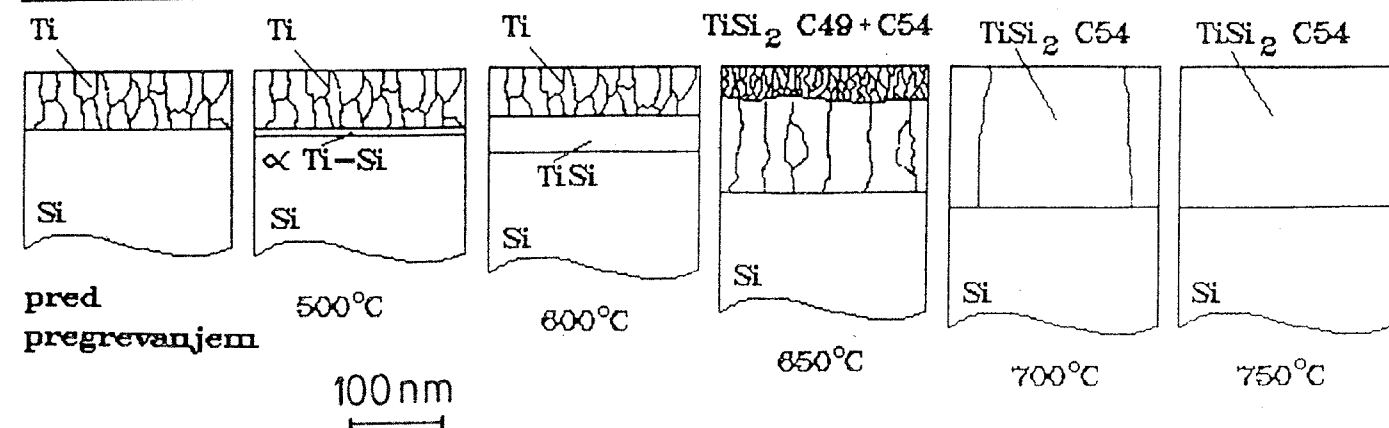
4. ZAKLJUČKI

Metalizacija je eno od kritičnih področij v izdelavi vezij zelo visoke stopnje integracije in bo v bližnji prihodnosti predstavljala enega od omejitvenih faktorjev v tekmi za zmanjšanje velikosti gradnikov na čipu. Silicidi kovin z visokim tališčem se zaradi svojih lastnosti pogosto uporabljajo v VLSI metalizaciji. Kljub nekaterim slabostim, kot so napetosti v plasteh, težavam zaradi izdelave zanesljivih in ponovljivih kontaktov ter še nekaterim manjšim težavam, se bo uporaba silicidov v mikroelektroniki še razširila.

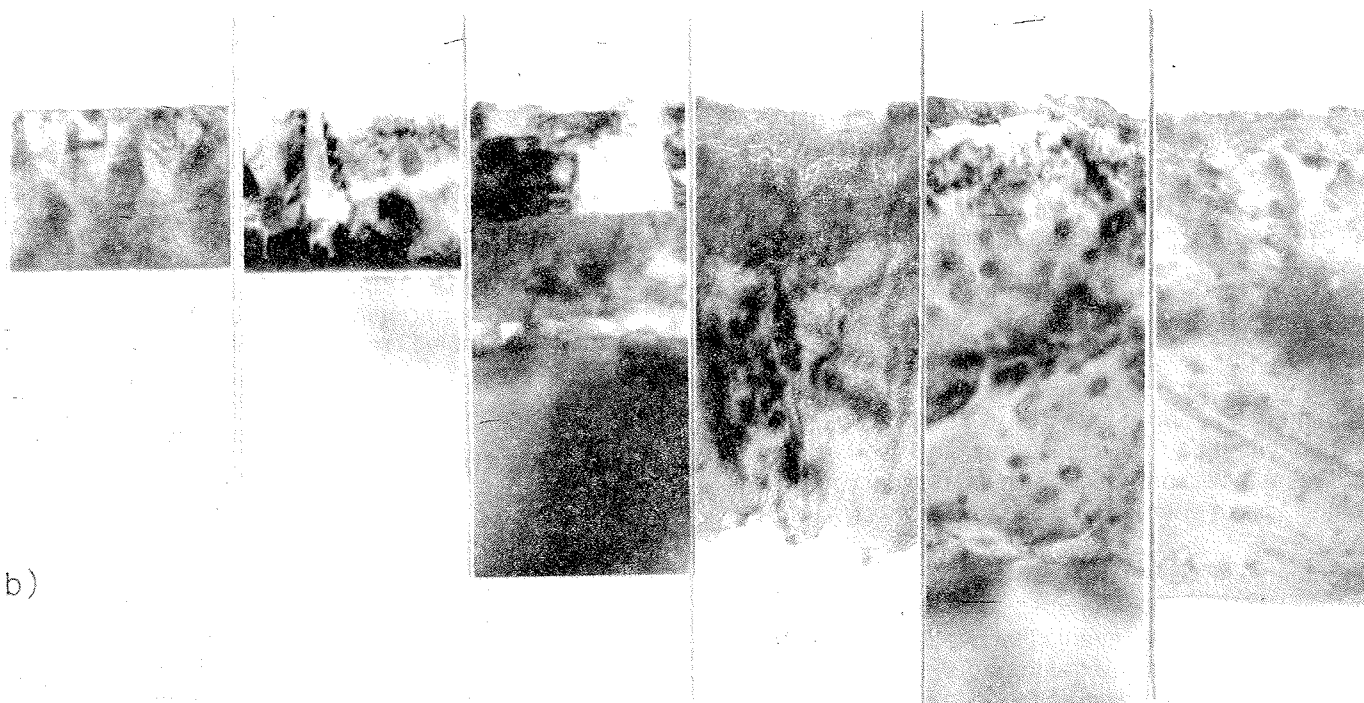
V tem delu smo opisali rezultate rentgenskih in XTEM raziskav na silicidnih tankih plasteh, ki smo jih pripravili tako, da smo tanko plast Ti na Si podlagi, pregreli v vakuumu.

LITERATURA

1. S.P. Murarka, *Silicides for VLSI Applications*, Academic Press (1983)
2. G. Ottaviani, *Thin Solid Films*, 140, 3 (1986)
3. C.Y. Ting and M. Wittmer, *Thin Solid Films*, 96, 327 (1982)
4. S.F. Gong, A. Robertsson, H.T.G. Hentzell, and X.-H. Li, *J. Appl. Phys.* 68 (9), 4535 (1990)
5. R. Beyers and R. Sinclair, *J. Appl. Phys.* 57 (12), 5240 (1985)
6. H. Jeon and R.J. Nemanich, *Thin Solid Films*, 184, 357 (1990)

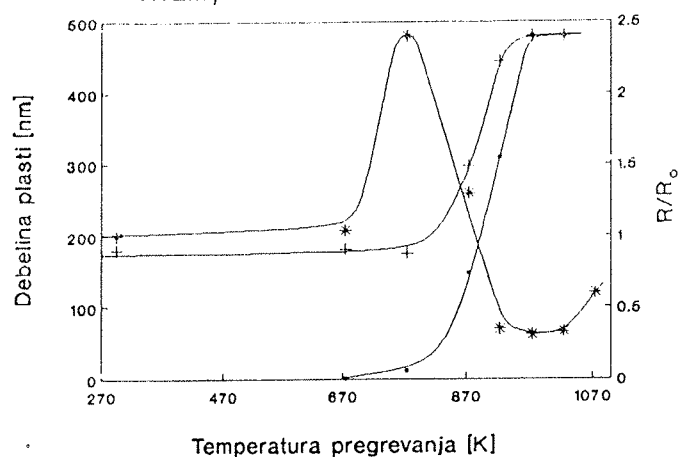


a)



b)

Slika 5: Zaporedje nastalih plasti na meji Si/Ti, pri pregrevanju na različnih temperaturah: a) shema, b) izseki iz posameznih XTEM posnetkov.



- + debelina celotne plasti
- debelina silicidne plasti
- x relativna sprememba plastne upornosti

Slika 6: Debeline silicidne plasti, celotna debelina plasti in relativna sprememba plastne upornosti, v odvisnosti od temperature pregrevanja.

mag. Matjaž Godec, dipl. ing
Inštitut za kovinske materiale
in tehnologije, Lepi pot 11, Ljubljana

Dr. Peter Panjan, dipl. ing
Inštitut Jožef Stefan, Jamova 39, Ljubljana

Prispelo: 26.10.92

Sprejeto: 16.11.92

SPAJKANJE HIBRIDNIH VEZIJ S FLUKSI "BREZ OSTANKOV"

D. Ročak, J. Fajfar, J. Potočar

Ključne besede: vezja elektronska, vezja hibridna, spajkanje pretočno, fluksi spajkalni, fluksi brez ostankov, paste spajkalne, nečistoče ionske, prevodnost ionska, upornost izolacijska, zanesljivost delovanje, pogostost odpovedi, MIL standardi, rezultati meritev

Povzetek: V članku so podani rezultati meritve ionskih ostankov v fluksih "brez ostankov" in slabo aktiviranih fluksih po spajkanju hibridnih vezij. Po testiranju testnih vezij v vlažni atmosferi spajkanih s temi fluksi, smo izmerili izolacijske upornosti med prevodniki in ugotovili število odpovedi za različne flukse.

Hybrid Circuits Soldering with "No residue" Fluxes

Key words: electronic circuits, hybrid circuits, flux soldering, solder fluxes, no residue fluxes, solder pastes, ionic impurities, ionic conductivity, insulation resistance, functional reliability, failure rate, MIL standards, measurement results

Abstract: New "no residue" fluxes from different producers, which after soldering do not require cleaning were evaluated. After soldering with "no residual" fluxes and with solder creams with "no residual" fluxes, ionic residues were determined by the static and dynamic extraction method. The results of ionic conductivity measurement of flux residues were compared for "non residue" fluxes and mildly activated flux (RMA), and activated flux (RA).

Insulation resistance on the test circuit with small distances between conductors was measured after soldering and after 250, 500 and 1000 hours at 40 deg. C, 93% RH with the voltage applied. The number of failed circuits (isolation resistance less than 10^9 ohm) during humidity testing were reported.

The results of ionic conductivity show that the circuits with "no residue" fluxes have lower ionic conductivity as the circuits with mildly activated fluxes. Also the results of ionic conductivity on circuits soldered with solder creams containing "no residual" fluxes show lower ionic conductivity as the circuits soldered with solder creams containing activated fluxes.

Comparison between "no residue" fluxes with mildly activated fluxes after isolation measurements show similar number of failures (20%) after 1000 hours of humidity testing. Results after isolation resistance measurements on circuits soldered with solder cream show that the number of failed circuits is higher on circuits soldered with solder cream containing activated fluxes (60%) than the number of failed circuits soldered with solder creams containing "no residue fluxes" (20%).

The results of testing new "no residue" fluxes for hybrid circuits soldering show that the flux residues after soldering without cleaning do not influence circuits quality.

1. Uvod

Uporaba organskih topil na osnovi triklotrofluoretana (CFC) je po dogovoru v Montrealu omejena in jo je potrebno zmanjšati do leta 1994 za 30%. Velike količine tega topila se uporabljajo za čiščenje elektronskih vezij po spajkanju. Potrebno je poiskati nove materiale v procesu spajkanja, pri čemer bi lahko vezja po spajkanju čistili z drugimi topili, ali jih po spajkanju sploh ne bi bilo potrebno čistiti. V primeru uporabe tako imenovanih fluksov "brez ostankov", lahko čiščenje v procesu izdelave vezja izpustimo.

Pred nekaj leti so proizvajalci fluksov in pastoznih spajk za spajkanje komponent na vezja pri površinski montaži razvili novo generacijo fluksov z majhno količino trdega deleža, ki na vezju puščajo zelo majhne količine neškodljivih in nekorozivnih ostankov. Po spajkanju

elektronskih vezij ni potrebno čistiti, kar je velika prednost z ekonomskega stališča in s stališča ohranjanja čistega okolja.

V našem delu smo preizkusili flukse "brez ostankov" različnih proizvajalcev ter pastozne spajke s fluksi "brez ostankov". Ugotovili smo vpliv ostankov po spajkanju na zanesljivost hibridnih vezij.

2. Lastnosti fluksov in pastoznih spajk za spajkanje

Pri spajkanju elektronskih vezij se uporabljajo različni fluksi, ki jih je po spajkanju potrebno očistiti. Obstajajo tri skupine fluksov:

- fluksi, ki jih lahko odstranimo z organskimi topili,

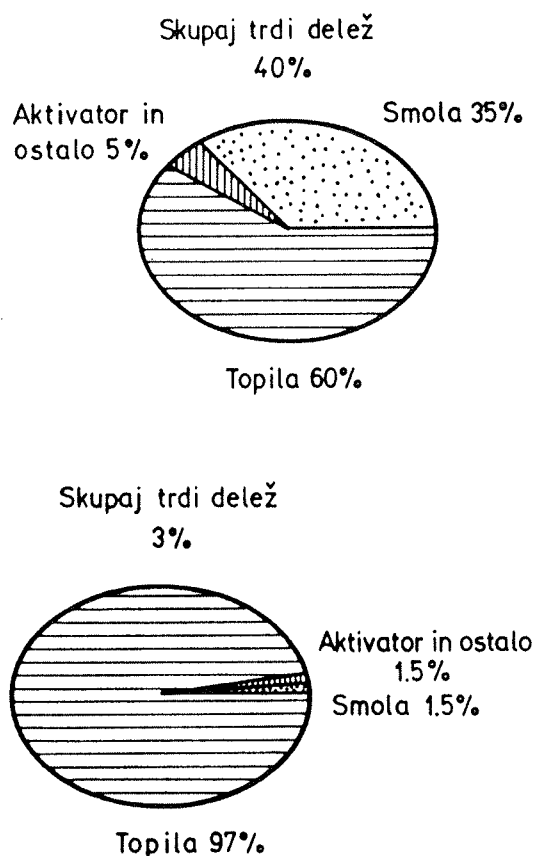
- fluksi topni v vodi
- fluksi, ki ne puščajo ostankov

Osnovne sestavine fluksa so: naravna ali sintetična smola, topila, v katerih je raztopljena smola in aktivatorji za učinkovitejše odstranjevanje oksidov na površini.

Običajno flukse klasificiramo po stopnji aktivnosti na neaktivne (R) slabo aktivne (RMA) in aktivne (RA) flukse.

Pri izdelavi hibridnih vezij smo do nedavnega uporabljali slabo aktivne flukse, ki smo jih po spajkanju čistili v organskih topilih, predvsem v triklorotrifluoretanu (CFC). Da bi zamenjali dosednji postopek spajkanja in opustili uporabo topil na osnovi triklorotrifluoretana, smo preizkusili flukse, ki jih po spajkanju ni potrebno čistiti ("fluksi brez ostankov"). Preizkusili smo tudi pastozne spajke s temi fluksi. Na sl. 1 je prikazana razlika v sestavi do sedaj uporabljenih fluksov v proizvodnji hibridnih vezij in novega fluksa "brez ostankov". Fluks "brez ostankov" vsebuje samo majhen procent trdega deleža v fluksu (do maksimalno 10%).

Za zanesljivost vezij je pomembno, da po spajkanju na vezju ni ostankov, ki bi povzročili odpovedi vezij. Najbolj nevarni so ionski ostanki. Te lahko neposredno izmerimo po spajkanju vezij ali posredno s preizkusom vezij na odpoved v vlažni atmosferi.



Slika 1: Sestava aktiviranega fluksa "brez ostankov"

V tabeli I so podane osnovne lastnosti preizkušenih fluksov, v tabeli II pa osnovne lastnosti pastoznih spajk z različnimi fluksi.

TABELA I

FLUKS	Lastnosti fluksov		
	Vsebina trdne snovi (%)	Aktivnost fluksa	Vsebina ionov (%)
A	4	brez ost.	0
B*	4	*	0
C	3	*	0
D	37	RMA	
E	37	RA	

* enak po sestavi kot A, novejši tip

TABELA II

PASTA	Lastnosti pastoznih spajk		
	Sestava zlitine	Kovina ut.(%)	Aktivnost fluksa
a	62Sn36Pb2Ag	88	brez ostankov
b	*	85	*
c	*	85	RA
d	*	88	RMA

3. Merilni postopki za določanje vsebine ionskih ostankov po čiščenju

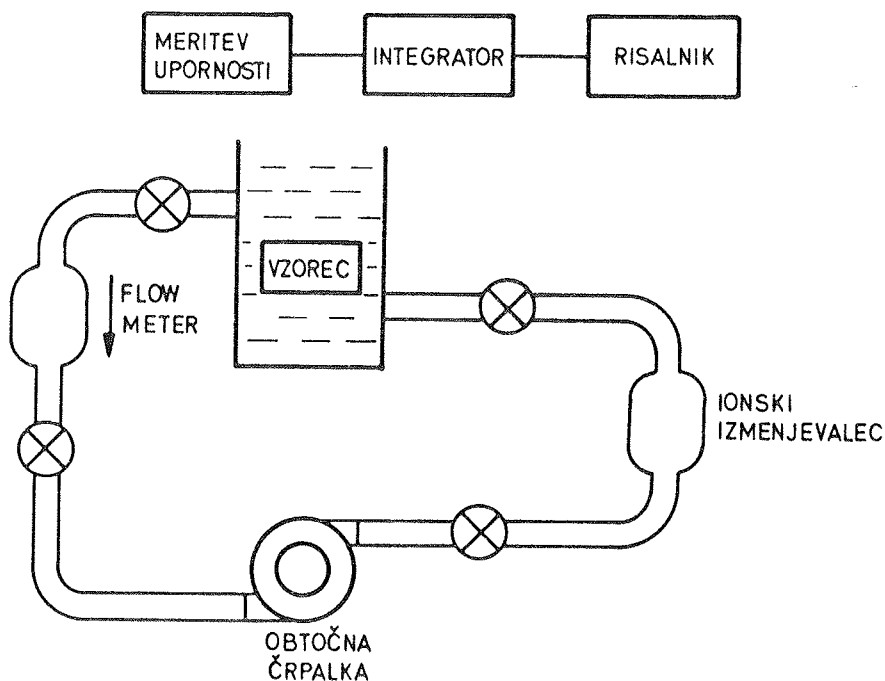
a. Meritev ionske prevodnosti ostankov nečistoč v mešanici voda-alkohol

Postopek meritve je predpisan s standardom MIL P 28809A in se izvaja s pomočjo meritve ionske prevodnosti mešanice alkohol destilirana voda, v katero smo za določen čas potopili vezja z ostanki fluksa.

S statično ekstrakcijsko metodo se izmeri prevodnost mešanice 50% alkohol 50% destilirana voda pred in po potapljanju vezja. Čas potapljanja in količina topila za določeno površino vezja so predpisani s standardom. Razlika prevodnosti pred in po pranju vezja je mera za ionsko prevodnost ostankov fluksa.

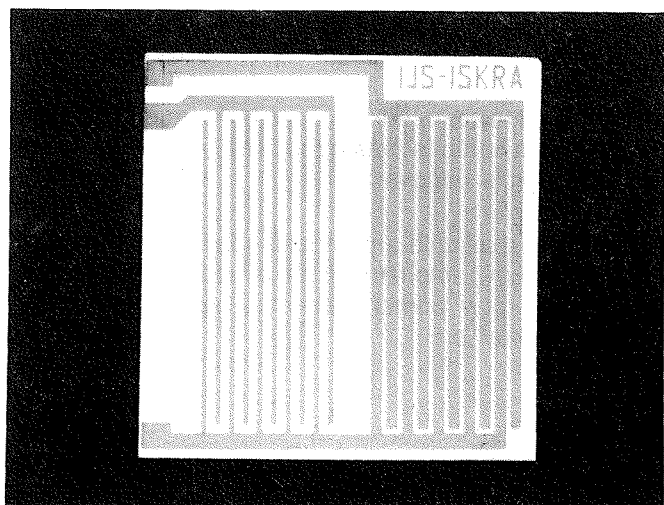
Pri dinamični ekstrakcijski metodi potopimo vezje v zaprt sistem v katerem kroži 50%:50% mešanica izopropilnega alkohola in destilirane vode (sl.2.)

Prisotnost nečistoč registriramo z meritvami ionske prevodnosti topila v posodi z vzorcem. Topilo kroži v zaprtim sistemu in teče skozi ionski izmenjevalec, kjer se očisti od ionov in čisto topilo teče spet skozi posodo z vzorcem.



Slika 2: Naprava za dinamično ekstrakcijsko analizo ionskih ostankov fluksa

Površina pod krivuljo odvisnosti prevodnosti od časa, ko smo vezje potopili v raztopino do trenutka, ko ne zaznamo več nečistoč, je sorazmerna količini ionskih nečistoč. Naprava je tako umerjena, da so vrednosti ionske prevodnosti podane v ekvivalentu NaCl v g/cm^2 .



Slika 3: Testni vzorec za meritve izolacijske upornosti

b. Meritve izolacijske upornosti med dvema prevodnikoma

Zelo indikativen postopek za ugotovitev vpliva ionskih ostankov na delovanje vezja je meritev izolacijske prevodnosti med prevodnikoma na majhni oddaljenosti. Na testnem vzorcu kot na sl.3. se izmeri izolacijska prevodnost pred in po preizkusu v vlažni komori pri 93% RV, 40°C, 50V DC. Po predpisu MIL STD 883, postopek 1003, izolacijska upornost po testu v vlažni atmosferi ne sme biti manjša od 10^9 ohma.

c. Pospešeni preizkusi vezij v vlažni atmosferi

Ostanke ionskih nečistoč na vezju je možno ugotoviti s preizkusom na vlago, pri 85% relativni vlagi in 85°C in pri napetostni obremenitvi. S časom staranja v teh pogojih hitreje narašča število odpovedi na vezjih, če so na vezju ionski ostanki.

4. Eksperimentalni rezultati meritev ionskih ostankov

Vpliv ostankov fluksov podanih v tabeli I in fluksov v pastoznih spajkah podanih v tabeli II, smo izmerili na dva načina: z meritvami ionske prevodnosti in z meritvami izolacijske upornosti med prevodnikoma majhne razdalje.

Vsebinsko ionskih nečistoč v ostankih fluksa smo izmerili s statično (postopek 1) in dinamično ekstrakcijsko analizo (postopek 2). Testni vzorec za te meritve je imel po

dva substrata velikosti $2.5 \times 2.5 \text{ cm}^2$ katera smo spajkali z izbranimi fluksi in pastoznimi spajkami ter jih po spajkanju nismo čistili. Rezultati meritve ionske prevodnosti ostankov fluksa so podani v tabeli III za ostanke fluksov podanih v tabeli I, in za ostanke fluksov v pastoznih spajkah iz tabele II, v tabeli IV.

TABELA III

Rezultati meritev ionske prevodnosti ostankov fluksa

FLUKS	Postopek 1 (S/cm)	Postopek 2 (g NaCl/cm ²)
A	0.15	1.6
C	0.1	1.0
D	0.1	3.8
E	0.7	10.6

TABELA IV

Rezultati meritev ionskih ostankov fluksa

PASTOZNA SPAJKA	Postopek1 (S/cm)	Postopek2 (g NaCl/cm ²)
a	0.1	3.5
b	0.1	3.5
c	0.3	5.2
d	0.1	3.8

Rezultati meritve vsebine ionskih nečistoč v ostankih fluksa podanih v tabeli III in IV kažejo, da so najbolj nevarni ostanki aktiviranega fluksa E (10.6 g NaCl/cm^2) in aktiviranega fluksa v pastozni spajki c (5.2 g NaCl/cm^2). Ostanki fluksov "brez ostankov" A, C imajo nekaj manjšo količino ionskih ostankov (1.6 g NaCl/cm^2), kot neaktivni fluks D (3.8 g NaCl/cm^2). Tudi ostanki fluksov "brez ostankov" v pastoznih spajkah a in b vsebujejo približno enako količino ionskih primesi (3.5 g NaCl/cm^2), kot neaktivirani fluks v spajki d (3.8 g NaCl/cm^2).

5. Eksperimentalni rezultati meritve izolacijske prevodnosti

Rezultati meritve izolacijske prevodnosti na testnem vzorcu, prikazanem na sl.2. so podani v tabeli V (spajkanje s fluksi A, C in E) in v tabeli VI (spajkanje s pastoznimi spajkami a, b in c).

Izolacijske prevodnosti med prevodniki smo merili na vzorcih pri katerih po spajkanju nismo počistili ostankov fluksa. Kriterij odpovedi je bil zmanjšana izolacijska upornost na $< 10^9 \text{ ohma}$. Izmerili smo izolacijske upornosti na 10 vezij na testnem vzorcu pred testiranjem v vlagi 93%RV, 40°C , pod napetostno obremenitvijo 50 V DC, po 500 ur in 1000 ur testiranja v vlagi.

TABELA V

FLUKS	Število odpovedi vezij po meritvah izolacijske upornosti po staranju v vlagi		
	Število odpovedi (%)		
	Čas staranja v vlagi (ure)		
	250	500	1000
A	1/10	4/10	6/10
C	0/10	1/10	2/10
E	0/10	1/10	2/10

TABELA VI

PASTOZNA SPAJKA	Število odpovedi vezij po meritvah izolacijske upornosti po staranju v vlagi		
	Čas staranja (ure)		
	250	500	1000
a	2/10	4/10	4/10
b	1/10	2/10	2/10
c	3/10	4/10	6/10

Rezultati meritve izolacijske upornosti po testiranju v vlažni komori, podani v tabeli V, kažejo najmanjše število odpovedi po 1000 urah staranja če so vzorci spajkaniz neaktiviranim fluksom E (20% odpovedi) in s fluksom "brez ostankov" C (20% odpovedi). Ostanke fluksa "brez ostankov" A so najbolj nevarni za dobro delovanje vezij. Po staranju v vlagi 1000 ur je 60% vezij odpovedalo. Različne serije fluksov "brez ostankov" A so pokazale neenakomerno kvaliteto. Prvi vzorci ki smo jih dobili od proizvajalca so bili boljši po meritvah ionskih ostankov na vezju.

Rezultati števila odpovedi vezij po meritvah izolacijske upornosti, podani v tabeli VI kažejo najmanjše število odpovedi po 1000 urah testiranja v vlagi, če so spajkani s pastozno spajko (b) s fluksom "brez ostankov" (20% odpovedi). Največje število odpovedi smo izmerili pri vzorcih spajkanih s pastozno spajko z aktiviranim fluksom c (60% odpovedi).

Na vzorcih spajkanih s pastozno spajko (a) s fluksom "brez ostankov" smo izmerili nekaj več odpovedi (40% odpovedi), kot v primeru pastozne spajke s fluksom "brez ostankov" b.

6. ZAKLJUČEK

Z meritvami ionskih ostankov fluksa na testnih vzorcih smo ugotovili da fluksi "brez ostankov" vsebujejo manjšo količino ionskih ostankov kot slabo aktivirani fluksi, katere smo do sedaj uporabljali pri spajkanju hibridnih vezij. Enako tudi pastozne spajke katere vsebujejo fluks "brez ostankov" imajo najmanjšo količino ionskih ostankov. Meritve izolacijske upornosti po testu v vlagi kažejo najmanjše število odpovedi, če so na testnem

vezju ostanki fluksov "brez ostankov", z izjemo ostankov
fluksa A za katerega smo ugotovili da od serije do serije
niha kvaliteta fluksa.

5. D. Ročak, J. Fajfar, J. Potočar, Zbornik referatov Simpozija o
elektronskih in sestavnih delih, SD 91, Portorož, september, 1991,
15

7. LITERATURA

1. J. Murray, Circuits manufacturing, November, 1989, 40-42
2. L. Lianage, Circuits Manufacturing, April, 1990, 58-64
3. B. Deram, Proceedings on ISHM 90 Conference, Chicago, 1990
127-135
4. D. Ročak, J. Potočar, Zbornik referatov Simpozija o elektronskih
sestavni delih in materialih, SD 89, Maribor, september 1989, 261-
265

*mag. Dubravka Ročak, dipl.ing.fiz
Inštitut Jožef Stefan
61111 Ljubljana, Jamova 39*

*Janeta Fajfar Plut, dipl.ing.kem
Jožica Potočar, dipl. ing. kem
Iskra HIPOT
68310, Šentjernej*

Prispeio: 30.10.92

Sprejeto: 24.11.92

WATER ATOMIZED Fe-Co-BASED POWDERS FOR Alnico MAGNETS

Prepared from poster presentation on the 8th International Conference on Powder Metallurgy in ČSFR, Piestany, october 1992

B. Šuštaršič, S. Beseničar, J. Holc, Z. Lengar, S. Tašner

KEY WORDS: permanent magnets, alnico magnets, magnet manufacturing, metal powders, Fe-Co powder, powder preparation, water atomization, powder compaction, powder sintering, magnetic properties

ABSTRACT: Sintered Alnico magnets remain commercially of interest and therefore a subject of R&D works in spite of increased attractiveness of new rare-earth super magnets. Sintered AlNiCo anisotropic permanent magnets are produced from a mixture of powders. The master alloy powder is produced conventionally by grinding and milling of a cast alloy. Our aim was to replace this procedure with technologically, economically and ecologically a more effective powder preparation method. We therefore investigated the applicability of water atomization for the preparation of Fe-Co-based metal powders. The appropriate chemical compositions and process parameters were determined on the basis of the significant features of water atomization. The morphological properties of the prepared powders were determined as functions of the main influent parameters of water atomization. Water atomized powders were then mixed with an appropriate amount of different additions and compacted into green samples. Samples were vacuum sintered and thermomagnetically treated under different conditions on the laboratory and industrial scale. The resulting magnetic properties of the prepared materials are equal in comparison with commercially available samples and better than those of conventionally prepared materials.

Vodno atomizirani Fe-Co prahovi primerni za izdelavo Alnico magnetov

Pripravljeno po posterski predstavitvi na 8. mednarodni konferenci o metalurgiji prahov na Češkoslovaškem, Piestany, oktobra 1992.

KLJUČNE BESEDE: magneti trajni, magneti alnico, izdelava magnetov, prahovi kovinski, prah Fe-Co, priprava prahov, atomizacija vodna, stiskanje prahov, sintranje prahov, lastnosti magnetne

POVZETEK: Kljub temu, da danes večino raziskovalcev s področja magnetnih materialov privlačijo predvsem še nepojasnjeni pojavi in nadaljnje izboljšanje lastnosti redkozemeljskih supermagnetov, ostajajo tržno in zato tudi raziskovalno še vedno zanimivi, že dolgo uveljavljeni trdomagnetni materiali, kot so feriti in tudi Alnico magneti. Drobljenje, mletje in sejanje ulite predzlitine je ustaljen in precej zastarel postopek priprave kovinskih prahov za izdelavo AlNiCo anizotropnih trajnih magnetov. Ta postopek smo zato želeli zamenjati s tehnološko, ekonomsko in ekološko učinkovitejšim postopkom. Zato smo raziskovali možnosti uporabe postopka vodne atomizacije za izdelavo prahov na osnovi kobalta in železa primernih za izdelavo AlNiCo anizotropnih trajnih magnetov. Praktično delo nam je omogočila predvsem nova laboratorijsko pilotna naprava za vodno atomizacijo z induktivnim talilnim sistemom. Glede na tehnološke značilnosti postopka vodne atomizacije smo izbrali primerno kemično sestavo vložka in določili osnovne tehnološke parametre atomizacije. Izdelanim prahovom smo določili osnovne morfološke lastnosti v odvisnosti od parametrov atomizacije. Lastnosti izdelanega prahu so bile v okviru pričakovanj in tehnoloških možnosti postopka vodne atomizacije. Izdelanim vodno atomiziranim prahovom smo primešali potrebne dodatke za korekcijo sestave in izboljšanje stisljivosti in jih nato stiskali v preizkusne valjčke. Stisnjene surovce smo nato sistematično sintrali in toplotno obdelali v magnetnem polju pri različnih pogojih tako v laboratoriju, kot tudi na industrijskih napravah. Dosežene magnetne lastnosti obeh preiskovanih materialov (tip 400K in 1500) so bile podobne komercialnim vzorcem te vrste. *

INTRODUCTION

Standard procedure of Alnico (Al-Ni-Co-Fe based alloys) permanent magnets production in ISKRA Magnets factory, Ljubljana, Slovenia is based on melting and casting of Fe-Co master alloy with additions of other alloying elements, such as Ni, Al, Cu, Si, Nb and Ti. The next production step is powder fabrication via grinding, milling, sieving (see Fig. 1) and mixing with a proper amount of binder and lubricant for automatic die compac

tion. Compacted green parts are then sintered in a protective atmosphere or vacuum, as well as thermomagnetically and mechanically treated.

Nowadays it is possible to produce metal powders with more effective powder preparation methods. The most important are the physical methods of powder preparation and among them fluid atomization (inert-gas and water atomization) is the most wide spread. The atomization or powder production directly from melt has many

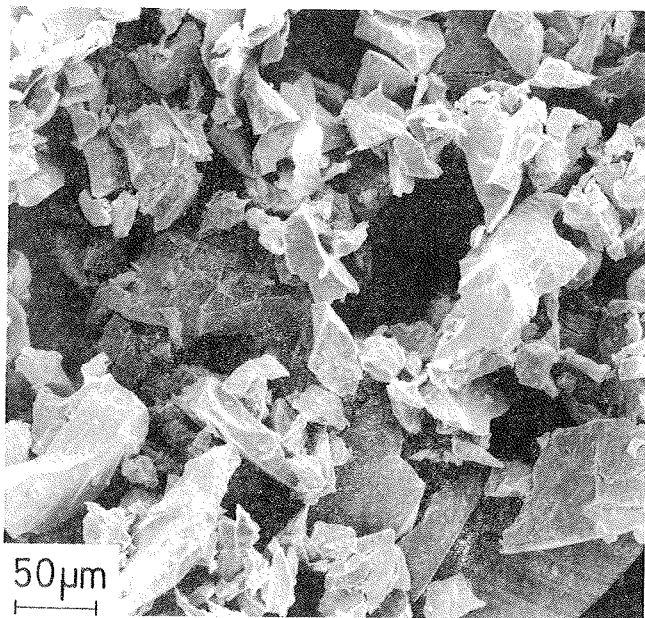


Fig. 1: SEM micrograph of the powder prepared by conventional powder fabrication method, Fraction: $\leq 63 \mu\text{m}$

advantages. In particular, casting, grinding and milling of master alloy is not necessary. For a powder particle size in the 10 to 100 μm range, the cooling rate of disintegrated particles during water atomization is estimated on approximately 10^2 to 10^6 K/s. This means that we can expect better chemical homogeneity and microstructure refinement because of rapid solidification. Another advantage of water atomization is simple control of mean powder particle size by water pressure and relatively narrow particle size distribution of produced powder. On the other hand we can expect some difficulties in preparing metal powder with the selected final chemical composition because of oxidation of presented reactive elements such as Al, Ti and Nb during water atomization, available for our experiments. Also, we did not find out references^{1,2)} yet, that it is possible to prepare powder by water atomization, appropriate for the production of sintered AlNiCo permanent magnets.

EXPERIMENTS AND RESULTS

For our R&D work, two conventional hard magnetic materials were selected. The first one has trade-mark SIMAG 1500 (equivalent to DIN Alnico 39/12) with the nominal remanence $B_r = 0.85$ T and coercivity $H_{CB} = 118$ kA/m and the other one is SIMAG 400K (DIN Alnico 28/6) with $B_r = 0.9$ T and $H_{CB} = 55$ kA/m. Water atomized powders with various chemical compositions were prepared by new pilot water atomizer (D5/2 Davy McKee, England, recently installed at the Institute of Metals and Technologies in Ljubljana, Slovenia) at different process parameters of atomization to optimize process and powder properties. All prepared metal powders were examined by light microscope and SEM (Scanning Electron Microscopy). Basic physical and morphological properties (particle shape, mean particle size, particle size

distribution, apparent density and flowability)³⁾ of powders were also determined. In **tables 1** and **2** are collected the most important controlled parameters of water atomization.

With the assistance of classical chemical analysis and X-ray fluorescence melts and final chemical compositions of atomized powders were controlled and corrected, respectively. Oxygen content of prepared powders was between 0.1 and 0.15 wt.%. Another very important parameter in chemical composition of AlNiCo magnets is carbon content which does not exceed 0.05 wt.%. All prepared powders have irregular particle

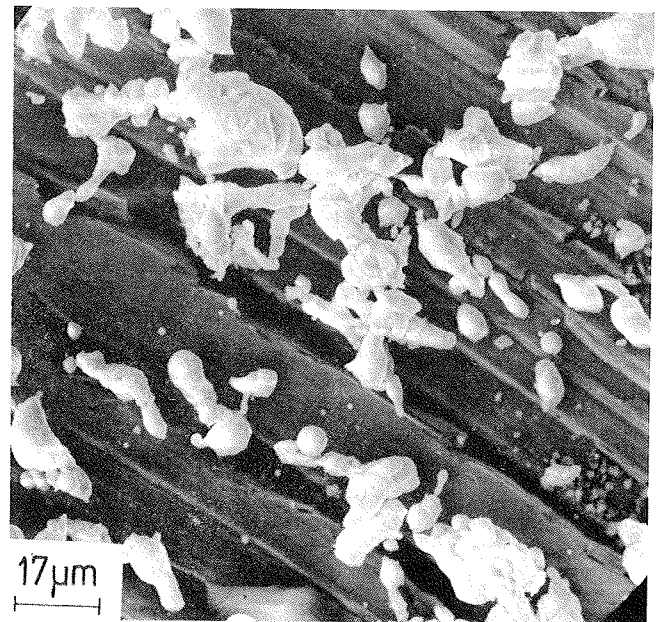


Fig. 2: SEM micrograph of AlNiCo water atomized AlNiCo powder. Fraction: $\leq 63 \mu\text{m}$

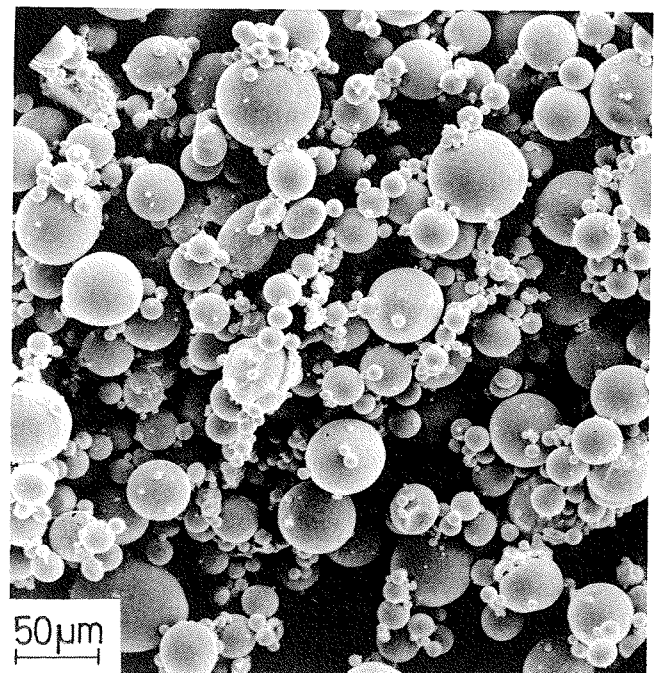


Fig. 3: SEM micrograph of gas atomized AlNiCo 1500 Fraction: $\leq 63 \mu\text{m}$

shapes (see Fig. 2) which is characteristic of water atomization^{2,4}. This means that we can expect better compressibility but lower flowability of water atomized

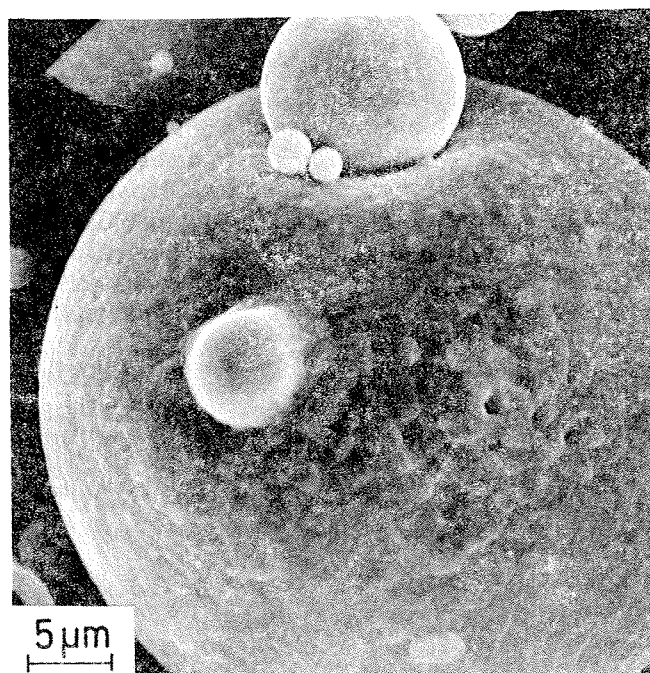


Fig. 4: SEM micrograph of particle of gas atomized AlNiCo 1500 powder.

powders compared with gas atomized powders (see figures 3 and 4).

Mean particle size of prepared powders varies between 45 and 100 μm , depending on selected chemical composition, superheating and water pressure. For consolidation only powder fraction $\leq 120 \mu\text{m}$ was used. The optimal chemical composition was selected on experimental basis, so that the combination with other additions (Ti-hydrid powder was replaced with cheaper CoTiAl or NiTiAl commercially available powders) prevents oxidation of the most reactive elements during water atomization. The compressibility of powders was improved with the reduction of iron content in water atomized powders and adding of soft pure Hoeganaes iron to powder mixtures.

The systematical experimental cold pressing (600 to 750 MPa with 0.5 wt.% wax) and sintering (in vacuum 10^{-2} mbar, 1350 to 1370°C and 1 to 3 hours) of prepared water atomized powders in mixtures with other additions were carried out on laboratory and industrial scale. Green density of samples was between 5.7 and 6 g/cm³ and sintering density was from 7.05 to 7.30 g/cm³ depending on pressing and sintering conditions, respectively. The main magnetic properties were determined after thermomagnetical and mechanical treatment of samples.

Obtained average magnetic properties of sintered Alnico magnets prepared from water atomized powders are presented in table 3.

Table 1: Experimental process parameters for preparation of Alnico powders types 400K and 1500 (Davy McKee D5/2 water atomizer - IMT Ljubljana).

Process parameters		Remarks
Superheating of melt (°C)	1550 to 1650°C	measured by optical pyrometer
Temperature of tundish (°C)	1250 ($\pm 20^\circ\text{C}$)	thermocouple Pt-PtRh13
Tundish nozzle diameter (mm)	4.5	fused quartz
Water jets diameter (mm)	main 1.20 x 1.05 side 1.10 x 0.85	type 1503 type 1502
Jet apex angle	main 25° side 20°	original manifold
Water pressure (bars)	180 to 230	
Flow rate of protective gas	0.8 m ³ /h N ₂ in atomiz. chamber 0.3 m ³ /h Ar over melt during melting	flow-meter

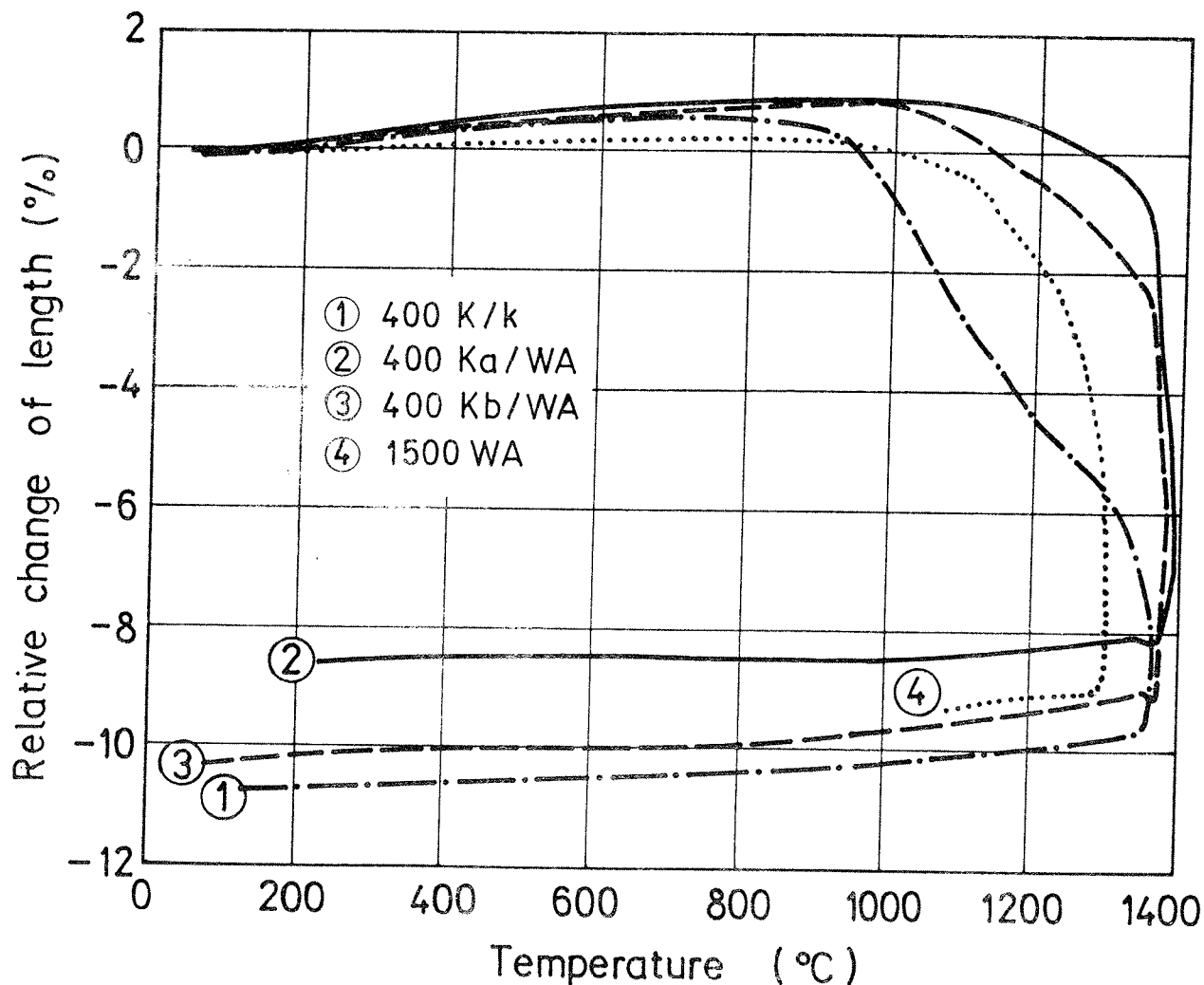
Table 2: Parameters of water atomization for Alnico powders (Davy McKee D5/2 water atomizer-IMT Ljubljana).

Material	Water pressure (bars)	Water flow rate (l/min)	Metal flow rate (kg/min)	Flow ratio (water/metal)	d ₅₀ (μm)
SIMAG 400K	180	56	3.54	15.82	50
SIMAG 1500	200	55	6.65	8.30	60

Table 3: Magnetic properties of sintered Alnico magnets prepared from water atomized powders.

Material	Magnetic properties			Contents	
	B _r (T)	H _{Cr} (kA/m)	(BH) _{max} (kJ/m ³)	wt.% O ₂	wt.% C
SIMAG 400K	1.10	60.0	28.5	0.10	0.050
SIMAG 1500	0.90	124.0	42.0	0.15	0.035

It is necessary to point out that besides the above mentioned advantages of water atomization, water atomized powders have different (see figure 5) and better sinterability, respectively. This results in finer microstructures with narrower grain size and pore distribution (see figures 6 and 7). The final result are more uniform magnetic properties and improved dimensional stability of sintered Alnico products.



k standard procedure

WA... water atomization

a Co-Ti-Al addition

b Ni-Ti-Al addition

Fig. 5: Comparison of dilatometric curves for conventionally prepared Alnico powder type 400K and powders prepared by water atomization.

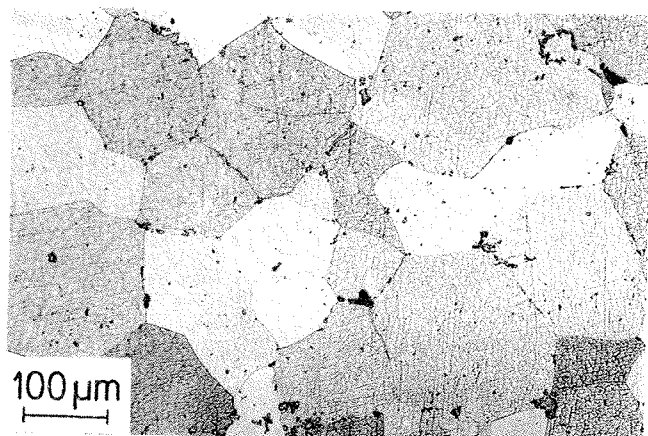


Fig. 6: Optical micrograph of the typical microstructure of sintered Alnico type 400K magnet prepared by standard procedure.

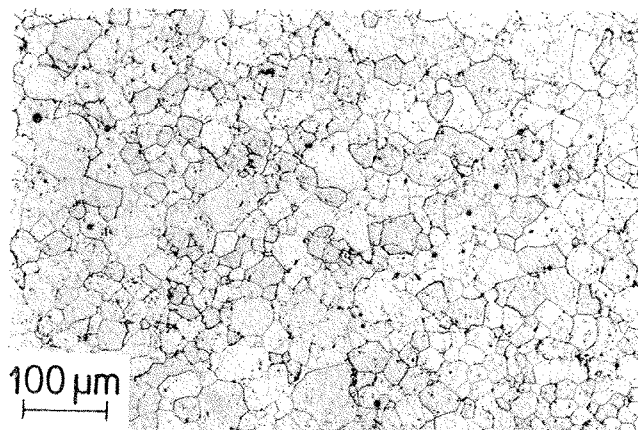


Fig. 7: Optical micrograph of the typical microstructure of sintered Alnico type 400 K magnet prepared from the water atomized powder.

CONCLUSIONS

We investigated the applicability of water atomization for the preparation of Fe-Co-based metal powders suitable for the production of Alnico permanent magnets. On the basis of the significant features of water atomization the appropriate chemical compositions and process parameters were selected. The basic physical and chemical properties of prepared water atomized powders were determined. Prepared powders were then mixed with other commercially available powders and additions, pressed and sintered at different conditions, thermomagnetically treated and ground. The measured magnetic properties of the prepared sintered AlNiCo magnets are equal in comparison with commercially available samples and better than those of conventionally prepared materials.

REFERENCES

1) F. V. Lenel: Magnetic Applications, Metal Handbook, 9th edition, Volume 7, Powder Metallurgy, p.: 641,

2) J. J. Dunkley: The Production of Metal Powders by Water Atomization, Powder Metallurgy International, Vol.:10,1/78,

3) MPIF: Standard Test Methods for Metal Powders and Powder Metallurgy Products, Metal Powder Industries Federation, Edition 1985/1986, Princeton, New Jersey,

4) J. J. Dunkley, J. Palmer: Factors affecting particle size of atomized metal powders, Powder Metallurgy 29/1986, No.:4.

*Borivoj ŠUŠTARŠIČ dipl.ing.,
Institute of metals and technologies,
Lepi pot 11, 61000 Ljubljana, Slovenia*

*dr. Spomenka BESENIČAR dipl.ing.,
dr. Janez HOLC dipl.ing.,
Jožef Stefan Institute,
Jamova 39, 61000 Ljubljana, Slovenia*

*mag. Zvonko LENGAR dipl.ing.,
Stojan TAŠNER dipl.ing.,
ISKRA Magnets,
Stegne 37, 61000 Ljubljana, Slovenia*

Prispelo: 20.10.92

Sprejeto: 30.11.92

ZAŠČITA PROTI STRELI IN PRENAPETOSTIM

V. Murko

Ključne besede: Zaščita pred strelo, zaščita prenapetostna, naprave elektronske, omrežje elektroenergetsko, omrežje telekomunikacijsko, omrežje informacijsko, predpisi tehniški, IEC standardi, CCITT priporočila, odvodniki prenapetostni

Povzetek: Zaradi vse večjega obsega škodnih primerov na sodobni elektroniki so se vzporedno z vse večjo integracijo polprevodnikov razvijali tudi zaščitni sistemi za obrambo pred posledicami strele in prenapetosti.

Stroka ne govori več le o strel vodih, temveč o številni zakonski regulativi ter sistemu zunanje in notranje zaščite. V članku so nakazani vzroki in obsegi škod zaradi prenapetosti in strele, zunanja strel vodna zaščita pred prenapetostmi ter osnovni splošni kriteriji za reševanje problemov na energetskem in telekomunikacijskem omrežju.

Lightning and Overvoltage Protection

Key words: lightning protection, surge protection, electronic devices, power network, telecommunication network, information network, technical regulations, IEC standards, CCITT recommendations, surge arresters

Abstract:

Due to increasing integration processes in the modern electronics in parallel also increase the damaging costs and insurance cases.

Industry followed with the surge lightning and overvoltage protection measures and devices. Lately also the international CCITT recommendations followed the advanced practice and theory.

The professional branch has over 106 years of regular international meetings at the VDE session. Every two years on the congress for discharge problems the top new scientific research results in merit are issued.

The branch is not speaking only about lightning - rod but includes large prevention system on external and internal lightning protection. It is only the teaching science and practice that is far behind the time.

The purpose of this article is to make the overview of the main lightning and overvoltage sources and protection systems and devices. How to avoid the damages of material and people is presented.

Dimensions of the damages from lightning and overvoltages

The modern enterprises, banks, hospitals, administration, laboratories, etc. and even homes are full of sensitive electronic equipment. Discharge damages form over 30% of all insurance cases, what 20 years ago on equipment was lower as 4%. Part of it is shown for the Stuttgart Insurance Company on the picture 1.

Average damages of one lightning stroke caused in a big company in USA in hardware was as high as 105.000 DEM. But the total average loss because of the temporarily non working informatic system in 24.000 people big company was in USA over 6 mio DEM.

Lightning and overvoltage protection system

Protection system is composed of the outside and inside protection and must correspond to the circumstances and protected devices. Planned before the building structure is done, will cause only 1% of the whole costs as the natural armoring material is used. Following measures on the already performed building cases of very sensitive equipment are up to 5 times more expensive.

Picture 2 shows the surge sources in the case of atmospheric discharge.

On picture 3 test current impulses that represent the direct stroke of the 100 kA lightning and more frequent secondary impulses of under 10 kA are shown. The secondary impulses cause over 400 times more damages as the direct stroke.

As the highest discharges are of 200 kA and half of the current stroke go through the lightning conductor to the earth, on the entrance of the building 100 kA, protective device on energetic side is needed. The informatic can be protected internally on 5 and 10 kA levels. Equipotential bar is the most important device to avoid different potential levels in the house as shows picture 4.

Outdoor lightning protection

In the design period of the lightning protection the ball practical prove is coming in the force in order to avoid large formula implementation. Building or a group of buildings are divided in protection classes. If the building is completed with electronics, 20 m radius ball will be applied. But for the industrial production hall the 40 m radius ball is the right one. The lightning test ball should never touch the building. It can touch only the lightning catching rod and conductors as it is shown on the pictures 5 and 6.

The building with highly sensitive electronics devices must be build as two Faraday cages. This cage is the metal case of the electronic protected device. So no high electromagnetic fields can penetrate up to the protected area and device. Picture no 7.

Internal protection

Internal protection must withstand conductive, inductive, capacitive surges and also crossover from technical information to power supply net. The destructive or disturbance surges can be sourced on sunny days from industry, electrical disturbance, electric train system and even from fluorescent lamp starter. Discharges of static electricity are also protected through overvoltage protection devices.

In these Farady cages the electrical entrances over cables must be blocked for higher impulses as the internal conductors allow. This is done through cascades with overvoltage protection devices. Picture 9 shows the principle of the zone protection cascade system on the energetic 110 - 220 V, 50 - 60 Hz net. The first zone is protected on entrance of the building with 100 kA and 6 kV protection level device (category IV), the second cascade for 15 kA and under 2,5 kV (categories III and II) and the third under 1,5 kV and 2,5 kA. The last, fourth protection is in the protected apparatus itself.

Special attention is to be given on the possibility of the local floating ground or equipotential bar around the protected device as shown for the electronic terminals on picture 8. So the potential difference, in surge destructive impulse cases because of the protection devices that cut overvoltages between both entrances of the protected apparatus, is low, even if the ground potential is some kV high.

As the integration of the electronic transistors went to millions of pieces in one single chip, the distance between conductors went from millimeters to microns. Energies that CMOS still support are as low as 10^{-6} Ws. Picture 11 shows us the disturbance making energy and destructive energy on such largely used devices.

Some protection devices

On picture 12 is presented the response curve of the classical protection device in telecommunication the gas arrester. It can be compared to the response of modern lightning protection assembly LPA on the same 2 kV 0,3/50 s shaped voltage impulse. The LPA comes more and more in practice as it follows the DIN VDE 0845 prescription for the telecommunication protection devices. At the 3 kV impulses the rest voltage at gas arrester is over 1400 V, in the case of LPA is only around 420 V. The telephone public exchange Iskra 2000 for example withstands 800 V without damage.

Lower voltage and current surge cuts can be achieved with supplementary cascade with the second fine protection what is necessary in the cases of more delicate electronics as it is in the telephone exchanges.

The last paragraph shows with its pictures some cases of the computer protection. In this short preview article we have not touched outside measures of cathode, cable and net protection that should be done by the energy distributor or telephone, TV and other companies and lots of particular problems.

Uvod

Pred nedavnim je na Inštitutu "Milan Vidmar" potekal "Kolokvij o atmosferskih razelektritvah in zaščit pred posledicami". Na kolokviu je predavalo več priznanih strokovnjakov, med katerimi je bil najvidnejši prof.dr.Viktor Ščuka z Inštituta za visokonapetostne raziskave švedske Univerze v Upsali. Iz nekaterih predavanj in razprav je bilo razvidno, da premnogi udeleženci niso seznanjeni s problematiko prenapetostnih zaščit, večina pa ne z zadnjim stanjem mednarodnih standardov IEC - 1024/I-1.

Zaradi prodiranja sodobnih elektronskih naprav v vsa področja gospodarstva in splošnih dejavnosti je komaj dopustno, da ni slovenskega univerzitetnega znanja v strokah, ki neposredno vplivajo na varnost delovanja elektronskih naprav in s tem vsakega sistema v gospodarstvu ali drugod, o problemih zaradi prenapetosti in strele ter o obrambi pred njima.

O prenapetosti in streli ter obrambo pred njimi ni ustreznih minimalnih ur predavanj niti na arhitekturi, niti na gradbeni fakulteti, pa tudi na fakulteti za elektrotehniko in računalništvo ne.

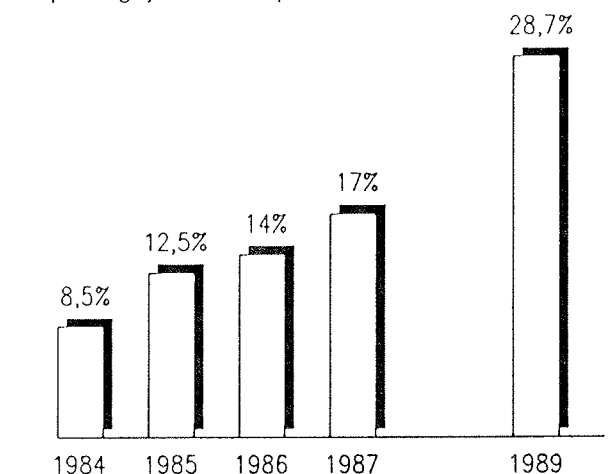
Obsegi škod zaradi prenapetosti in strele

V ZDA so izračunali, da v povprečnem podjetju, ki je tako veliko kot je ISKRA s 24.000 zaposlenimi povzroči ena strela za cca 105.000 DEM škode na opremi. Zaradi izpada celotnega elektronskega sistema pa je še nadaljnjih 6.1 mio DEM škode. Izpade elektronsko načrtovanje, finančni tokovi se ustavijo, računovodstvo ne knjiži, priprava dela stoji, skladišča ne izdajajo repromateriala in blaga, ustavlja se proizvodnja, ni naročanja, prekinejo se telekomunikacijske povezave znotraj in z zunanjim svetom in drugo. V kolikor sistem ni ponovno vzpostavl-

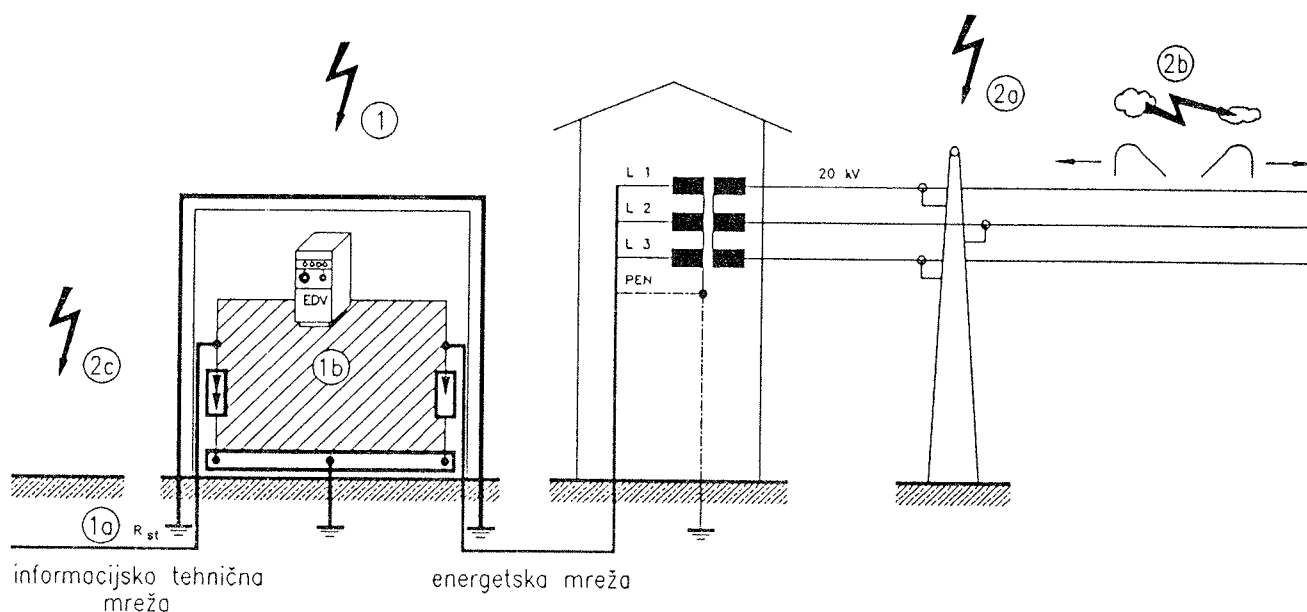
jen v 4 dneh, grozi podjetju stečaj. Za banke velja podobno. Obseg škode zaradi strele se v relativno urejeni Nemčiji ceni na prek 1 milijarde DEM letno. Pri tem število škod, zaradi pomankljivo uporabljenih metod prenapetostne zaščite, ki jih beležijo zavarovalnice, raste iz leta v leto po eksponencialni krivulji (Slika 1).

Škode se ne povečujejo zaradi direktnih udarov strele. Te celo upadajo. Rastejo škode v radiusu do 1,5 km od udarca strele in škode, ki jih povzročajo prenapetosti iz energetske mreže pri vkapljanju in izklapljanju večjih porabnikov (točkovnih aparatov, peči, zbiralk, velikih motorjev, celo fluorescentnih svetilk itd). Na sliki 2 so prikazani vzroki prenapetosti pri atmosferskih praznitvah.

Znaten je tudi vpliv elektrovleke in bližine električnih central, da ne govorimo o vplivih atomske eksplozije. Na eno direktno škodo zaradi udarca strele prihaja od 400 do 800 indirektno povzročenih škod, kjer tokovne špice ne presegajo 10 kA impulz standardne oblike.

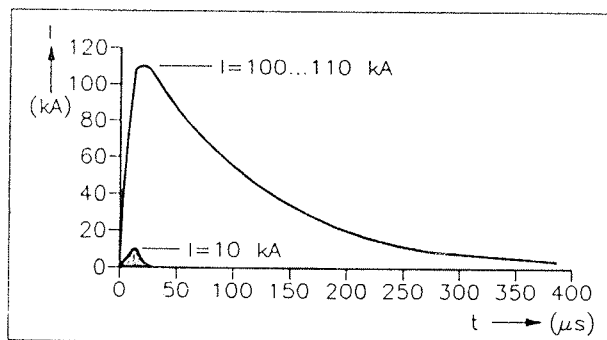


Slika 1: Porast odškodninskih stroškov zaradi prenapetostnih vzrokov v delu vseh škod na elektronskih napravah.



Slika 2: Vzroki prenapetosti pri atmosferskih praznitvah 1- Direktni bližnji udar, 1a-Padec napetosti na ozemljitvenem uporu, 1b-Inducirano polje med energijsko in informacijsko mrežo (di/dt)_{max} 2- Oddaljeni udar, 2a-Udarec v sredino proste linije, 2b-Oblak - oblak, 2c-Polje kanalne strele

Za preverjanje vzdržljivosti zaščite proti strelu obstoja niz standardiziranih impulzov, s katerimi improviziramo strelo in prenapetosti v laboratoriju. Najbolj pomembna sta dva tokovna impulza, 100 kA, ki izzveni v 350 mikrosekundah in impulz 8/20, kjer je vzpon 8 mikrosekund in padec na polovično vrednost v 20 mikrosekund (Slika 3).



Slika 3: Primerjava testnega tokovnega impulza za direktni udarec strele in sekundarni udarec toka strele po DIN 48810

Napetostni preiskusni impulzi zavise od namena ščitenih naprav, vrste naprav in njihove uporabe. Šele hitri dinamični impulzi iz dragih napetostnih in tokovnih impulznih generatorjev in meritve z zelo hitrimi spominskimi osciloskopi, dajejo praktične vrednosti preizkusov.

Ker pa so udarci strele, po jakosti toka, naboju in moči različni se po njih ravnaajo tudi zaščitni razredi.

Da bi se pravilno dimenzioniralo zaščitne mere za stroje in naprave, je potrebno poznati, kako se porazdelijo tokovi strele v stavbi.

Tabela 1: Odvisnost zaščitnih razredov od jakosti strele

ZAŠČITNI RAZRED			
PARAMETER	I	II	III - IV
I (kA)	200	150	100
W/R (MJ/Ω)	10	5,6	2,5
Q _{impulzni} (C)	100	75	50
Q _{dolgotrajni} (C)	200	150	100

I - tok, W - energija, R - upornost, Q - naboj

Iz predhodnega je razvidno, da za obrambo pred največjimi strelami, ki so tudi do 200 kA, zadostuje na vходу v zgradbo zaščitna naprava, ki bo prenesla 100 kA udare strele, saj 50 % toka odvede strelovod. Ostalih 50 % se prerazporedi po raznih kovinskih zankah in ceveh tako, da v povprečno informacijsko verigo pridejo motnje (standardni impulz 8/20) do 10 kA.

Stara regulativa v Sloveniji s področja elementov strelovodnih naprav je še iz časov SFRJ in izpred 20 let in več.

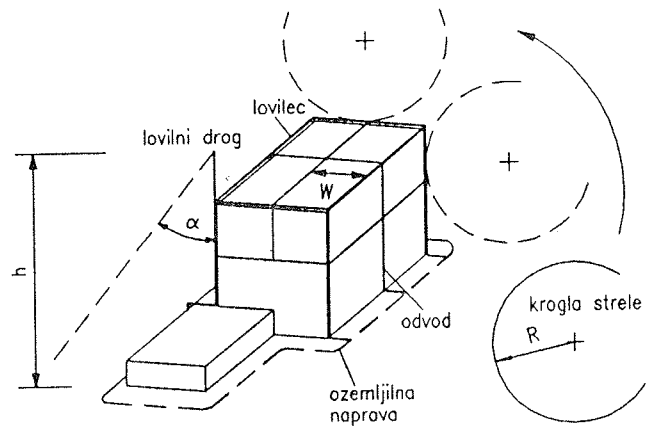
PREDPISI: tehniški predpisi za strelovode (Ur.list SFRJ št. 13/68) tehniški predpisi za zaščito elektroenergetskih postrojev pred prenapetostjo (Ur.list SFRJ št. 7/71).

Novo prenapetostno regulativo, ki jo je za ves svet sprejel IEC s standardom 1024-1 iz 03. 1990, bo treba pri nas še uveljaviti prek "Tehničnega odbora za strelovodno zaščito" pri Uradu za standardizacijo in meroslovje, katerega tehnični sekretar je sedaj g. Božidar Vilar, dipl. ing.

V novih smernicah se poudarjajo principi enotnega koncepta zunanje in notranje zaščite pred strelo. V zuna-

njega sodi strelovodna naprava in oklapanje zgradbe in prostorov ter ekvipotencialna strelovodna izravnava za vse kovinske instalacije. V notranjo zaščito sodijo naprave, moduli in elementi za prenapetostno zaščito. Notranja zaščita se deli na zaščito energetske in zaščito informacijsko tehnične mreže.

Ker po ohmovem zakonu nastajajo pri udaru 50 kA strele, ki bi se v celoti odvedla v strelovodni napravi na upor vsega 1 Ohm že prenapetosti 50.000 V, je bolje, da obravnavamo preostali del sistema v okvirih obvezne prenapetostne izenačitve na ekvipotencialni zbiralki.

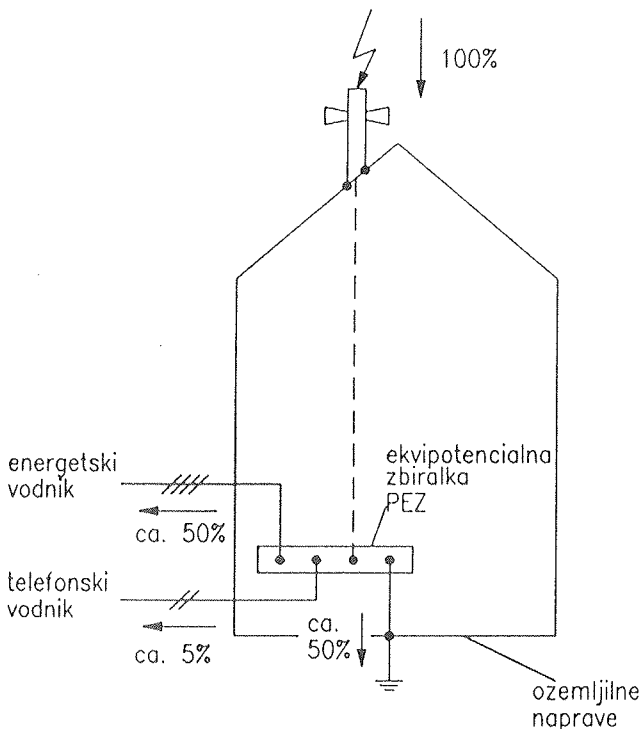


Slika 5: Zunanja strelovodna zaščita

Zunanja strelovodna zaščita

CCITT priporočila predlagajo za stavbe, v katerih so telefonske centrale, da vsako centralo vežemo na lokalno ekvipotencialno zbiralko, da vsako nadstropje pripravimo kot ekvipotencialno ploskev z ustrezno povezavo armaturne mreže in nato vse te ekvipotencialne vežemo v skupne točke ter te šele v ozemljimo. CEI se zadovolji na vsakih 20 m višine ali vsako 4. nadstropje.

V zunanji lovilni strelovodni mreži so se lovilne zanke zmanjšale iz 20 m za zelo zahtevne tehnične objekte z množično elektroniko na 5 m. Pri preverjanju ali smo zajeli vse kritične točke stavbe z lovilnimi drogovi ali mrežo, se uporablja preiskus s krogelno strelo. Namišljena krogla se ne sme nikjer dotakniti stavbe, le lovilne napeljave se naj.



Slika 4: Porazdelitev toka strele pri zunanji strelovodni zaščiti

Popolna zaščita terja čiščeno energetsko mrežo s strani elektrodistribucije, čiščeno mrežo s strani telekomunikacijskih podjetij in lastne notranje in zunanje ukrepe prenapetostne zaščite.

Stavbe, ki jih ščitimo, razdelimo po principu stopnje zaščite glede na naprave, ki so v njih na zaščitne razrede strele. Tovarniške hale razen, če so v njih elektronsko krmiljene naprave, spadajo v zaščitni razred III. s krogelno strelo preiskusa polmera 45 m. Računski center spada v zaščitni razred I. s preiskusno strelo kroglu polmera 20 m. Lovilne naprave na kaminu in na strehah ščitijo pred direktnimi udari strele pod zaščitnimi koti cca 45 stopinj tudi objekte pod njimi.

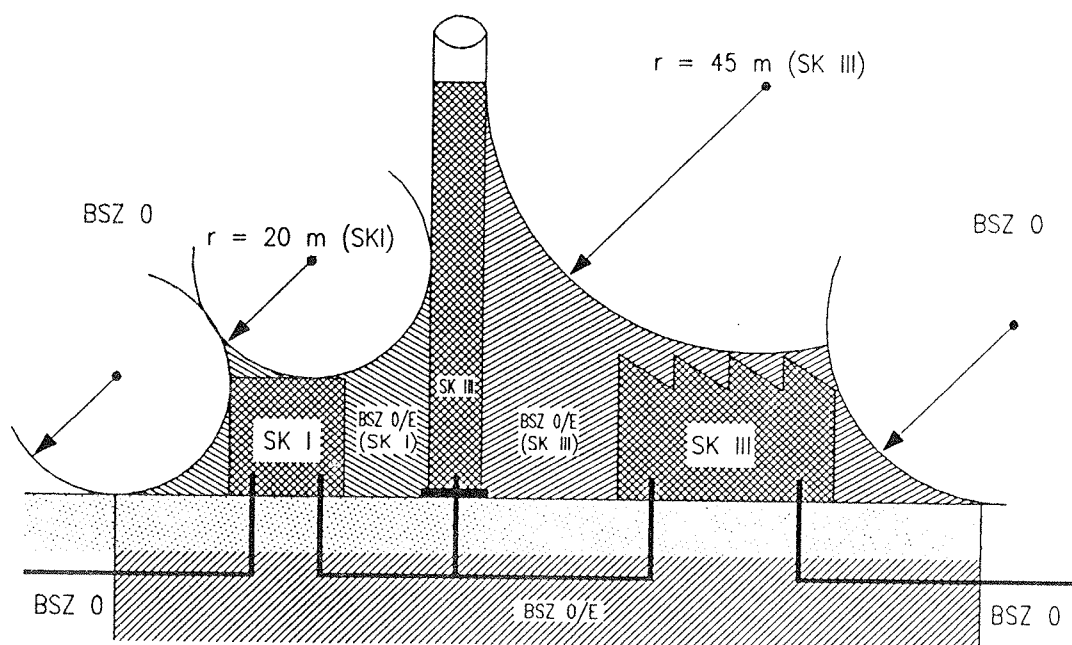
Zaščito pred strelo in prenapetostmi je potrebno izvajati postopno v kaskadah, ki zmanjšujejo vplive iz zunanjega okolja. Zunanje in notranje ukrepe prikazujemo na sliki 7.

Zunanje okolje zaznamuje zaščitna cona 0. V prvi zaščitni coni, ki je že enkrat oklopljena z medseboj povezano gradbeno armaturo s klemami, so še dovoljeni izpadi elektronskih naprav, ki so manj pomembne. V drugi zaščitni coni izpadi niso več dovoljeni. Zaščitna cona 2 predstavlja ponovno popolnoma oklopljen prostor v obliki Faradayeve kletke kot prva in prav tako koristi naravne gradbene materiale. V tej coni so centralni računalniki, telefonske centrale, intenzivna nega bolnikov in operacijske dvorane ali centralni nadzorni in krmilni sistemi. Tudi te elektronske naprave imajo svoj zaščitni oklop ter elemente prenapetostne zaščite in s tem tvorijo v sebi zaščitno cono 3.

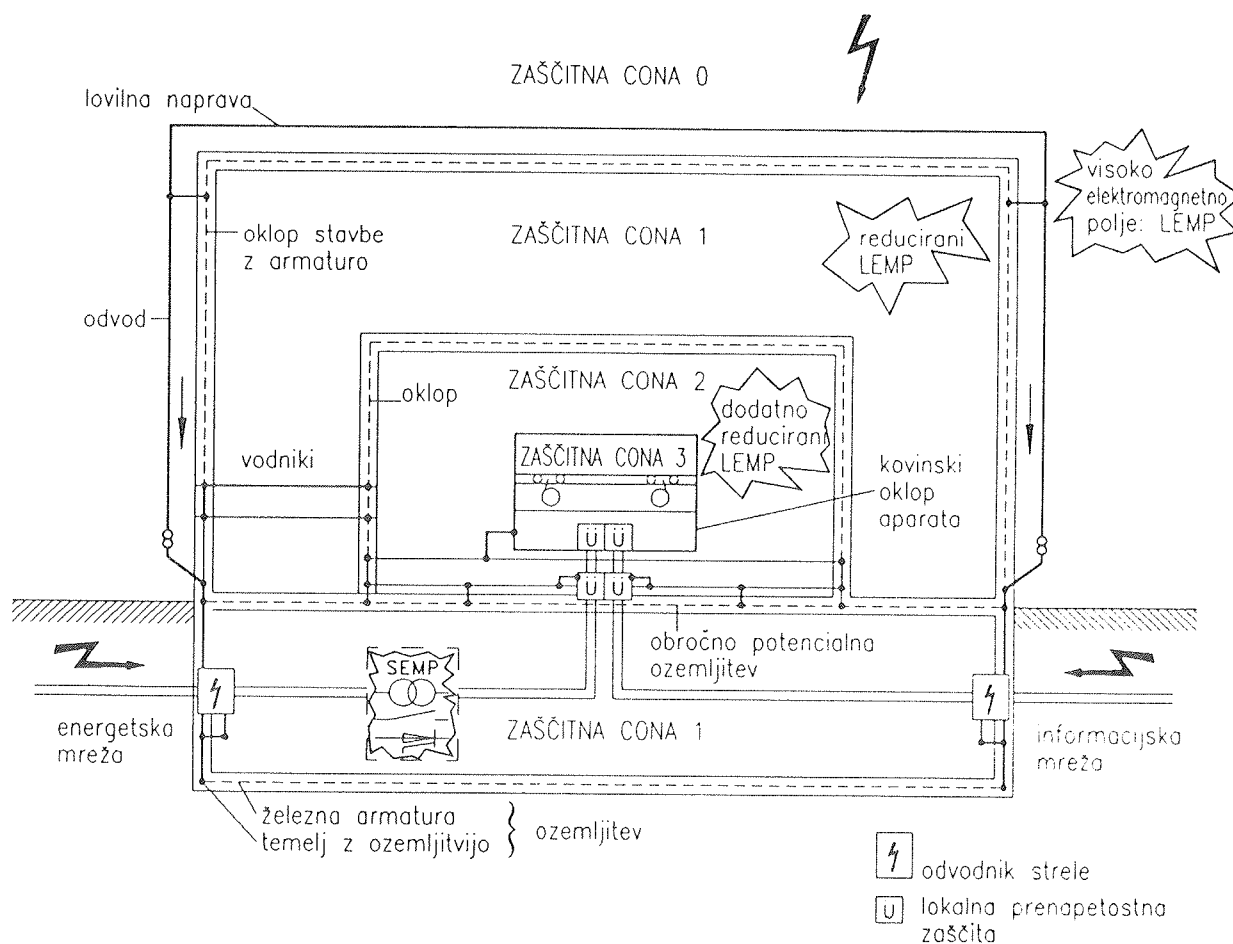
Sistem ekvipotencialnih izenačitev

Sistem ekvipotencialne izenačitve energetskega dela in informacijskega dela na lokalni prenapetostni ekvipotencialni zbiralki ter vezava vseh kovinskih zank nanj, je bistven v vseh novejših konceptih zaščit.

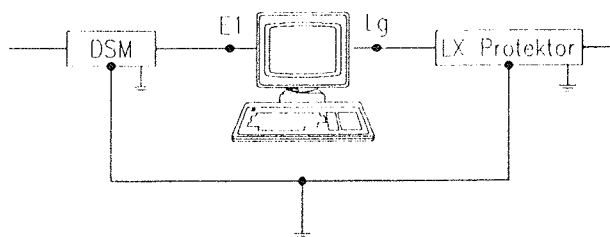
V tako nastali sistem proti elektromagnetnim motnjam treh kaskad v treh Faradayevih kletkah tečejo tokovi in



Slika 6: Zaščitne cone pred strelo po zaščitnih razredih BSZ - zaščitna cone, SK - zaščitni modul



Slika 7: Zaščitne cone, oklapanje in ekvipotenciali na spojih



Slika 8: Prenapetostne zaščitne enote za terminale, ki so vezani na napajalno in informacijsko tehnično mrežo ter imajo lokalno ekvipotencialno zbiralko

napetosti iz energetske in informacijske mreže. Običajne delovne nivoje moramo dovoliti. Na odprtinah, prehodih iz ene cone v drugo pa je treba postaviti previsokim napetostim in tokovom zaporo, da preprečijo vdor k našim občutljivim napravam.

Elementi prenapetostnih zaščit

Zapore predstavljajo prenapetostne naprave in moduli, ki so večinoma grajene iz aktivnih elementov kot so iskrišče, plinski odvodnik, varistor, hitre diode in filtri. Ker noben od teh elementov ni idealen, so se v praksi uveljavile kombinacije, ki izkoriščajo in kombinirajo pozitivne lastnosti posameznih podsestavov in odpravljajo slabosti.

Stanje zunanjih zaščit v Sloveniji

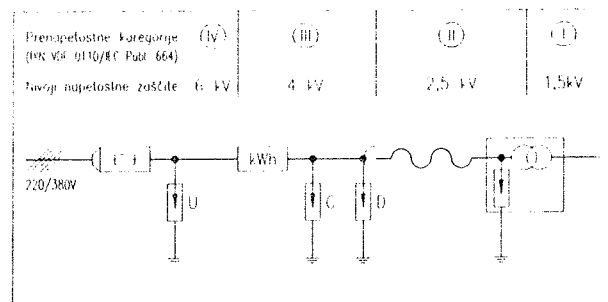
Zakonodaja za zunanjo zaščito proti strelu (lovilne naprave, oklopi, ozemljila, potencialne izenačitve) obnavlja mednarodni standard CEI-IEC 1024-1/1990. Pri nas še ni dokončno sprejet. Pomagamo si lahko z nemškimi standardi DIN VDE 0010. Naš tehnični predpis za strelovode je star 24 let, vendar se ne izvaja dosledno.

Običajno nič od navedenega pri nas ni prisotno, kar predstavlja za proizvajalca naprav prenapetostnih zaščit v Sloveniji in manj osveščenih deželah še dotatni tehnično tehnološki izziv.

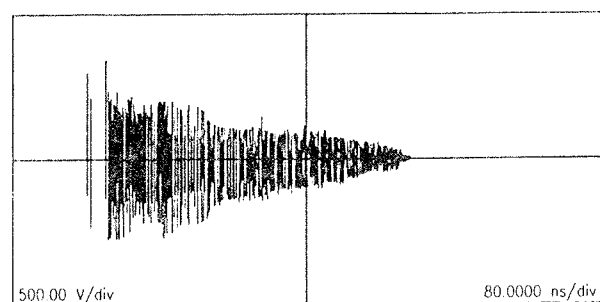
Notranje zaščite pred strelo in prenapetostmi, energetski del

Cilj aktivne notranje zaščite je, da prenapetostni nivo kaskadno spravimo pod določen nivo, ki ga končna naprava, ki jo ščitimo, zdrži.

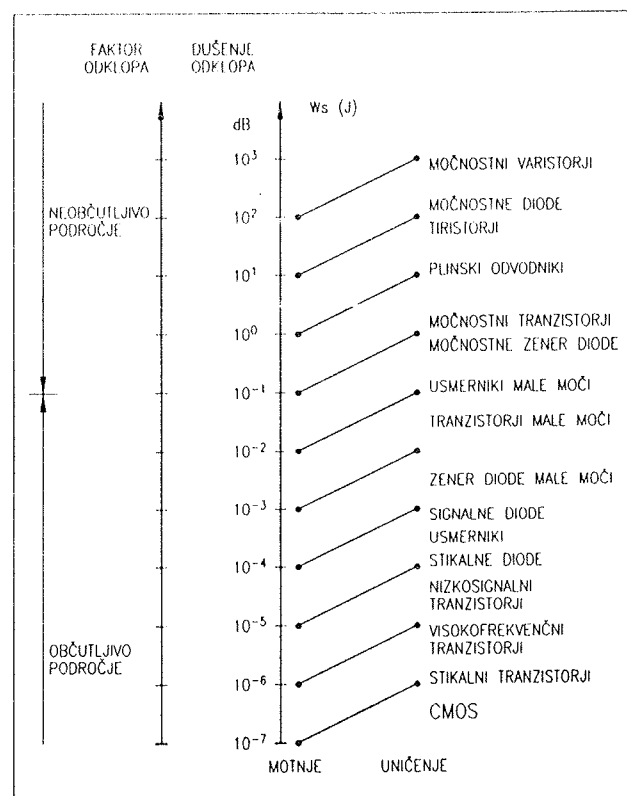
Na energetski mreži zahtevajo smernice IEC in predpisi VDE 0010 kategorije prenapetostne trdnosti na zunanji mreži 6000 V, na vgrajenih inštalacijah 4000 V, na



Slika 9: Možne rešitve prenapetostnih zaščitnih kaskad na energetski mreži in kategorije prenapetostne trdnosti



Slika 10: Paket prenapetosti ob zapiranju ločnika, do 3000 V- +



Slika 11: Energije uničenja elementov

notranjih inštalacijah 2500 V in na napravah v prvi kaskadi od 380 V navzgor.

Temu ustrezno morajo naprave prenapetostne zaščite na energetski napajalni mreži zaščititi pod navedenimi napetostnimi nivoji.

V prvi kaskadi se ob vhod stavbe vgradi 100 kA zaščito, ki zniža nivo prenapetosti pod 5 kV, v razdelilno omarico nato sledi metaloksidna varistorska zaščita s toplotnim varovalom s 5 do 10 kA zaščito in nivoji do 1,1 kV v boljši izvedbi ali 1,5 kV in v tretji kaskadi v zidni dozi ali vmesniku zaščita pod 1 kV in 2,5 kA ali več.

V ščiteni napravi sami je ob vhodu običajno že vgrajena zaščita, ki pa večinoma po preteku garancijske dobe enega leta odpove, ker je le minimalno dimenzionirana.

Pri obravnavanju prenapetostnih vplivov ne smemo pozabiti motenj iz energetske mreže, ter naprav, ki v njej delujejo.

Delovanje prenapetostnih zaščit sloni na hitrih preklonih prenapetostnih elementov, ki so vanje vgrajeni. Ti iz stanja nekaj 100 milijonov Ohmov v trenutku mejne prenapetosti preklopijo svojo večinoma kristalno strukturo ali ionizirajo prostor med elektrodami v stanje prevodnosti z uporom nekaj mili ohmov. Ker so vezani paralelno proti ozemljilu, v trenutku odvedejo udarce prenapetosti in strele pred ščiteno kaskado ali napravo proti potencialni izenačitvi. Ves sistem lahko napetostno zaplavlja na zelo visoke nivoje "plavajoče zemlje". Pri tem morata biti energetska in informacijska stran vhodnih vodnikov povezana preko letvice zbiralke potencialne izenačitve tako, da razlike napetosti na vhodu elektronskih ščiteneh naprav določajo izbrane naprave prenapetostne zaščite.

Zaščite na področju telekomunikacij, informatike, krmilnih in merilnih naprav

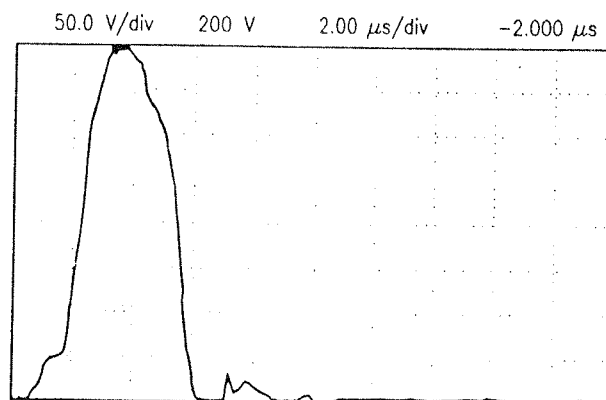
V področju šibkega toka se je v zadnjih 20 letih dogajala izredna razvojna dejavnost. Število stikal odnosno vgrajenih tranzistorjev v integriranih krogih je raslo eksponentno. S tem so se manjšale varnostne razdalje med vodniki v integriranem čipu in prenapetostna trdnost čipa. Prenapetostne trdnosti so padle pri CMOS integriranih vezjih tudi pod 6 V. Ploščati rele, ki smo ga v telefoniji ščitili s plinskim odvodnikom, je imel prenapetostno energetsko trdnost nekaj Joulov, medtem ko je prenapetostna energijska trdnost CMOS vezja, ki ga funkcijsko nadomešča, milijonkrat nižja.

Prav zaradi številnih zahtev po različnih napetostnih nivojih zaščite, različnih frekvencah prenosa, dopustnih dušenjih in zelo široki paleti različnih priključkov, je potrebno skrbno izbrati prenapetostne zaščitne module za zaščito informacijskih in telekomunikacijskih naprav. Moduli zaščite se pojavljajo kot vmesniki v energetski mreži, tehnični informacijski mreži in v kombinaciji. Vgra-

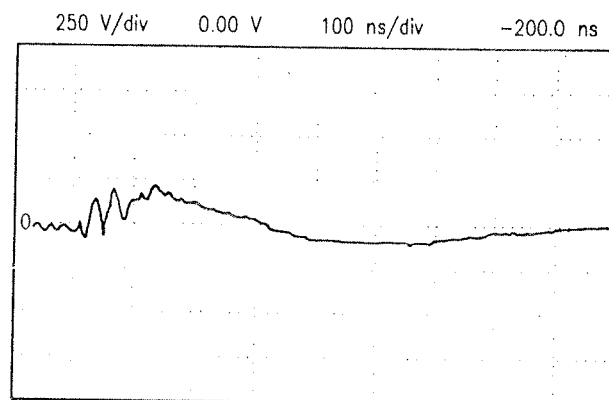
jeni sta obe zaščiti ter še notranja ekvipotencialna zbiralka, ki omogoča lokalno plavajočo zemljo.

Prav tako nastopajo v kaskadah od mreže proti napravam, ki jih ščitimo, grobe in kompleksne prenapetostne zaščite. Zaščite se stopenjsko vgradi v zunanji kabelski mreži s prenapetostnimi odvodniki in kombinacijami ob vhodu stavb, slede kompleksne grobe in fine prenapetostne zaščite pred samo ščiteno napravo. Za primer dajemo dinamične odzive na zaščitah s samim plinskim odvodnikom - slika 12 in kompleksno zaščito na sliki 13.

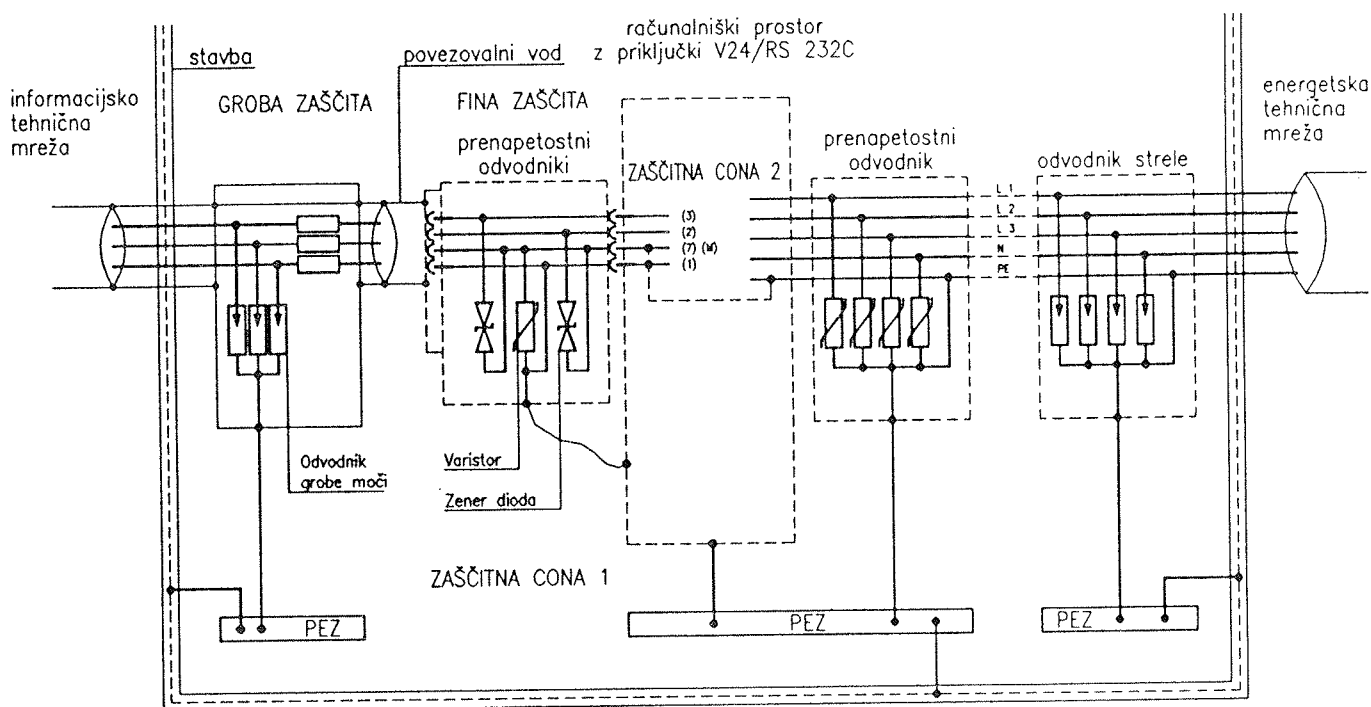
Ker je plinski odvodnik za hitre vzpone strele prepočasen, se uporablja v moduli prenapetostne zaščite v telefoniji kompleksna groba in fina zaščita po DIN VDE 0845 in DIN 0800, v katerih so vgrajeni še LC filtri in hitri zaščitni aktivni elementi, npr. metaloksidni varistorji. Na sliki 12 se vidi veliko energijo pod impulzom, ki je dosegel prenapetostno špico nad 900 V (na sliki je le del do 406 V). Sistem je ščiten le s plinskim odvodnikom. Na sliki 13 je odziv na isti hitri impulz 0,3 / 50 sek 2 kV, kjer je prenapetost bila zrezana na vsega 226 V.



Slika 12: Dinamični odziv plinskega odvodnika 230 V na napetostni impulz 2 kV, časovne oblike 0,3/50 mikrosekunde

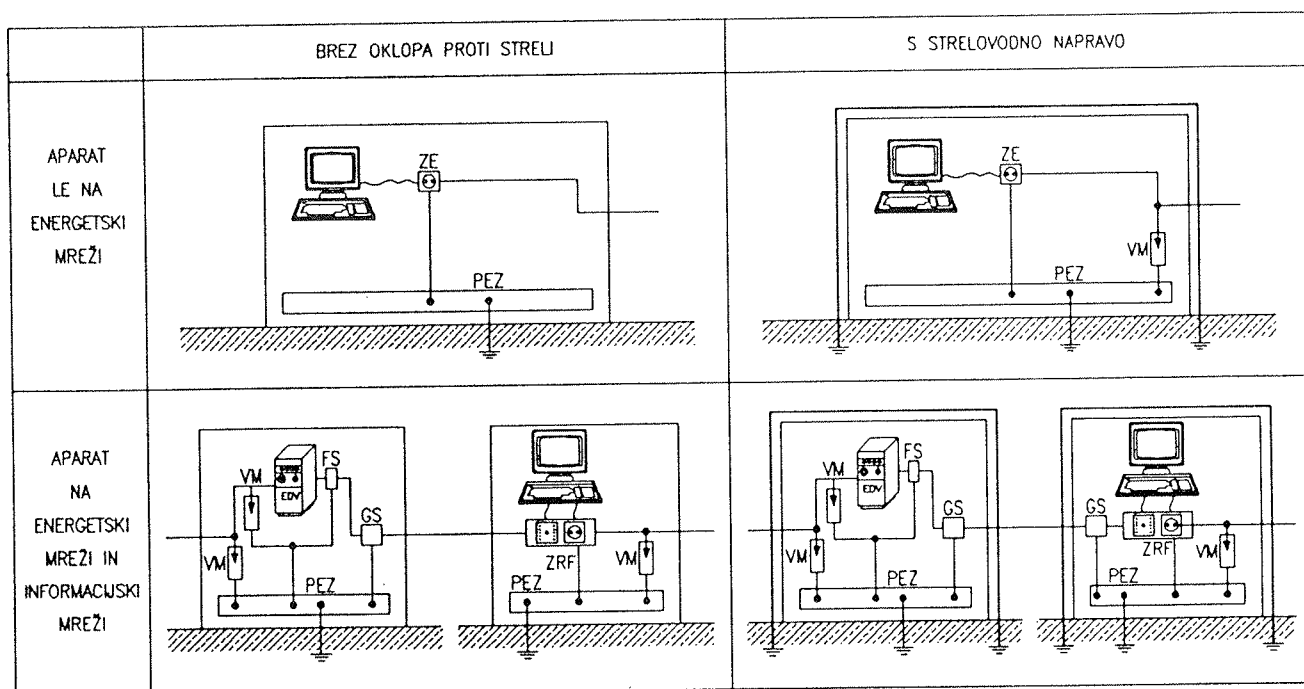


Slika 13: Odziv kompleksne zaščite tipa LPA na 2 kV prenapetostni impulz 0,3 / 50 mikrosekund



Za strelj – ZAŠČITNA CONA 0

Slika 14: Zaščita proti strelj in prenapetostim za računalniške postroje z nesimetričnim priključkom (V24/RS232C)



Slika 15: Primer zaščite računalniških naprav

Pri vrednotenju moramo upoštevati, da je časovna skala na sliki 13 20 krat daljša in s tem škodljiva energija ustrezno manjša. Tudi pri prenapetostih velja kot pri boku. Elektronika se lahko zruši pri malih večkratnih udarcih ali pa pri enem močnem udaru. Zato pri zaščitah nominalne vrednosti podajamo impulzni preiskusni udarec, ki ga zaščita zdrži vsaj 10 krat. V primerjavi s plinskim enojnim odvodnikom, ki predstavlja eno enoto zaščite, ima LPA modul vgrajenih 11 enot zaščit. LPA (lightning protection assembly) je posebej prirejen za

pogoje zahtevnega poštnega omrežja ter se odlično obnese v računalniških mrežah, seveda v verzijah za katere je prilagojen.

Zaključek

Na področju prenapetostnih zaščit je izredno mnogo problematike. V tem članku je prikazan, na delno za-

ključen način, pristop do splošnih osnov zaščite pred strelo in prenapetostim. Namenoma smo se izogibali formulam, teoriji nastanka strele in statične napetosti, problematiki energetske mreže do stavb in specifičnim prenapetostnim problemom kot so na primer tisti na železnici, v predoru ali v atomski centrali... Slika 15 prikazuje primer prenapetostne zaščite računalniških naprav.

V naslednjem članku bomo prikazali posamezne konkretne aplikacije. Primeri bodo obravnavali reševanje prenapetostne problematike pri TV aparatih ali v kabelskih omrežjih satelitske televizije. Dogaja se, da ena strela povzroči okvaro cele mreže ojačevalnikov ali poškodbe TV aparatov v isti mreži.

Literatura:

Babuder Maks: Nova organiziranost slovenske standardizacije, Kolokvij o atmosferskih razelektritvah, Ljubljana 1992

Pungerle Jože: Ogroženost naprav in kabelskih omrežij, Kolokvij o atmosferskih razelektritvah, Ljubljana 1992

Ščuka Viktor: Prvi mednarodni standard za zaščito pred strelo, Kolokvij o atmosferskih razelektritvah, Ljubljana 1992

Žlahtič Franc: Ozemljitvene naprave - ozemljila, Kolokvij o atmosferskih razelektritvah, Ljubljana 1992

Žitnik Boris: Primerjava obstoječih določil in novega standarda IEC, Kolokvij o atmosferskih razelektritvah, Ljubljana 1992

Mueller Peter: Blitz Planer Nuerenberg 1989

Hasse Peter: Ueberspannungshutz, München 1990

Hasse Peter: Blitzschutz und überspannungschutz, Dehn & Söhne, Normorht 1990

Besset Jacques: Les surtensions dans les telecommunications, Valence 1987

Saiet Bologna: La protezione contro la fulmine e sovratensioni 1991

Murko Vladimir: Overvoltage protection in the PTT networks - izvlečki iz predavanja v Pragi 1991

Predpisi CEI, CCITT, CCIR, EXTENDED DIN, VDE in JUS s področja prenapetostnih zaščit in strel vodne zaščite

*mag. Vladimir Murko, dipl.ing.
ISKRA Zaščite
Stegne 35
61000 Ljubljana*

Prispelo: 24.10.92

Sprejeto: 23.11.92

AES STUDIES OF ACTIVE INTRACHANNEL SURFACE IN MICROCHANNEL PLATES

B. Praček and M. Kern

Key words: image tubes, microchannel plates, auger electron spectroscopy, depth profiling, glassy layers, ionic transport, ageing, active channels, active surfaces, chemical structure

Abstract: The chemical composition of internal active glassy layers of the channels is responsible for performance of the microchannel plates (MCP). A detailed account will be given of the performed work, using Auger electron spectroscopy (AES). To know the essential differences in the elemental distribution of the glassy layers inside the channels of the fresh and aged MCP, the depth profiling through about 60 nm thick channel wall was applied. This method gives the possibility to establish various glass constituents and to follow their ionic transport phenomena as a result of the ageing process.

AES študija aktivne površine znotraj kanalov pri mikrokanalnih ploščicah

Ključne besede: cevi slikovne, MCP ploščice mikrokanalne, AES spektroskopija, analiza profilna, plasti steklene, transport ionski, staranje, kanali aktivni, površine aktivne, sestava kemijska

Povzetek: Delovanje mikrokanalnih ploščic (MKP) je odvisno od kemijske sestave aktivnih notranjih steklenih plasti kanalov. V tem delu poročamo o rezultatih preiskave površinskih plasti znotraj kanalov s spektroskopijo Augerjevih elektronov (AES). Za določanje bistvenih razlik med svežimi in staranimi plastmi znotraj kanalov je bila narejena profilna analiza skozi okoli 60 nm debelih vrhnjih plasti pred staranjem in po njem. Metoda omogoča določanje različnih elementov v steklu in tudi zasledovanje pojava ionskega transporta, ki nastaja pri procesu staranja.

Introduction

The microchannel plates (MCP) are the principal amplification elements in image intensifier tubes. These compact, low noise devices consist of parallel arrays of millions of independent single channel electron multipliers, made of a special type of glass. The ability of the MCP to detect and amplify high input signal levels is limited by saturation effects. Saturation effect are normally observed as a reduction in gain and in photon counting devices as a broadening of the pulse height distribution. Figure 1 illustrates a typical channel wall cross section. In operation primary events striking the channel wall at the input side produce secondary emission. Influenced by the electric field within the channel, a cascade of electron multiplication occurs. Replenishment electrons are derived from the conductive layer. At high input signal levels severe charge depletion occurs at the channel output side rendering the channel useless until the charge is replenished. Microscopically, as a sizable cascade develops toward the output end of an activated microchannel, secondary electrons lost from the superficial (≈ 10 nm) silica rich emitting layer on the microchannel wall leave behind a positive charge (holes), which must be neutralized before another cascade can be generated. This recombination process uses electrons from the bias current flowing along the

underlying semiconducting layer (≈ 100 -1000 nm thick), requiring tens of milliseconds or more to replenish pulse-counting charge levels of 10^5 - 10^6 e^- in single standard resistance MCPs. Normally characterized by a decrease in channel gain, the ageing process is necessary to ensure stable operation and minimum outgassing. The reduction in gain following the electron bombardment degassing process known as scrubbing is believed to result from a decrease in the secondary electron yield of the material 1/, 2/. In this paper, the results of AES depth profiling through active glassy layers of the channel made on fresh and aged MCP are reported. This method gives the possibility to define key constituents of the channel walls and an attempt was made to correlate the elemental distribution of the active glassy layers and ionic transport phenomena during the ageing process.

Experimental

Two VARIAN microchannel plates were investigated. The first was examined before and the second after ageing (electron scrubbing) in the image tube. The samples of MCP were broken along microchannels and separately implanted into the pure indium substrate. The samples were analyzed in the channels by Scanning

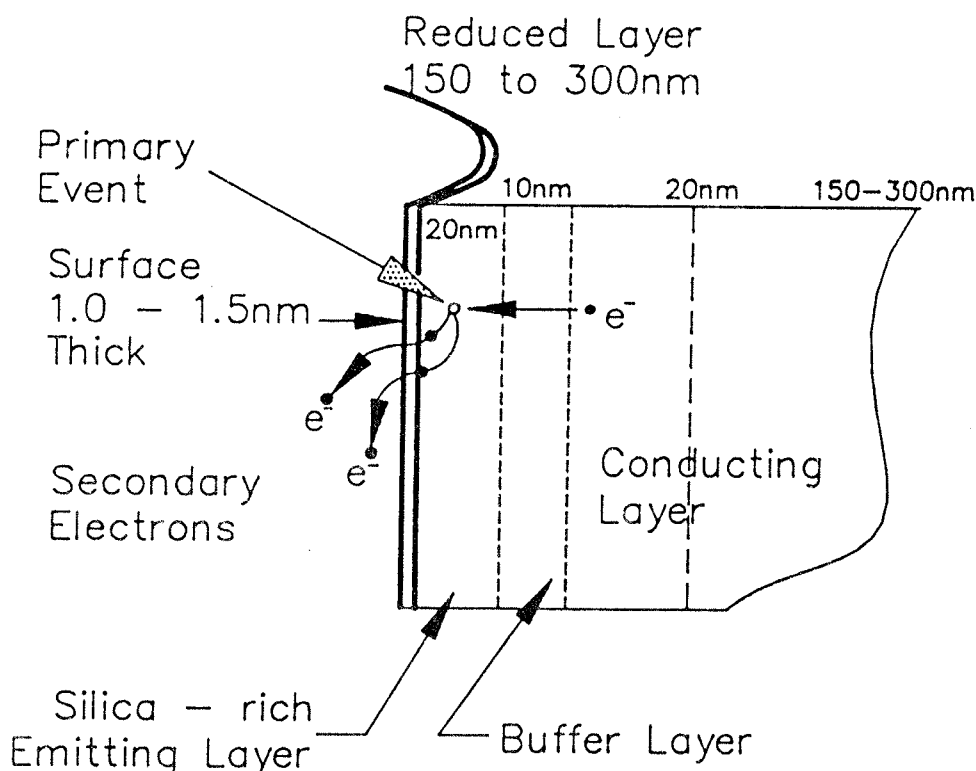


Fig. 1: Microchannel wall cross - section

Auger microprobe (Physical Electronics Ind., SAM 545 A). A static primary electron beam 5 keV energy, 0.5 μ A beam current and about 10 μ m diameter was used. The electron beam incidence angle with respect to normal to the average surface plane was 30°. The samples were ion sputtered with two symmetrically inclined beams of 1 keV Ar^+ ions, rastered on the surface area larger than 5 x 5 mm at an incidence angle of 47°. The sputter rate of about 3.0 nm/min was determined on standard multi-layer Cr/Ni thin film structure 3/.

In the depth profiles the peak - to - peak intensities of the corresponding Auger transitions are normalized to 100 units.

Results and discussion

Depth profiles of the elemental composition of both investigated active layers are similar and reveal the presence of glass constituent elements: Si, O, K, Pb, Ba and C. The active glassy of the channels layers were examined to the depth about 60 nm. The depth distribu-

tion of constituents of the unaged active surface inside the channel is shown in Fig.2. The surface is composed of Si, O, K and Pb. The quantity of C on the surface presents a relatively low contamination, and its concentration decreases quickly to negligible amounts. The Pb concentration is very high on the surface, while in the layer about 10 nm under the surface the Pb concentration is considerably reduced. In the same depth the increase of Si and O was observed. The significantly reduced Pb amount in the mentioned region is caused during the final stages of chemical processing in manufacturing technology. Pb is leached off from a thin layer under the surface. Deliberately and consequently this layer is enriched with Si and O. In the near surface region a sudden increase of K concentration was observed. On the surface and beneath the mentioned region the K concentration is almost the same as in the bulk material. The presence of Ba was observed in the depth of about 35 nm beneath the surface, and its concentration increases slowly in the bulk material. The distribution of the present elements versus sputter depth of the exposed sample (Fig.3) shows that on the surface the K concentration is rather increased, while the Pb concentration is significantly reduced, and C contamination

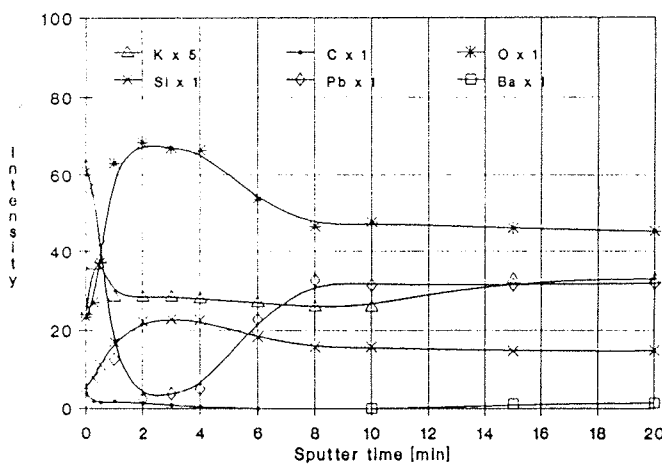


Fig. 2: AES sputter depth profile of the active surface of the channel before ageing of MCP.

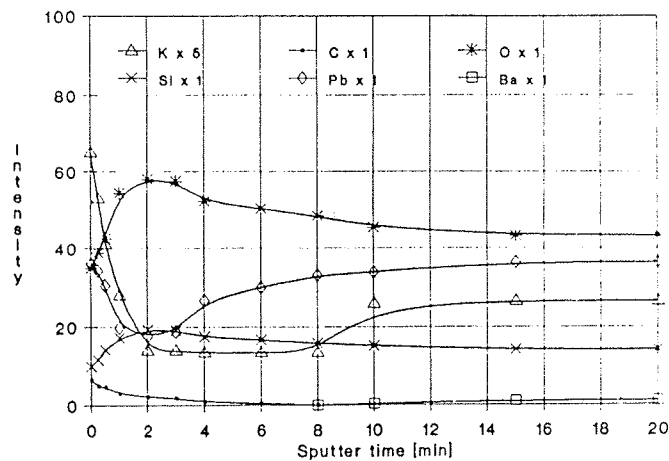


Fig. 3: AES sputter depth profile of the active surface of the channel after ageing of MCP.

seems to be higher in comparison to the unexposed sample. The thin layer beneath the surface of the aged sample is enriched with Pb. The discovered increase is probably due to a ionic diffusion process of Pb.

Conclusion

Fresh and aged microchannel plates (MCP) were investigated by AES. We found out that probably ionic transport on the active glassy surface and silica rich emitting layer changed the elemental distribution of these layers during the ageing process. The comparison of AES depth profiles shows a great increase in content of K and a minor in that of Si and O on the channel surface of the aged MCP. Pb ions replenished empty places left by K, Si and O in the silica rich emitting layer. After the ageing process a small increase in carbon contamination of the channel surface was observed.

References

- 1/ W. B. Feller, in: Electron Image Tubes and Image Intensifiers, Vol. 1243, Ed. I. P. Csorba (SPIE Proceedings, Santa Clara, 1990) p. 149.
- 2/ B. N. Laprade, S. T. Reinhart and M. Wheeler in: Electron Image Tubes and Image Intensifiers, Vol. 1243, Ed. I. P. Csorba (SPIE Proceedings, Santa Clara, 1990) p. 162.
- 3/ A. Zalar, Surf. Interface Anal., 9 (1986) 41.

B. Praček, dipl. ing.

M. Kern, dipl. ing.

Inštitut za elektroniko in vakuumsko tehniko
Teslova 30, 61000 Ljubljana, Slovenia

Prispelo: 18.11.92

Sprejeto: 02.12.92

PRIKAZI DOGODKOV, DEJAVNOSTI ČLANOV MIDEM IN DRUGIH INSTITUCIJ

STANJE IN NAČRTI SLOVENSKEGA POLPREVODNIŠTVA

Člani uredniškega odbora časopisa " Informacije MIDEM " smo se odločili pripraviti pregled stanja in načrtov slovenskega polprevodništva dobra tri leta po zaprtju Iskrine MIKROELEKTRONIKE in seriji stečajev HIGH TECH tovarn.

Hoteli smo ugotoviti, ali je stanje še vedno tako črno in brezperspektivno, ali pa se že mogoče nazirajo boljši časi.

Zaprosili smo direktorje firm in vodje laboratorijev, ki se ukvarjajo s polprevodništvom in mikroelektroniko, da nam v nekaj besedah opišejo stanje in načrte svoje organizacije.

Objavljamo vse prispevke, ki so prispeli v uredništvo do 05.12.1992 v nespremenjeni obliki.

Laboratorij za mikroelektroniko na Fakulteti za elektrotehniko in računalništvo

Laboratorij za mikroelektroniko s štiridesetimi visoko usposobljenimi raziskovalci usmerja svoje aktivnosti v raziskave, razvoj in poučevanje na področju monolitnih integriranih vezij. Pri tem so posebej poudarjene aktivnosti na področju submikronskih procesnih tehnologij BICMOS, na zasnovi kompleksnih elektronskih sistemov in na razvoju načrtovalskih metodologij za načrtovanje kombiniranih analogno digitalnih integriranih vezij. Med uspešne zaključene projekte v zadnjem času sodijo vezja za telefonski aparat nove generacije, vezja za avtomobilsko elektroniko, vezja s "pametnimi senzorji", knjižnica analognih celic, programska oprema za avtomatsko sintezo in analizo ter generacijo geometrije operacijskih ojačevalnikov in različnih filtrov in nekateri procesni koraki za submikronsko tehnologijo BICMOS.

Iz izkaznice Laboratorija lahko razberemo, da v njem deluje 13 doktorjev znanosti in 11 magistrov različnih profilov, od fizikov, kemikov metalurgov do elektrotehnikov. V zadnjih nekaj letih so objavili prek dvesto prispevkov v domači in tuji periodiki. Nekateri med njimi so vzbudili širšo mednarodno pozornost. Na novo zgrajeni laboratorij ima prek 400 m² čistih prostorov razreda 10.

Detajl iz območja za "suho" jedkanje prikazuje slika 1.

Oprema navzlic počasni gradnji zaradi omejenih financ še vedno predstavlja dokaj moderno rešitev, saj ima n.pr. laboratorij v bogatem stanfordskem Centru za in-



Slika 1: Laboratorij za "suho" jedkanje



Slika 2: Del načrtovanega laboratorija LMFER

tegrirane sisteme povečini enake naprave. Slika 2 pa prikazuje del načrtovalskega laboratorija.

Laboratorij je aktiven tudi na pedagoškem področju, saj v njem potekajo vaje, diplomska in magistrska dela iz rednega fakultetnega programa. Stalno v njem gostimo tudi po več raziskovalcev iz drugih inštitucij in industrije. Potencialni vpliv laboratorija na slovensko okolje vidimo predvsem v naslednjem:

- ☐ Vzdrževanje pilotskega pogona v mikronski in sub-mikronski tehnologiji BICMOS omogoča hitro in učinkovito verifikacijo sistemske in elektronske zasnove vezja ASIC.
- ☐ Omogoča Ministrstvu za znanost in tehnologijo spodbujanje prestrukturiranja slovenske elektronske industrije po utečenem evropskem vzorcu, kjer vlade participirajo pri vsaki uspešni realizaciji elektronskega sistema z vezjem po lastni zasnovi pri stroških s petdesetodstotno dotacijo.
- ☐ Je osnova za sodobno izobraževanje na področju elektronike. V razvitejših deželah vsak študent na podiplomskem študiju realizira najmanj eno vezje po lastni zasnovi.

- ☐ Omogoča kvalitetnejši razvoj načrtovalske metodologije.
- ☐ Predstavlja kompletno ponudbo od zasnove vezja do delujočih prototipov, ki so optimizirani za ceneno velikoserijsko proizvodnjo. Ta faza razvoja elektronskega sistema namreč predstavlja konkurenčno prednost in potrebno zaščito industrijske lastnine za domačo industrijo.

Načrtovalska znanja, ki so potrebna za nastanek integriranega vezja kot direktnega materialnega rezultata tretje tehnološke revolucije lahko uspešno gojimo le v sredini, ki poleg sistemskih znanj obvlada tudi zapletene tehnološke korake za realizacijo teh vezij.

Laboratoriju je nekako uspelo, da je dokaj posrečeno iskal ravnotežje med vsemi potrebnimi aktivnostmi in finančnimi možnostmi.

Želja laboratorija kot tudi industrije, s katero je povezan je, da taka možnost živi tudi v bodoče.

Lojze Trontelj

UNIVERZA V LJUBLJANI

Fakulteta za elektrotehniko in računalništvo

Laboratorij za elektronske elemente

I. NASLOV:

Laboratorij za Elektronske elemente
Fakulteta za elektrotehniko in računalništvo
Univerza v Ljubljani
61000 Ljubljana, SLOVENIJA

Tel.: (061) 265 161; FAX: (061) 264 990
Email: joe @ ninurta.fer.yu (Jože Furlan)
slavko.amon @ ninurta.fer.yu (Slavko Amon)

II. ČLANI:

prof. dr. Jože Furlan, prof. dr. Slavko Amon, doc. dr. Franc Smole, Danilo Vrtačnik dipl.ing., Drago Resnik dipl.ing., mag. Dejan Križaj, mag. Ivan Skubic, Elvis Bassanese dipl.ing., Saša Sokolić dipl.ing., Uroš Aljančič dipl.ing., Pavle Popović dipl.ing., Marko Topič dipl.ing., Žurga Marijan teh., Matjaž Cvar teh.

III. AKTIVNOSTI:

A: Modeliranje polprevodniških struktur in fizika polprevodnikov

1.) 1D modeliranje stacionarnih razmer v poljubnih polprevodniških strukturah z upoštevanjem oženja prepovedanega pasu, Augerjeve rekombinacije, plazovite ionizacije (S.Amon)

2.) 1D tranzientna analiza - razširitev programa za modeliranje 1D stacionarnih razmer (V.Gradišnik, S.Amon)

3.) modeliranje polprevodnikov (D. Križaj, S.Amon)

- numerične metode
- modeliranje zaključitvenih struktur visokonapetostnih elementov (field plate, guard ring, ...)

4.) modeliranje posebnih polprevodniških efektov (S. Sokolić, S.Amon)

- modeliranje močno dopiranih polprevodniških struktur

- numerične metode

5.) I-V, C-V modeliranje, izračun DOS v nizko prevodnih polprevodniških materialih s pastmi (I. Skubic, J. Furlan)

6.) Analiza prehodnega pojava v amorfni polprevodnikih (J. Furlan, E. Bassanese)

- svetlobno vzbujanje z velikimi signali
- svetlobno vzbujanje s malimi signali

7.) zunanje in notranje lastnosti a-Si:H sončnih celic (F. Smole, J. Furlan, P. Popović, J. Topič)

- efekti porazdelitve gostote stanj znotraj mobilnostne reže, p-i, i-n prehodi, heterostrukture, kakovost površine, ...
- numerično in analitično ovrednotenje notranjih in zunanjih električnih lastnosti a-Si:H sončnih celic

8.) kvazi 3D modeliranje sončnih celic (S. Sokolić, D. Križaj)

- izdelava simulacijskega paketa SIMCELL
- analiza monokristalnih in amorfni sončnih celic in sorodnih elementov
- raziskovanje lateralnih efektov

9.) paralelno vezane tandemske a-Si sončne celice (J. Furlan, P. Popović, F. Smole)

B: POLPREVODNIŠKE TEHNOLOGIJE

1.) difuzija iz trdih izvorov in uporaba le-teh za različne difuzijske profile pri nižjih temperaturah (D. Resnik, D. Vrtačnik)

2.) BRL plast in njen vpliv na električne lastnosti pn spojev (D. Vrtačnik, D. Resnik)

3.) dvojno difundirane plasti na n-n+ epi substratu (p+nn-n+) (D. Vrtačnik, U. Aljančič, D. Resnik, S. Amon)

4.) zmanjšanje izgubnega toka v plitkih pn spojih zaradi zmanjšanja OISF defektov (D. Resnik, U. Aljančič, D. Vrtačnik)

5.) tehnike jedkanja silicija v orientaciji (100) (D. Resnik, D. Vrtačnik)

6.) depozicija a-Si:H plasti in p-i-n strukture (F. Smole)

7.) Izdelani elementi:

- Si sončne celice
- planarni močnostni bipolarni transistor
- Zenerjeve diode s tehnologijo dvojne difuzije
- senzor tlaka
- p-i-n a-Si:H sončne celice
- Si fotosenzor

C: MERITVE ELEKTRIČNIH PARAMETROV POLPREVODNIŠKIH ELEMENTOV

1.) C-V meritve (I. Skubic)

- fiksni naboj, mobilni naboj, dopiranje substrata
- gostota površinskih stanj

2.) C-t meritve (I. Skubic)

- Zerbst metoda za določitev življenske dobe prostih nosilcev naboja
- DLTS metoda za merjenje gostote globokih stanj v polprevodnikih

3.) DC meritve parametrov polprevodniških elementov (I. Skubic, U. Aljančič)

4.) določanje gostote stanj v a-Si:H s pomočjo SCLC meritev (I. Skubic, J. Furlan)

5.) določanje gostote stanj v a-Si:H s pomočjo meritev časovnih odzivov na male svetlobne signale okoli stacionarnega stanja (J. Furlan, E. Bassanese)

6.) določanje gostote stanj v a-Si:H iz časovnega odziva po izklopu stacionarne osvetlitve (E. Bassanese, J. Furlan)

7.) meritve spektralnega odziva, radiometrične meritve (I. Skubic, J. Furlan)

IV. OPREMA

A: MODELIRANJE POLPREVODNIKOV & FIZIKA POLPREVODNIKOV

1. MODELIRANJE PROCESNIH KORAKOV

- TMA SUPREM III: 1D simulator polprevodniških procesov

2. MODELIRANJE ELEKTRIČNIH LASTNOSTI POLPREVODNIŠKIH ELEMENTOV

- BAMBI 2.0: Basic analyzer of MOS and bipolar devices, Technische Universität Wien.
- MG3: 2D program za simulacijo reverzno polariziranih polprevodniških elementov, izdelan v LEE, še v razvoju.
- ASPINM: Program za simulacijo a-Si:H p-i-n sončnih celic; izdelan v LEE.
- SIMCELL: program za kvazi 3D simulacijo sončnih celic, izdelan v LEE, še v razvoju.
- TMA MEDICI: program za 2D simulacijo polprevodniških struktur, Technology Modeling Associates Inc., Palo Alto, USA.

3. RAČUNALNIŠKA OPREMA

- 6 osebnih računalnikov PC/AT

- 6 računalnikov PC 486
- 2 delovni postaji HP 720
- Novell mreža (LAN) - linija do univerzitetnega računalnika VAX 8550
- linija do fakultetnega računalnika HP SUPER MINI 835

B: POLPREVODNIŠKA TEHNOLOGIJA

1. ČISTI PROSTORI: Velikost čistih prostorov je 70m², čistost je boljša od 1000 in v delovnih postajah boljša od 100.

2. Izdelava testnih mask.

3. FOTOLITOGRAFIJA: omogoča procesiranje v 5µm tehnologiji.

4. NIZKOTEMPERATURNO PROCESIRANJE: depozicija, difuzija, oksidacija.

5. Kemijska depozicija v parni fazi pri znižanem tlaku: LPCVD

6. METALIZACIJA: Naprševalnik s tremi tarčami, kemijsko postajo in pečjo za sintranje metala.

7. Kemijska depozicija a-Si z vzbujeno plazmo (PECVD).

C. MERITVE ELEKTRIČNIH IN PROCESNIH PARAMETROV

- merilnik plastne upornosti
- meritve difuzijskih profilov primesi
- parametrični analizator (HP 4145 B Semiconductor Parametric Analyzer)
- precizijski LCR meter (HP 4284A Precision LCR meter)
- pikoamper meter z vgrajenim enosmernim virom (HP 4140 B pA - meter, DC voltage source)

- merilnik kapacitivnosti (HP 4280 A 1MHz C - meter) in živosrebrna sonda (Mercury Probe Hg-401RL)
- univerzalni digitalni instrument (HP 3457A Multimeter)
- karakterograf (Tektronix Curve Tracer 577)
- naprava za avtomatsko testiranje rezin (Wentworth AWP 1050 Automatic Wafer Prober)
- IBM osebni računalnik z IEEE 488 kontrolno kartico (IBM PC with IEEE controller interface card)
- sončni simulator (AM1) - sistem za spektralno karakterizacijo (200-1500nm)
- elipsometer

V. PLAN DEJAVNOSTI V LETU 1993

A: MONOKRISTALNI SILICIJ

- piezoresistivni efekti v siliciju
- analiza prebojnih lastnosti polprevodniških struktur
- senzor tlaka
- detektor ionizacije
- fotosenzor - modeliranje polprevodniških struktur
- študij polprevodniških tehnoloških procesov
- polprevodniški zaščitni elementi

B: AMORFNI SILICIJ

- prehodni pojavi v a-Si
- analitično modeliranje efektov v a-Si sončni celici
- numerična analiza lastnosti a-Si sončnih celic
- heterospojna a-Si sončna celica
- paralelno spojene tandemske a-Si sončne celice - raziskave NIN struktur

Slavko Amon

Fakulteta za elektroniko in računalništvo v Ljubljani

Laboratorij za načrtovanje integriranih vezij

Vodja: prof. dr. Baldomir Zajc, dipl. ing.
 Sodelavci: Stanislav Gruden, dipl. ing.
 Roman Kužnar, dipl. ing.
 mag. Marijan Leban, dipl. ing.
 Andrej Žemva, dipl. ing.

Zaradi njegove enostavnosti in hitrosti je posebno primeren za manjše in srednje velike logične funkcije (8 do 16 vhodnih spremenljivk), za večje pa je slabši. Program omogoča ob vgrajeni minimizaciji za PLA vezja tudi izbiro minimizacije za PAL vezja (OR ravnina ni programabilna, ampak je fiksna) ali pa za poznejšo uporabo pri sintezi s standardnimi celicami.

Osnovno delo v laboratoriju:

V Laboratoriju za načrtovanje integriranih vezij se v zadnjem času ukvarjamo predvsem z načrtovanjem digitalnih in analognih integriranih vezij, študijem in razvojem algoritmov s področja načrtovanja integriranih vezij. Delo poteka na šestih delovnih postajah Sun in HP.

Načrtovanje digitalnih integriranih vezij:

Uporabljamo programsko orodje OASIS (Open Architecture Silicon Implementation Software). Trenutno delo poteka na načrtovanju krmilnih vezij, mikrokontrolne enote ter digitalnih filtrov.

Študij in razvoj algoritmov za načrtovanje VLSI vezij:

A. Sinteza digitalnih vezij

Na področju sinteze digitalnih vezij smo v zadnjem letu razvili algoritem za minimizacijo logičnih funkcij. Algoritem je namenjen optimizaciji logične funkcije, ki je podana v PLA zapisu kot seznam vsebovalnikov. V procesu sinteze logičnega vezja je to osnovni zapis, na katerega se prevede na višjem nivoju podan opis vezja. Zapis funkcije pogojuje optimalnost realizacije funkcije v digitalnem vezju, zato pretvorimo prvotno obliko logične funkcije v funkcijsko ekvivalentno, vendar minimalnejšo obliko glede števila vsebovalnikov (logičnih vrat) in števila vhodov v logična vrata, kar ima za posledico manjšo površino integriranega vezja. Izhod logične minimizacije je ponoven zapis funkcije v PLA obliki, ki je lahko uporabljen za realizacijo vezja v PLA tehnologiji ali za nadaljno sintezo s standardnimi celicami. Dobljena logična funkcija po minimizaciji ni samo optimalnejša glede števila vsebovalnikov, ampak je tudi glavna in neodvečna, kar pomeni, da je možno generirati vse testne vzorce za enojne napake v digitalnem vezju. Algoritem je bil realiziran v programskem jeziku C in je primeren za delovne postaje in osebne računalnike.

B. Testiranje vezij

Na področju testiranja digitalnih vezij smo najprej razvili učinkovit algoritem za odkrivanje enojnih napak v kombinacijskih vezjih. Učinkovitost izvajanja smo dosegli z upoštevanjem dinamičnih razmer v vezju. Algoritem v procesu generiranja testnih vzorcev gradi odločitveno drevo, kjer v vsakem vozlišču obstaja več možnih odločitev. Glavna naloga vsakega testnega algoritma je čimprej odkritje morebitne napačne odločitve ter odpravljanje napačnih odločitev. V našem delu smo pokazali, da le hkratno upoštevanje statičnih in dinamičnih razmer v vezju daje zadovoljivo rešitev opisane naloge. Metodo smo razširili tudi na splošna sekvenčna vezja. Oba algoritma smo realizirali v programskem jeziku ter preiskusili na standardnih testnih vezjih. Trenutna aktivnost na področju testiranja je analiza napak v FPGA vezjih ter študij modela napak s katerim bo možno preveriti delovanje FPGA vezij ter vključitev modela v obstoječa programska orodja za testiranje vezij.

C. Načrtovanje končne geometrije

Na področju avtomatskega načrtovanja končne geometrije vezij smo se ukvarjali s študijem in razvojem algoritmov za avtomatsko generiranje geometrije vezij načrtovanih s standardnimi celicami. Razvita sta bila algoritma za avtomatsko razmeščanje in povezovanje standardnih celic. Implementacija algoritmov je prilagojena za programski paket Super Sceptre, ki je namenjen za načrtovanje integriranih vezij s standardnimi celicami. S spremljanjem trendov razvoja integriranih vezij smo naše raziskave preusmerili na zelo obetavno področje FPGA (Field Programmable Gate Arrays) vezij. Razvili in implementirali smo učinkovit algoritem za delitev obsežnih logičnih vezij na več manjših podvezij katere je mogoče realizirati s Xilinx FPGA vezji. Trenutne raziskave so posvečene študiju arhitekture FPGA vezij ter problemu poveztljivosti in optimiranja časovnih razmer logičnega vezja realiziranega s FPGA vezjem.

D. Avtomatsko generiranje sheme

Za osebni računalnik smo razvili program, ki na osnovi tekstovnega opisa digitalnega elektronskega vezja generira njegovo shemo, ki si jo lahko nato ogledamo na zaslonu, izpišemo na tiskalnik ali pa shranimo v datoteko. Ta datoteka ima tako obliko, da si lahko shemo pogledamo in jo tudi popravljamo s programskim paketom Super Sceptre na osebem računalniku. Program zahteva na vhodu datoteko z opisom vezja, v kateri je opisano, katere celice vezje sestavljajo in kako so med seboj povezane. Opisi vseh celic vezja morajo biti zapisani v knjižnici. Opis za eno celico pove njeno grafično predstavitev in število ter razporeditev njenih priključkov. Program datoteko prebere in v pomnilnik shrani vse podatke. Nato razporedi vse celice vezja in pri tem poskuša najti tako razporeditev, da bo končna shema čim preglednejša. Celicam najprej priredi logični nivo, oz. jim določi oddaljenost od vhodov. Predvsem upošteva to, da celice, ki jih od vhoda loči manj vmesnih celic, postavi bližje vhodnim celicam. Razporejene celice nato poveže s čim krajšimi in preglednejšimi povezavami. Za povezovanje so potrebne povezave, ki povezujejo celice na različnih nivojih in povezave, ki povezujejo med seboj priključke celic na istem nivoju. Povezave pa

je potrebno na nekaterih mestih tudi nalomiti, saj bi sicer prišlo do njihovega prekrivanja. Končni korak pa je še postavitve kontaktov na mesta, kjer je to potrebno, torej na stiku treh ali več povezav. Na koncu program še prikaže rezultate.

E. Načrtovanje analognih filtrov

Pri načrtovanju analognega pasovnega filtra za visoke frekvence se je pokazala potreba po programskem orodju, s pomočjo katerega bi nekatere korake pri načrtovanju analognih filtrov avtomatizirali. Ti koraki so predvsem: izbira optimalnega načina realizacije vezja, oz. njegove osnovne konfiguracije na osnovi podanih zahtev (občutljivost na spremembe vrednosti komponent, porabo vezja ...), izbira vrednosti elementov tako, da je doseženo čim večje dinamično območje vezja, čim manjša občutljivost na spremembe vrednosti sestavnih elementov itd. Upoštevali bomo tudi posebne lastnosti v primeru, če naj bo vezje realizirano v integrirani obliki.

Baldomir Zajc

MIKROIKS d.o.o., Ljubljana

MIKROIKS d.o.o., Ljubljana, Dunajska 5, je podjetje katerega glavno področje dela je mikroelektronski inženiring, konzultacije in servis.

Ustanovitelji MIKROIKSA so osebe z dolgoletnim mednarodnimi izkušnjami na področju mikroelektronike, polprevodnikov in polprevodniških komponent.

Sedež podjetja je v samem poslovnem centru Ljubljane, kjer izvrstne komunikacijske povezave s svetom omogočajo optimalno učinkovitost. Poleg trenutno osmih stalno zaposlenih sodelavcev sodeluje z večjim številom zunanjih specialistov za posamezna področja.

Asortiman ponudbe MIKROIKS obsega:

- razvoj ASIC mikroelektronskih vezij vključno z načrtovanjem, izdelavo vezij na rezini, montažo, testiranje in logistiko,
- izdelava standardnih in ASIC mikroelektronskih vezij v različnih tehnologijah do submikronske minimalne razsežnosti z možnostjo izbire različnih proizvajalcev

- razvoj polprevodniških elementov in tehnologij
- načrtovalske, procesne in aplikacijske računalniške simulacije na področju polprevodnikov
- polprevodniške in mikroelektronske komponente vseh velikih svetovnih proizvajalcev po najugodnejših pogojih na tržišču
- vezja v SMT izvedbi ter debelo in tenkoplastna hibridna vezja
- izdelava testnih kartic za parametrično in funkcionalno testiranje integriranih vezij na rezini in integriranih vezij na plošči
- materiale za uporabo v mikroelektronski industriji (epoksi lepila, materiali za čiste prostore)
- tržno, tehnično in poslovno svetovanje
- usposabljanje kadrov
- opremo za proizvodne prostore in laboratorije (procesno, merilno, kontrolno, varnostno)
- inženiring in svetovanje na področju čistih prostorov

Tako široko paleto proizvodov in uslug lahko nudi predvsem na osnovi lastnega znanja, dobrega poznavanja tujih partnerjev in trdne povezanosti s principalii.

Načrti za 1993 leto

Skupaj s tovarno Iskra SEMICON iz Trbovelj je Mikroiks v letu 1992 ponovno startal z montažo mikroelektronskih vezij v plastična ohišja. Po nekaj desetletjih proizvedenih vezij namerava v 1993 letu povečati obseg proizvodnje vsaj do nivoja, ki ga je imela tovarna Iskra Mikroelektronika pred svojo likvidacijo.

V 1993 letu bo Mikroiks postavil svoj neodvisni testni center. V ta namen je že nabavil potrebno opremo za avtomatsko testiranje digitalnih integriranih vezij, postavil izdelavo potrebnih testnih pripomočkov in orodij ter se opremil tudi za potrebne analize napak. V Mikroiksu

računajo, da se bodo lahko z izdelavo testnih programov vključili v evropsko mikroelektroniko in skupaj z ostalimi laboratoriji prispevali k oživitvi mikroelektronike v Sloveniji.

S svojo inženirsko skupino namerava Mikroiks tudi v 1993 letu sodelovati v razvoju polprevodniške tehnologije s slovenskimi in inozemskimi partnerji. Pri tem so omembe vredni načrti pri sodelovanju v razvoju novih izdelkov v Iskri SEMICON in razvoju telekomunikacijskih vezij v BICMOS tehnologiji.

Rudi Ročak

MIL Radovljica d.o.o.

Ivan Milatovič, član tehničnega vodstva v nekdanji Iskri Mikroelektroniki je ustanovil podjetje MIL v okviru katerega je na najeti opremi pričel s proizvodnjo, montažo mikroelektronskih vezij v keramična ohišja in montažo multičip hibridov.

V 1993 letu namerava to proizvodnjo razširiti. V ta namen si je nabavil opremo in najel proizvodne prostore

v bivši Iskri Mikroelektroniki ter jih funkcionalno opremil. V sodelovanju z Mikroiksom se bo poskusil vključiti v evropsko tržišče in zadovoljiti slovenske potrebe za hermetično zaprtimi mikroelektronskimi vezji. Upamo, da bomo obširneje lahko poročali o tem podjetju v eni od naslednjih števil Informacije MIDEM.

Ivan Milatovič

Stanje na področju mikroelektronike v mariborski regiji

Na Tehniški fakulteti v Mariboru, oddelku za elektroniko, računalništvo in informatiko je področje mikroelektronike zajeto predvsem v edukativnem smislu. Študenti višješolskega in visokošolskega programa se seznanjajo s predmetoma integrirana vezja oziroma načrtovanje integriranih vezij. Medtem ko imajo na višješolskem programu lastnega učitelja, skrbijo za visokošolski program sodelavci Laboratorija za mikroelektroniko Fakultete za elektrotehniko in računalništvo iz Ljubljane.

Na razvojnem in raziskovalnem področju so prisotni le skromni poskusi študij o možnosti načrtovanja določenih integriranih vezij, ki so aktualna v mariborski industriji (mikroelektronski krmilnik za elektronske sanitarne baterije, varnostna razsvetljava, avtomobilska elektronika,...). Konkretno zahteve po izdelavi integrirane komponente, ki so se pojavile v Laboratoriju za robotiko, TF Maribor, ERI so zaenkrat pomagali rešiti tuji izvajalci.

Rudi Babič

Iskra Semicon d.d., Trbovlje

Iskra Semicon 61420 Trbovlje, Gabrsko 12
tel: (38) 601-24-155, fax: (38) 601-22-376, telex: 35004 IsemYU

Visoko tehnološke veje industrije tvorijo bazo za razvoj ostalih industrijskih vej in diktirajo tempo razvoja. Že desetletja je elektronika najbolj propulzivna veja v svetu s povprečno letno rastjo preko 8 % in prav nič še ne kaže, da jo lahko na tronu zamenja kakšna druga. Motor razvoja elektronike je polprevodniška industrija. Razvoj novih, boljših, zmogljivejših, manjših, cenejših polpre-

vodniških komponent omogoča razvoj in prihod na trg vedno novim generacijam elektronskih izdelkov od telekomunikacij in računalništva do medicine in vesoljske tehnike. Ti izdelki postajajo dosegljivi vsem slojem prebivalstva in tako prispevajo k dvigu standarda življenja.

Proizvajalci polprevodniških komponent tržijo globalno, vendar vse države z razvito tovrstno industrijo ščitijo domače proizvajalce pasivno in aktivno. Tako poskušajo doseči prednost lastne industrije na svetovnem tržišču

in izriniti konkurenco ali jo vsaj narediti tehnološko odvisno. V tako pomembni tekmi lahko sodelujejo močne multinacionalne družbe in paradržavna podjetja, ki so od držav izdatno subvencionirana.

Polprevodniška industrija v Sloveniji lahko seveda le opazuje boj velikih in poizkuša ustvariti svoj prostor na trgu. Sedanje stanje v veliki meri določajo velike spremembe v državnih ekonomijah vzhodnih držav, odpiranje slovenskega trga, izguba jugoslovanskih trgov, v manjši meri pa svetovna recesija in pojav proizvajalcev iz daljno vzhodnih držav, vključno s Kitajsko, na tržišču. V zlatih letih slovenske polprevodniške industrije, ko je dohodek na zaposlenega že dosegel 75.000 DEM je tovarna polprevodnikov ustvarjala svoj profit na preprodaji izdelkov iz kooperacij. Zaprtost takratnega domačega tržišča je omogočala preprodajo po cenah nekajkrat višjih kot so bile svetovne. To je dajalo potuho slabi tehnologiji, previsokim proizvodnim stroškom in neproduktivnemu razvoju. Prerazdeljevanje akumulacije je poleg ugodnih kratkoročnih učinkov imelo skrajno negativni učinek že na srednji rok. Polprevodniški izdelki imajo relativno kratek življenski cikel. Ko so proizvajalci izdelki akumulacijo prinašali je bila sistematično odvajana iz tovarne, pač po pravilih takratne ekonomije. Ko je življenska doba teh izdelkov potekla, pa je ostala tovarna brez kapitala in celo brez razvitih novih proizvodov, pa tudi ekonomija se je pričela spreminjati. Poskusi adhoc reševanja z investiranjem kapitala in vlaganjem tega v proizvodnjo družine še nerazvitih izdelkov je

zadal končni udarec. Nastopanje na svetovnem trgu ob prihodu daljno vzhodne konkurence, ki je takoj pričela drastično zbijati cene in to počne še sedaj s starimi izdelki in tehnologijami, je bilo le podaljševanje agonije. Sedanji močan padec življenskega standarda in močna racionalizacija poslovanja, pa omogoča tovarni popravni izpit. V premoru je potrebno razviti in pričeti s proizvodnjo novih generacij izdelkov tako po funkciji po obliki in zagotoviti njihovo visoko kvaliteto in zanesljivost delovanja prek proizvodnega procesa. Usmeritev je v diskretne polprevodniške komponente v ohišjih za površinsko montažo, kjer poznamo tržišče. Vsak prehod v druge izdelke zahteva navezavo na eno izmed multinacionalnih podjetij, ki je sposobno razvijati investirati v proizvodnjo in posebno tržiti te proizvode. Ob sedanjem močnejšem zavedanju pomena proizvodnje polprevodniških komponent v Evropi je pričakovati pozitiven trend v poslovanju tovarne ob realizaciji zastavljenih ciljev.

Elektronska industrija v Sloveniji je in bo ostala ena izmed najpomembnejših. Dolgoletne izkušnje, znanje in številni strokovnjaki bodo pritegnili velika podjetja v odpiranje novih ali prevzem obstoječih tovarn. Pomemben faktor za razvoj bo bližina proizvajalcev polprevodniških komponent. Prosperiteta polprevodniške in s tem elektronske industrije bo Sloveniji omogočala priključitev k Evropi in s tem dolgoročno stabilnost in lepšo prihodnost.

Miran Kramberger

KONFERENCE, POSVETOVANJA, SEMINARJI, POROČILA

MIEL - SD 92

This year, a joint international conference on microelectronics, electronic devices and materials, was held from September 30th - October 2nd in Portorož, Slovenia. The 20th international conference on microelectronics, MIEL-92, continued the longterm tradition of being a topical gathering for people working in the field of microelectronics. Experts from all over Europe and further are amongst its usual participants. In spite of recent events in this part of the world, this tradition was preserved at MIEL - 92. This year MIEL conference contributions were divided into five sessions: Device Physics, Integrated Circuits, Modelling, Semiconductor Devices and Technology. The papers included recent results of research in the field of semiconductor technology & processing, process & device modelling, and new design of semiconductor devices and circuits. In this fields, there were presented three invited papers: G. Randone (Italtel) "Components and technologies for broadband telecommunications", M. Rudan, University of Bologna "Extended - range applications of a device - analysis code", and G. Ianuzzi (SGS - Thomson): "ULSI/VLSI technology development in the frame of European cooperation."

This year the 28th Symposium on Devices and Materials, SD - 92, united with the conference on microelectronics. Introductory lectures and symposium papers, were classified into three groups: Thick Films, Thin Films, Surfaces and Interfaces in Electronic Devices and Electronic Ceramics, Metals and Composites. They demonstrated the tendencies in research in electronic components and materials. In the introductory lecture in the first group, Thick Films, E. Gramegna, (Du Pont Electronics, Switzerland) presented the possible future of hybrid ceramic circuits in high density, high performance applications, whereas other contributions were mainly concerned with investigation of thick film materi-

als characteristics and properties, for example for sensor applications.

Due to advances in thin film technology, the interest of the electronics community in thin film elements is continuously increasing. Thus the papers in the second group were introduced by a prof. H. K. Pulker's (Balzers Liechtenstein and University of Innsbruck) lecture: "Reactive Physical Vapour Deposition Processes."

In the following contributions among others new approaches to processing ferroelectric thin films, as well as results of research on contact material in hermetic relays and potentiometers, metallglass and metal - ceramics seals were presented.

The third session started with a review of the processing and the properties of electrooptical ceramics by M. Kosec (Jožef Stefan Institute, Slovenia). Other contributions have brought together results in research in the field of electronic ceramics, i. e. materials for humidity sensors, varistors, ferrites and piezoelectrics, as well as the properties, processing and applications of metal magnets and several organic electronic materials.

All together at the conference there were presented 6 invited lectures and 59 regular papers, The organiser was MIDEM - Society for Microelectronics, Devices and Materials, Ljubljana, Slovenia. At the occasion of conference Proceedings of all papers in English with 460 pages was distributed. The participants (more then 100) were from twelve European countries.

During the conference the annual meeting of the Society MIDEM was held and research field panel discussion was organized.

S. Amon, M. Kosec, M. Slokan

Elektrotehniška in računalniška konferenca ERK'92

To je bila prva elektrotehniška in računalniška konferenca v Sloveniji. Predlog zanjo je dala Slovenska sekcija IEEE (Institut of Electrical and Electronics Engineers) z željo, da bi združila interese vseh slovenskih strokovnih društev in postala vsakoletno srečanje strokovnjakov na elektrotehniškem in računalniškem področju.

Pri tem je konferenca odprta tudi za mednarodno udeležbo. Pri organizaciji ERK'92, ki je potekala v Portorožu od 28. do 30. septembra 1992, so sodelovala naslednja

društva: Društvo avtomatikov Slovenije, Slovensko društvo za merilno procesno tehniko, CIGRE, Društvo za medicino in biološko tehniko Slovenije, Društvo robotikov Slovenije, Slovensko društvo za umetno inteligenco, Društvo jederskih strokovnjakov Slovenije in Slovensko društvo za razpoznavanje vzorcev.

Organizacijo konference in izdajo zbornika je finančno podprlo tudi Ministrstvo za znanost in tehnologijo Republike Slovenije.

Program konference je bil razdeljen na deset področij, pri tem je vsako področje imelo po več sekcij. Na področju Elektronika je bilo v dveh sekcijah predstavljeno 13 referatov, Telekomunikacije v 2 sekcijah 11 referatov, Avtomatika v 5 sekcijah 27 referatov, Robotika v 3 sekcijah 19 referatov, Računalništvo in informatika v 5 sekcijah 34 referatov, Umetna inteligenca v 2 sekcijah 10 referatov, Razpoznavanje vzorcev v 4 sekcijah 25 referatov, Biomedicinska tehnika v 2 sekcijah 8 referatov, Močnostna elektrotehnika v 4 sekcijah 28 referatov. Skupno je bilo izbranih 211 referatov, ki so objavljeni v štirih zvezkih.

Ob konferenci je potekalo tudi izbrano tekmovanje sedmih študentskih referatov za študentsko tekmovanje v okviru IEEE za regijo 8.

Za dodatno popestritev programa so poskrbela vabljenaa predavanja, za katera so organizatorji pritegnili tudi predavatelje iz tujine in okrogle mize v organizaciji posameznih strokovnih društev.

R. Babič

PREDSTAVLJAMO PODJETJE Z NASLOVNICE

ISKRA ZAŠČITE

Iskra Zaščite je matično podjetje za izvajanje zaščit, inženiring in kooperacije. Ukvarja se prvenstveno s sistemi in napravami za zaščito pred strelo, prenapetostno zaščito ter varovanje ljudi in okolja, naprav ter postrojev.

Staro je nekaj nad tri leta. Inkubacija novih programov je dala osnove za širitev programov, ki jih Združeno podjetje Iskra ni imelo v redni proizvodnji, kot so:

- zaščita proti streli
- prenapetostna zaščita
- program piezo elektronskih siren ter piezo ploščic za telefonijo in alarme
- programa zaščitnega varovanja vozil, avtoalarmov
- programa varovanja trgovin z radijskimi sistemi
- program enosmernega klicanja po radijskih signalih - paging
- proizvodnja visokokvalitetnih monitorjev za računalnike
- vezava prehodnega v video varovanje in
- elektromedicinska izven laboratorijska oprema.

Pri uslugah nudimo:

- impulzne prenapetostne in tokovne meritve s simulacijo strele in prenapetostnih pojavov
- meritve kvalitete električne mreže in ozemljitev.

Na področju ekologije, v katero spadata tudi prva dva programa, so v razvojnih fazah piezoelektrični elementi, ultrazvočne sonde, sonde za meritev vlažnosti, senzorji vlažnosti in senzorji kisika v zraku.

Zadnje povezujemo v skupino merilnih instrumentov na enoprocesorskem principu upravljanja.

Celota naj bi omogočala meritve pretoka, tlaka, nivoja in temperature v tankih za eksplozijsko nevarna goriva.

Jedro poslovnih odločitev in preverjanja programov postavlja pet bivših direktorjev OZD, ki so večinoma opravljali vodilna in vodstvena dela v Iskri. Skupno so imeli 2000 podrejenih sodelavcev. Sedaj so solastniki podjetij, ki nastajajo iz matičnega podjetja Iskra Zaščite. Razlika med nami in drugimi privatiziranimi podjetji Iskre je, da so sodelavci Iskre Zaščite vsi začeli s povsem novimi proizvodnimi programi, brez vpeljanih proizvodov in brez začetnega kapitala.

Zagon je omogočil dolgoročni brezobrestni kredit, ki ga je dala še zadnja socialistična slovenska vlada ter dvoletna predpriprava in marketinške raziskave pred začetkom novih dejavnosti.

Razširitev razvojnih dejavnosti in novih programov pa je bila možna predvsem zaradi sredstev, ki jih je za te programe dodelilo Ministrstvo za znanost in tehnologijo države Slovenije.

REFERENCE

Iskra Zaščite je zastavila edino možno pot za uspešno inkubacijo novih programov skozi razvoj izdelkov za tuji in s tem tudi domači trg po mednarodnih predpisih. Slovenski trg je preizkusni poligon za utrjevanje kvalitete novih proizvodov in storitev. Vedno je tesno sodelovala z Iskro Varistorjem, Feriti, Elektroniko Kostanjevica, Orodjarno in Hipotom, da bi uporabila čim več domačih materialov in storitev.

Skupno izvaža svoje programe v sedem predvsem sosednjih držav v radijusu dosega z osebnim vozilom v enem dnevu, to je do 1300 km. Izvoz predstavlja cca

60% dejavnosti. Najpomembnejši poslovni partnerji so na Poljskem, v Nemčiji, Italiji in Avstriji. Med njimi so Ascom, CA & G, Telital, Philips, Mecom, PTT Poljske, Dehn & Söhne, in drugi. Domači najpomembnejši kupci so Iskra Tel, Terminali, LB, podjetja elektrodistribucije in PTT podjetja.

Prodajni marketing v tujini najuspešneje izvajajo lastni predstavniki v treh tujih državah, ker se je tak način strokovno dosti zahtevnega programa in trženja edini dolgoročno obnesel. Sklenjeni in delujoči sta dve mednarodni kooperacijski pogodbi z Italijo in Nemčijo, v pripravi sta še dve novi.

Prav kooperacijske pogodbe omogočajo hitro vstopanje na tuje trge, hitre prenose proizvodnih tehnologij ob mednarodno kontrolirani kakovosti in izpolnjevanje prodajnega asortimana ter nemoteno ZT poslovanje ob krizah sprememb deviznih tečajev.

Razvojne naloge tečejo v sodelovanju z ustanovami univerz v Ljubljani, Mariboru, Grazu, Upsali in Trstu. Dragocenejši partnerji so Inštitut Jožef Stefan, Medicinska fakulteta in Fakulteta za elektroniko in računalništvo. Razvojno sodelovanje poteka največ s kooperacijskimi partnerji v Italiji in Nemčiji in poslovnimi partnerji v vseh deželah, kjer nastopamo in na katere želimo širiti svoje sodelovanje. Tako so trenutno v razvoju za še neosvojene trge še izdelki za ruski, češki in slovaški trg, Švico, Turčijo, Švedsko in ZDA. Pomembno je sodelovanje z razvojnimi inštitutom Iskre Elementi.

Različnost sistemov in priključkov sili v širitev izdelčnega asortimana, da je prilagojen na določeno tržišče.

Vzpostavili smo tudi visokokvalitetno montažnico za elektronske naprave. V njej smo proizvajali primopredajnike za taxi službe in prenos podatkov, pager, napajalce in monitorje izključno za izvoz. Pripravljamo se za serijsko proizvodnjo elektromedicinskega programa.

Ker ima Iskra Zaščite s sestrskimi firmami skupaj stalno le 33 zaposlenih, od katerih je polovica z visoko in višjo izobrazbo, smo prisiljeni uporabljati krog kooperantov v proizvodnji. Visoko kosovno proizvodnjo, ki se ponavlja, prepuščamo preverjenim kooperantom. Vhodna, vzorčna in tipska kontrola kvalitete je v naših laboratorijih.

Prav razvejana razvojna dejavnost in dobra opremljenost je omogočila, da v asortimanu izdelujemo že prek 90 lastnih izdelkov. Brez opreme v vrednosti vsaj 300.000 DEM ni možen kakovosten razvoj in proizvodnja naprav za prenapetostno zaščito.

Z dopolnitvijo asortimana z izdelki tujih poslovnih partnerjev se naša skupna ponudba dviguje na prek 400 končnih izdelkov.

Skupne realizacije bo v letu 1992 za okrog 5 mio DEM; skupno 30% porasta vrednosti proizvodnje.

V letu 1993 načrtujemo za posamezne najnovejše programe 50% rast in vsaj isti obseg poslovanja na že dosedaj uspešnih programih.

V letu 1992 smo začeli z zastopanjem tujih firm na področju elementov in elektronskih dodatkov. Med najbolj znanimi firmami, ki jih zastopamo na slovenskem in hrvaškem tržišču so Philips s področja integriranih vezij in elementov, Thomas & Betts s področja konektorjev in večžičnih kablov, Saft mali akumulatorji, TDK switch mode močnostnimi napajalniki, ... Cilj teh povezav je tudi hitrejše razvojno prodiranje, saj prihajamo hitro do novih aplikacijskih rešitev kmalu po rojstvu novih elementov.

Med najbolj uspešnimi izdelki naj omenimo naslednje naprave: sistem zaščit za telefonske centrale, zaščite za telefonske terminale, kot so za faksimilne naprave, za brezžične telefone, za modeme, za male telefonske centrale in sekretarske garniture, za PCM, za telefonske govorilnice, omarice z zaščito.

Druga močna skupina so zaščite v energetiki in za energetske mreže. Novost predstavlja komplet zaščit za SAT in zemeljsko individualno TV ter komplet modulov zaščite za kabelsko televizijo.

Velik segment zelo neenotnih naprav je namenjen zaščiti računalnikov in industrijsko merjenih in krmiljenih procesov.

Na področju prenapetostnih zaščit opravimo letno prek 50 ur predavanj za različna strokovna področja v štirih svetovnih jezikih in treh slovanskih. Na njih vzgajamo potencialne projektante in uporabnike zaščit pred strelo in prenapetostmi.

Sodelujemo v strokovnih komisijah za pripravo predpisov s področja dejavnosti.

Poleg meritev nudimo izjemoma tudi projektivo in montažo za zaščito pred strelo in prenapetostmi.

Program monitorjev iz proizvodne kooperacije zajema 19 monitorjev za računalnike, 12 industrijskih izvedb ter izvedbe za video igre ter ustrezne kartice. Večina monitorjev je barvnih od 10, 12, 14 15, 17, 19 in 21 inčnih. ČB super VGA 14 palčni je visoke kvalitete. Prednost predstavlja domač servis podprt s proizvodnimi izkušnjami v monitorjih in stalna zaloga rezervnih delov.

Program pagerjev je namenjen kupcem z lastno lokalno mrežo. Možno je selektivno izbiranje iz telefonskih terminalov ali centralnega pozivnega mesta na brezžični način. V zadnjem primeru gre za lasten razvoj, ki je potekal na zahtevo tujega kupca, v predhodnem pa proizvodno dopolnjevanje proizvodnje za izvoz s protizdelki celotnega asortimana.

Vedno je bil moto v podjetju Iskra Zaščite, da vam lahko razvijemo in izdelamo katerikoli izdelek s področja delovanja, da le obstaja naročnik s primerno količino zanj.

Sestrška firma Iskra Medical proizvaja moderno elektro-medicinsko računalniško podprto opremo za psihorelaksacijo, presterapijo, elektrostimulacijo proti bolečinam in akupunkturni program in elektromagnetno terapijo.

Kontaktne osebe:

Vladimir Murko, gl. direktor
Otmar Zorn, predsednik UO
Marko Kordiš, dir. komerciale

Ciril Bezljaj, dir. za varn. in avtoalarmni program
Jože Jelenc, dir. Iskra Medical

Naslov matičnega podjetja:

Iskra Zaščite
Stegne 35
61000 Ljubljana
tel: 061/ 198 182, 192 868
fax: 061/ 198 138

ČLANI MIDE M

ZAPISNIK OBČNEGA ZBORA DRUŠTVA MIDE M 1992

DATUM: 1.10.92 ob 17.15

KRAJ: Portorož, hotel Bernardin

PRISOTNI: Matija Drobnič, Miran Mozetič, Miran Kramberger, Zmago Zupančič, Ivan Polanc, Anton Zalar, Borut Lavrenčič, Jasminka Čupurdija, Iztok Šorli, Saša Soklič, Marko Topič, Dejan Križaj, Milan Šval, Lidija Irmančnik Belič, Igor Belič, Igor Pompe; Jože Žakelj, Milan Slokan, Jaroslav Slučenko, Barbara Malič, Ervin Pirtovšek, Jože Gasperič, Franc Jan, Slavko Amon, Zvone Lengar, Spomenka Beseničar Kobe, Radomir Kužel;

AD 1. Dr. Ročak je pozdravil prisotne in predlagal naslednji dnevni red:

1. otvoritev občnega zbora
2. izvolitev organov občnega zbora
3. poročilo predsednika
4. poročilo člana za finance
5. poročilo OSDK
6. diskusija po poročilih
7. razrešitev organov društva
8. sprejem novih pravil društva
9. izvolitev novih organov društva
10. smernice delovanja društva za naslednje triletno obdobje

AD 2. Dr. Ročak je poseben pozdrav namenil dr. M. Komacu iz MZT, ki ga je tudi predlagal za predsedujočega del. predsedstva Skupščine, za podpredsednika pa je predlagal dr. Marijo Kosec in dr. R. Ročaka, za zapisnikarja S. Jagodic, za overovatelja M. Slokana in M. Krambergerja.

Predlagane predloge je Skupščina soglasno sprejela, prav tako tudi predlog za javno glasovanje pri izvolitvi novih organov Društva.

AD 3. Predsednik društva R. Ročak je podal poročilo o delovanju le - tega v zadnjem letu.

AD 4. Finančno poročilo je ob odsotnosti A. Rožaj Brvar prebral R. Ročak.

AD 5. Poročilo OSDK je ob odsotnosti Franca Čuka prebral Ervin Pirtovšek.

AD 7. Po krajši diskusiji je predsedujoči predlagal razrešitev dosedanjih organov društva, ki jih je Skupščina soglasno razrešila.

AD 8. R. Ročak je predlagal sprejem novih pravil Društva, ki jih predlaga bivši IO (nova pravila objavljamo v tej številki Informacij MIDE M)

GLAVNE SPREMEMBE: Sekretariat naj bi imel namesto dosedanjih 15 le 5 članov, nadzorni odbor naj bi se zmanjšal s 5 na 3 člane.

Predlagano je, da se po 28. členu Statuta uvede nov člen 29. in sicer: "IO lahko deluje v sestavi, v kateri so predstavniki strokovnih in regionalnih sekcij."

Iz starega Statuta naj se črtajo vsi členi, vezani na veljavne predpise pred osamosvojitvijo.

Vsi preostali členi se prenumerirajo.

Predlog g. Amona, da se termin "tovariško razsodišče" spremeni v "častno razsodišče", je bil soglasno sprejet.

R. Ročak predlaga sprejem novega Statuta, g. Gasperič naj napravi korekturo.

Z glasovanjem je bil Statut soglasno sprejet s pripombo, da se morebitne nove zakonske določbe dodajo in se na naslednjem občnem zboru potrdijo.

AD 9. M. Kosec prebere kandidatno listo:

IO NADZORNI ODBOR

S. Amon	F. Čuk
R. Babič	E. Pirtovšek
F. Jan	S. Solar
M. Komac	

M. Kosec	ČASTNO RAZSODIŠČE
M. Kramberger	
M. Lempel	B. Lavrenčič
I. Pompe	A. Rožaj - Brvar
M. Slokan	M. Gojo
I. Šorli	

D. Šulek	PREDSEDNIK
B. Zajc	
L. Trontelj	R. Ročak
R. Ročak	

M. Gliha
ČASTNI PREDSEDNIK
J. Dobeic

Predsedujoči je predlagal glasovanje o predlogu za izvolitev predsednika, predsednika Častnega razsodišča, Nadzornega odbora in IO.

Vse predloge je Skupščina soglasno sprejela.

AD 10. Razvila se je diskusija o problematiki raziskovalnega polja v okviru MZT in društva MIDEM.

Sprejet je bil sklep, da Društvo MIDEM na MZT pošlje dopis o potrebi po sistematičnem financiranju društva MIDEM kot sestavnega dela polja. Obveljal je predlog, da to financiranje gre na račun tistih podjetij, ki jim MZT odobri financiranje raziskovalno razvojnih - projektov:

do 4 FTE	1000 USD
nad 4 FTE	2000 USD

Za izvedbo tega sklepa sta zadolžena dr. M. Komac in dr. R. Ročak.

Staša Jagodic

PRAVILA STROKOVNEGA DRUŠTVA ZA MIKROELEKTRONIKO, ELEKTRONSKE SESTAVNE DELE IN MATERIALE

I. SPLOŠNE DOLOČBE

Člen 1

STROKOVNO DRUŠTVO ZA MIKROELEKTRONIKO, ELEKTRONSKE SESTAVNE DELE IN MATERIALE (Midem) združuje strokovnjake s področja raziskav, razvoja in proizvodnje mikroelektronskih in drugih elektronskih sestavnih delov in materialov.

Člen 2

Društvo Midem nadaljuje dejavnost strokovne sekcije ETAN-a za elektronske sestavne dele, mikroelektroniko in materiale.

Društvo je lahko član drugih strokovnih zvez v domovini in tujini.

Člen 3

Društvo Midem je pravna oseba.
Sedež društva je v Ljubljani.

Člen 4

Dejavnost Midem-a je javna. Člani društva imajo pravico vpogleda v zapisnike vseh sej organov društva, lahko pa sejam tudi prisostvujejo. Na sejah so lahko navzoči tudi predstavniki javnosti. O aktivnostih obvešča društvo

svoje člane z društvenim glasilom in drugimi sredstvi javnega obveščanja. Za zagotovitev javnosti dela je odgovoren predsednik Midem-a.

Člen 5

Društvo Midem ima pečat okrogle oblike z besedilom na obodu: Strokovno društvo za mikroelektroniko, elektronske sestavne dele in materiale, v sredini pa: Ljubljana.

Člen 6

Društvo Midem zastopa in predstavlja predsednik ali v njegovi odsotnosti eden od podpredsednikov. Za izvršilni odbor sta podpisnika predsednik in tajnik (v odsotnosti predsednika eden od podpredsednikov). Dokumente v zvezi s finančnim poslovanjem podpisuje predsednik in član izvršilnega odbora, odgovoren za finance.

II. NAMEN IN NALOGE

Člen 7

Namen društva je združevanje, informiranje in strokovno izpopolnjevanje strokovnjakov s področja raziskav, razvoja, proizvodnje in uporabe mikroelektronskih monolitnih in hibridnih vezij, diskretnih polprevodniških

elementov, pasivnih elektronskih delov, elektronk, senzorjev, sončnih celic, baterij, tiskanih vezij, elektromehanskih elementov, kablov, optoelektronskih elementov in drugih sestavnih delov za elektroniko ter materialov, ki so potrebni za izdelavo navedenih elektronskih elementov in mikroelektronskih vezij.

Društvo uresničuje svoj namen z naslednjimi nalogami in cilji:

- spremlja moderne svetovne dosežke s področja svojega delovanja in prenaša informacije svojim članom
- podpira interdisciplinarno znanstveno-strokovno dejavnost in metodologijo reševanja strokovnih problemov
- na področju svoje dejavnosti sodeluje pri oblikovanju javnega strokovnega mnenja o tehnoloških in gospodarskih problemih
- podpira in organizira različne oblike strokovnega izpopolnjevanja svojih članov
- organizira strokovna in znanstvena posvetovanja
- podpira in organizira založniško dejavnost v skladu z veljavni mi predpisi s tega področja
- sodeluje z gospodarskimi organizacijami pri reševanju posameznih strokovnih problemov
- sodeluje pri pripravi programov raziskav, razvoja in proizvodnje s področja svojega delovanja
- sodeluje pri oblikovanju strokovne terminologije s sorodnimi društvi
- sodeluje pri standardizaciji s kvalificiranimi ustanovami
- goji zavest o kvaliteti proizvodnje in izdelkov s področja delovanja svojih članov
- organizira komisije za posamezna področja delovanja
- organizira strokovne sekcije po potrebi
- razvija med članstvom metode tovariškega in timskega dela.

III. ČLANSTVO

Člen 8

Član strokovnega društva Midem je lahko vsakdo, ki sprejme ta pravila.

Član je lahko tudi tuj državljan, če izpolnjuje navedeni pogoji.

Člen 9

O sprejetju novih članov v društvo Midem odloča Izvršilni odbor na podlagi prijavnice.

O sprejetju člana v društvo mora Izvršilni odbor odločiti na svoji prvi naslednji seji in sklep sporočiti v 15 dneh.

Eventualne pritožbe na odločitev Izvršilnega odbora rešuje občni zbor.

Člen 10

Na predlog izvršilnega odbora imenuje občni zbor Midema izmed sebe častne in zaslužne člane.

Člen 11

Pogoji za imenovanje častnega oziroma zaslužnega člana so navedeni v posebnem pravilniku.

Člen 12

Pravice članov so:

- da volijo in so voljeni v organe društva
- da sodelujejo v vseh akcijah društva
- da razpravljajo o delovanju organov društva in predlagajo ukrepe za izboljšanje njihovega delovanja
- da sodelujejo na sejah organov društva
- da imajo vpogled v vse dokumente društva.

Člen 13

Dolžnosti članov so:

- da delujejo v skladu s temi pravili
- da aktivno sodelujejo pri doseganju ciljev in izvrševanju nalog društva
- da tovariško in strokovno sodelujejo
- da redno plačujejo članarino.

Člen 14

Članstvo v društvu preneha:

- s prostovoljnim izstopom s pisno izstopno izjavo
- zaradi neplačane članarine 1 leto, kljub pismenemu opozorilu
- z izključitvijo zaradi grobega kršenja pravil (odloči disciplinsko sodišče)
- s prenehanjem delovanja društva
- s smrtjo.

IV. ORGANI

Člen 15

Organi Strokovnega društva za mikroelektroniko, elektronske sestavne dele in materiale Midem so:

- 1 - Občni zbor - (OZ)
- 2 - Izvršilni odbor - (IO)
- 3 - Nadzorni odbor - (NO)
- 4 - Častno razsodišče - (ČR)
- 5 - Sekretariat - (SE).

Člen 16

Mandatna doba vseh organov in funkcij je tri leta z možnostjo ponovne izvolitve.

1 - Občni zbor

Člen 17

Občni zbor je najvišji organ društva, ki ga sestavljajo vsi člani. Občni zbor je lahko reden ali izreden.

Redni občni zbor je vsako leto in ga sklicuje izvršilni odbor.

Občni zbor voli organe društva vsako tretje leto.

Člen 18

Izredni občni zbor lahko skliče izvršilni odbor na svojo pobudo, na zahtevo nadzornega odbora ali na zahtevo ene tretjine članov.

Člen 19

Dnevni red izrednega občnega zbora lahko zajema samo tematiko, zaradi katere je bilo zahtevano sklicanje.

Člen 20

Občni zbor sklepa polnopravno, če je prisotna več kot polovica članstva. Če v času sklica občni zbor ni sklepčen, je treba počakati pol ure, nakar se sklepa z večino prisotnih članov.

Člen 21

Občni zbor začne predsednik društva in ga vodi, dokler ni izvoljeno delovno predsedstvo. Le-tega volijo člani iz svoje srede. Občni zbor izvoli zapisnikarja, dva overitelja zapisnika, tri člane komisije za sklepe in tri člane kandidacijske ter volilne komisije in druge delovne organe.

Občni zbor posluje po posebnem poslovniku.

Člen 22

Volitve in glasovanja so načeloma tajna, v kolikor občni zbor ne določi drugače. O prenehanju delovanja društva je glasovanje samo tajno in je potrebno, da za sklep glasujeta dve tretjini vseh članov.

Člen 23

Občni zbor ima naslednje naloge:

- a - sprejema, spreminja in dopolnjuje pravila
- b - imenuje častne in zaslužne člane
- c - dokončno odloča o izključitvi članov
- č - daje smernice in potrjuje program izvršilnega odbora
- d - obravnava poročila izvršilnega in nadzornega odbora
- e - obravnava in odobrava finančno poročilo in sprejema zaključni račun
- f - voli in razrešuje predsednika društva, člane izvršilnega in nadzornega odbora, častnega razsodišča in disciplinskega sodišča
- g - sprejema program dela
- h - rešuje pritožbe na odločitve izvršilnega odbora in disciplinskega sodišča
- i - pooblasti izvršilni odbor, da opravlja funkcijo delegacije
- j - sklepa o prenehanju delovanja, oz. združitvi društva z drugo strokovno organizacijo
- k - določa višino članarine.

Člen 24

Sklepi občnega zbora so obvezujoči za vse člane. O delu občnega zbora se piše zapisnik, ki ga podpišejo predsednik delovnega predsedstva, zapisnikar in dva overitelja.

Člen 25

Predsednik zastopa društvo in je odgovoren za njegovo delo. Sklicuje seje izvršilnega odbora in sekretariata ter izpolnjuje naloge, določene s temi pravili.

2 - Izvršilni odbor

Člen 26

Izvršilni odbor je organ društva Midem ter šteje 15 članov, izvoljenih na občnem zboru.

Izvršnemu odboru predseduje predsednik društva, ki ga sklicuje na seje najmanj dvakrat letno. Dnevni red mora biti sporočen vsaj 14 dni pred sejo. Vsak član ima pravico, da najkasneje 7 dni po sprejemu dnevnega reda predloži dopolnitev.

Sklep izvršilnega odbora je sprejet, če zanj glasuje vsaj polovica njegovih članov ali pa dvotretjinska večina prisotnih na seji.

Člen 27

Izvršilni odbor je odgovoren občnemu zboru.

Člen 28

Izvršilni odbor ima naslednje naloge in pravice:

- odgovarja za izpolnjevanje sklepov občnega zbora
- pripravlja program delovanja za triletno obdobje, ki ga poda v odobritev občnemu zboru
- poroča občnemu zboru o delovanju društva
- pripravlja finančni plan in zaključni račun letnega poslovanja
- predlaga občnemu zboru nabavo ali odtujitev društvene imovine
- ustanavlja komisije in sekcije
- pripravlja pravilnike in imenuje predsednike teh komisij in sekcij ter koordinira njihovo strokovno delo
- tolmači ta Pravila
- sklicuje redni ali izredni občni zbor
- potrjuje letni strokovni program in daje smernice za aktivnosti na posameznih področjih delovanja
- odloča o članstvu v društvu Midem
- odvzema članstvo zaradi neplačane članarine
- ustanavlja sekcije kot delovna telesa glede na potrebe delovanja društva
- potrjuje organizacijske in strokovne odbore za posamezne manifestacije
- voli in razrešuje podpredsednike in tajnika društva ter člana, odgovornega za finance
- voli člane sekretariata

- potrjuje uredniški odbor in glavnega urednika glasila društva (Informacije) ter časopisni svet.
- potrjuje sklepe sekretariata in njegova letna poročila.

Člen 29

Izvršilni odbor lahko deluje v razširjeni sestavi, v kateri so tudi predstavniki strokovnih in regionalnih sekcij, ki jih le-ta potrdi.

3 - Sekretariat

Člen 30

Za uspešno izvajanje tekočih zadev med sejami izvršilnega odbora le-ta izvoli sekretariat, ki ga sestavljajo predsednik društva, oba podpredsednika, tajnik in član, odgovoren za finance.

Člen 31

Seje sekretariata sklicuje predsednik, po pooblastilu pa tudi podpredsednik. Seje se sklicujejo po potrebi. Sekretariat je lahko razširjen tudi s predsedniki komisij, ki se ustanovijo po potrebi.

Člen 32

Sekretariat rešuje vsa tekoča vprašanja s področja delovanja društva v okviru sklepov in smernic in odgovarja izvršilnemu odboru.

Člen 33

Sekretariat sklepa z večino vseh njegovih članov ali pa z dvotretjinsko večino prisotnih na seji. Sekretariat predlaga:

- imenovanje častnih in zaslužnih članov
- komisije in
- sekcije ter predsednike le-teh
- organizacijske in strokovne odbore manifestacij
- časopisni svet, uredniški odbor in glavnega urednika glasila Midem
- predlaga honorarje in druge tekoče finančne zadeve

ter pripravlja:

- letna poročila, ki jih potrjuje izvršilni odbor, ter
- pravilnike

4 - Nadzorni odbor

Člen 34

Občni zbor izvoli nadzorni odbor. Sestavljajo ga trije člani, ki iz svoje srede izberejo predsednika.

Člen 35

Nadzorni odbor nadzoruje celotno delovanje društva in izvajanje sklepov njegovih organov, zakonskih predpisov in določil, kontrolira finančno poslovanje in pravilnost gospodarjenja. Nadzorni odbor o tem poroča občnemu zboru, kateremu je odgovoren ter predlaga razrešnico organov društva.

O pregledu letnega zaključnega računa poroča tudi izvršilnemu odboru. Člani nadzornega odbora imajo na

vseh sejah organov društva le posvetovalno pravico in ne glasovalne. O vseh sejah morajo biti vnaprej in pravočasno obveščeni. Člani nadzornega odbora ne smejo biti člani izvršilnega odbora in sekretariata.

5 - Častno razsodišče

Člen 36

Častno razsodišče rešuje spore med člani. Občni zbor izvoli častno razsodišče s tremi člani. Med seboj izberejo predsednika. Razsodišče ima tajnika, ki ni član razsodišča. O svojem delu vodijo zapisnik. Sklepi razsodišča morajo biti sprejeti soglasno. V primeru, da se le-to ne doseže, sklepa o zadevi občni zbor.

Pritožbe na sklepe razsodišča rešuje občni zbor, sklepi le-tega pa so dokončni.

Častno razsodišče odgovarja za svoje delo občnemu zboru.

Člen 37

O reševanju posameznih zadev izda častno razsodišče ustrezne odločbe in sestavi zapisnik. Zoper odločbo častnega razsodišča je mogoča pritožba na občni zbor društva v 15 dneh po prejemu odločbe. Odločitev občnega zbora je dokončna.

V. MATERIALNO - FINANČNO POSLOVANJE DRUŠTVA

Člen 38

Materialna sredstva strokovnega društva so:

- a) premoženje - aktivna imovina
- b) sredstva na podlagi sporazumov
- c) podpora in darila
- d) prihodek, ustvarjen od publikacij, posvetovanj, seminarjev in drugih aktivnosti društva v okviru zakonskih določil in teh pravil
- e) članarine.

Člen 39

Premoženje društva sestavljajo vse premičnine in nepremičnine, ki so njegova last in so vpisane v inventarno knjigo. S premoženjem društva upravlja izvršilni odbor.

Premičnine se lahko nakupijo ali odtujijo le na podlagi sklepa seje izvršilnega odbora. O nakupu ali odtujitvi nepremičnin društva odloča občni zbor.

Člen 40

Materialno in finančno poslovanje mora biti v skladu z načeli, ki veljajo za društva ter z veljavnimi predpisi.

Materialna in finančna evidenca se opravlja po načelih blagajniškega in materialnega poslovanja.

Materialno-finančno poslovanje izvaja društvo na temelju vsako letnega finančnega plana v okviru zakonskih določil.

Vsak član društva lahko zahteva vpogled v finančno in materialno poslovanje.

Finančno poslovanje poteka preko tekočega računa pri SDK.

Finančne listine podpisujeta predsednik in član IO, odgovoren za finance.

VI. DELOVNA SKUPNOST

Člen 41

Za pripravljanje in izvrševanje strokovnih, finančnih, tehničnih in drugih nalog ima društvo lahko delovno skupnost. Formiranje delovne skupnosti, pravice in dolžnosti članov le-te se regulira jo s sporazumom, ki je v skladu z zakonom in ga potrdi izvršilni odbor.

Člen 42

Sredstva za delovanje delovne skupnosti se določajo in zagotovijo iz sredstev društva z letnim planom.

Člen 43

Delovna skupnost, ki jo vodi tajnik društva, ki ga imenuje izvršilni odbor, ni pravna oseba.

Člen 44

Organizacijo in delo delovne skupnosti določa splošni akt, ki ga sprejme izvršilni odbor.

VII. SPLOŠNE DOLOČBE

Člen 45

Delovanje društva preneha:

- a) s sklepom občnega zbora z 2/3 večino članov
- b) z odločbo pristojnega upravnega organa o prepovedi delovanja
- c) če pade število članov pod 10.

Člen 46

Če društvo Midem preneha delovati, preide njegova imovina v upravljanje Elektrotehniške zveze Slovenije do ponovne ustanovitve društva za mikroelektroniko, elektronske sestavne dele in materiale ali podobnega strokovnega društva.

Člen 47

Spremembe in dopolnitve teh pravil se izvajajo po istem postopku, kot je določeno za njegovo sprejetje.

Člen 48

Ta pravila so bila sprejeta na občnem zboru dne 01.10.1992.

*Tajnik: mag. Meta Limpel, dipl.ing.
Predsednik: dr. Rudi Ročak, dipl.ing.*

Skrbni bralec je verjetno že opazil spremembe pri članih organov društva MIDEM, kakor tudi pri članih Uredniškega odbora in Časopisnega sveta.

Zahvaljujem se vsem, ki so v prejšnjem mandatnem obdobju kakorkoli prispevali k rasti časopisa Informacije MIDEM.

Še posebej se zahvaljujem gospodu Jožetu Jekovcu, ki je kot član Uredniškega odbora skrbel za urejanje bibliografske podobe časopisa in zajemanje strokovnih člankov v domačo bazo podatkov Iskra SAIDC-el.

Novima članoma Uredniškega odbora gospodu Milošu Kogovšku in gospe Meti Limpel pa želim uspešno in plodno delo v naši sredini, saj sem prepričan, da bosta s svojimi bogatimi izkušnjami pripomogla k realizaciji našega načrta internacionalizacije društva in časopisa.

**Glavni in odgovorni urednik
Iztok Šorli**

STATUTE OF PROFESSIONAL SOCIETY FOR MICROELECTRONICS, ELECTRONIC COMPONENTS AND MATERIALS

I. GENERAL RULES

article 1

SOCIETY FOR MICROELECTRONICS, ELECTRONIC COMPONENTS AND MATERIALS (MIDEM) associates experts from the field of microelectronics and other electronic components and materials researching, development and production.

article 2

Society MIDEM pursues the activity of professional section ETAN for microelectronics, electronic components and materials.

It can be member of other professional associations within the country or abroad.

article 3

Society MIDEM is a corporate body.

It is located in Ljubljana.

article 4

MIDEM's activity is public. Members of this society are entitled to insight into all Society bodies sessions minutes and can also take part at the sessions. Representatives of the public can also attend them. MIDEM informs its members about its activity by means of the Society Journal and by means of other public information media. It is the MIDEM's president who is responsible for the publicity of its work.

article 5

MIDEM has a stamp of circular form with the inscription on its circumference: Professional Society for Microelectronics, electronic components and materials, while inside it is written: Ljubljana.

article 6

MIDEM is represented by its President or in his absence by one of Vice-Presidents. Signatories to Executive Board are the President and the Secretary (in President's absence one of the Vice-Presidents). Financial operations related documents are signed by the President and one member of the Executive Board who is in charge of finances.

II. SCOPE AND DUTIES

article 7

Purpose of the Society is associating, informing and professional training of experts in the field of research, development, production and use of monolith and hybrid microelectronic circuits, discrete semi-conductor elements, passive electronic parts, valves, sensors, solar cells, batteries, printed circuits, electromechanic parts, cables, optoelectronic elements and other electronic components and materials that are needed for the production of the above electronic elements and microelectronic circuits production.

Its purpose is being realised by the following duties and aims:

- following of the latest achievements in the field of its activity and informing of its members
- supporting of interdisciplinary scientific-professional activity and of professional problems resolving methodology
- collaborating in public opinion creation on technological and economic problems concerning its scope of activity
- supporting and organizing of different forms of professional accomplishing training for its members
- organizing of professional and scientific conferences
- supporting and organizing of publishing activity in accordance with this sphere's rules
- collaborating with economic organisations on resolving particular professional problems
- collaborating in preparing of programmes in the spheres of microelectronics research, development and production
- collaborating with similar Societies on professional terminology creation
- collaborating with qualified institutions on standardisation
- fostering of awareness about the Society scope of activity production quality
- organizing of committees for particular spheres of activity
- organizing of professional sections if needed
- stimulating of team method work between its members

III. MEMBERSHIP

article 8

Member of the Society can be anyone who is willing to submit to the rules of this statute.

Foreign citizen can also be its member providing the above condition is met.

article 9

It is the Executive Board who takes decision about accepting of new members on the base of their registration forms.

The decision about new members' acceptance is to be taken by the Executive Board during its first next session, while the respective decision is to be communicated within 15 days.

Eventual complaints to the decision of the Executive Board are to be resolved by the General Meeting.

article 10

The MIDE M General Meeting on the initiative of the Executive Board nominates honorary members among the Society members.

article 11

Conditions to be met for nominating of honorary members are specified in a special rule-book.

article 12

Rights to which Society members are entitled to are the following:

- to vote and to be voted into Society boards
- to take part in all Society activities
- to discuss about Society boards operating and to suggest measures to be taken for better efficiency
- to take part in Society boards sessions
- to have an insight into all Society documents.

article 13

Society members commitments are the following:

- to act in accordance with this statute
- to take active part in achieving of Society objects and in implementing of its duties
- to act like a good colleague
- to regularly pay the membership fee.

article 14

The Society membership is put to a stop in the following cases:

- by a voluntary resignation put in written
- due to 1 year non-paid membership fee inspite written reminders
- by expulsion as a consequence of severe violation of rules (decided by Disciplinary Court)
- by Society liquidation
- by member's decease.

IV. SOCIETY BODIES

article 15

Professional Society MIDE M for microelectronics, electronic components and materials Bodies are:

1. General Meeting (občni zbor-OZ)
2. Executive Board (izvršilni odbor-IO)
3. Supervisory Board (nadzorni odbor-NO)
4. Court of Honour (častno razsodišče - ČR)
5. Secretariate (SE)

article 16

All functions and mandate duration is being 3 years by the possibility of reelection.

1. General Meeting

article 17

General Meeting is a supreme Society Board being composed of all its members. Its sessions can be ordinary or extraordinary.

Ordinary General Meeting session is summoned by the Executive Board once every year.

Society Boards are being voted by the General Meeting every 3 years.

article 18

Extraordinary General Meeting session can be summoned on the initiative of the Executive Board, of the Supervisory Board and on demand of one third of members.

article 19

The Extraordinary General Meeting session order of the day can only treat the subject-matters that were the reason for the session to be summoned.

article 20

The General Meeting quorum is made by more than half members. Providing that when the session has been summoned this quorum is not made it is necessary to wait half an hour and afterwards decisions are to be adopted by the majority of the members that have been present.

article 21

General Meeting is opened and presided by its president until Chair has been elected. This latter is being elected from the members themselves. General Meeting also elects the recording secretary, two verifiers of the minutes, 3 members of the decisions-taking committee and 3 members of the nominating and vote-counting committees.

It is managed according to special rules of procedure.

article 22

In principle there is a secret ballot if not differently decided by the General Meeting. For Society existence liquidation there is only a secret ballot and two-thirds of all members majority is needed for a conclusion to be adopted.

article 23

The General Meeting's duties are the following:

- a) - to approve, modify and accomplish rules
- b) - to nominate honorary members
- c) - to take final decisions on members' expulsion
- č) - to give guidelines and to approve the Executive Board programme
- d) - to treat the reports of the Executive and Supervisory Boards
- e) - to discuss and to approve the financial report and to adopt Annual Financial Statement
- f) - to elect and to relieve the Society president, members of Executive and Supervisory Board, of Court of Honour and of Discipline Court
- g) - to adopt work programme
- h) - to resolve complaints to Discipline Court and Executive Board decisions
- i) - to authorize the Executive Board to function as a delegation
- j) - to take decisions about Society operating liquidation or merging with other professional organisation
- k) - to define the amount of the membership fee.

article 24

General Meeting conclusions are to be respected by all its members. On General Meeting work minutes is drawn that is signed by the Chair's president, by the recording secretary and two minutes' verifiers.

article 25

President represents the Society and is responsible for its work. He summons the Executive Board and Secretariate sessions and performs duties specified by their rule-books.

2 - Executive Board

article 26

Executive Board being one of the Society bodies is composed of 15 members that have been elected on General Meeting session.

It is presided by the Society president who summons its sessions at least twice a year. Its order of the day has to be communicated at least 14 days prior to the session. Each member is entitled to present his amendment within 7 days that have followed the adoption of the order of the day at latest.

The Executive Board conclusion is adopted if at least half of its members or two-thirds of the members attending the session have voted for it.

article 27

Executive Board is to report to General Meeting for its work.

article 28

Executive Board has the following duties and rights:

- is responsible for the General Meeting conclusions implementation
- prepares operating programme for the period of three years that is to be approved by the General Meeting
- reports to General Meeting about functioning of Society
- prepares financial plan and Annual Financial Statement
- proposes to the General Meeting purchase or withdrawal of property
- sets up committees and sections
- prepares regulations and nominates presidents of the above committees and sections and coordinates their professional work
- interprets the above regulations
- summons ordinary and extraordinary sessions of General Meeting

- approves annual professional programme and gives guidelines for activities in particular spheres of operating
- takes decisions about MIDE M's membership
- expells members due to non-paid membership fee
- sets up sections as operating bodies in view of the Society activity needs
- approves organisational and professional boards for particular manifestations
- elects and releives the Vice-president, the secretary and the member who is is charge of finances
- elects members of the secretariate
- approves editorial board and chief editor of the Society Journal (Informacije) as well as its publishing council
- approves secretariate conclusions and its annual report

article 29

Executive Board can work in extended number of its members in which also the representatives of professional and regional sections are present.

3 - Secretariate

article 30

For efficient execution of current matters during the Executive Board sessions this latter elects the Secretariate that is composed of the society president, two Vice-presidents, secretary and one member responsible for finances.

article 31

Secretariate sessions are summoned by the president or by dully authorized Vice-president according to need. Secretariate can be optionally extended by committees presidents.

article 32

Secretariate is to resolve all current matters from the field of Society activity within the frame of Executive Board decisions and guidelines. It is to report to the Executive Board for its work.

article 33

Secretariate takes decisions by the majority of all secretariate members or by the 2/3 majority of members attending the session.

Secretariate suggests:

- members of honour nomination

- committees and sections and their respective presidents
- organizational and professional manifestation boards
- publishing council, editorial board and chief editor of the MIDE M journal
- the rate of fees and other current financial matters

and prepares:

- Annual Reports that are to be approved by the Executive Board
- regulations.

4 Supervisory Board

article 34

Supervisory Board is elected by General Meeting and is composed of three members who are to elect their president among themselves.

article 35

Supervisory Board supervises global Society operating and its boards conclusions implementation, application of legal regulations and specifications. It inspects financial operations and managing regularity. It is to report on all these matters to General Meeting and suggests particular bodies to be releived.

It is to report to Executive Board on Annual Financial Statement review. During all Society boards sessions the Supervisory Board members have only a consultative right and not the right of suffrage. They are to be informed in advance on all bodies sessions. Supervisory Board members cannot be members of the Executive Board and of the Secretariate.

5. Court of Honour

article 36

Court of Honour is to resolve disputes among Society members. It is elected by General Meeting and is composed of three members who elect their president among themselves. Court of Honour has its secretary who is not its member. Minutes is drawn on their work. This court conclusions are to be adopted by common consent. If this latter is not reached the matter is to be decided by General Meeting.

Complaints to this court conclusions are resolved by General Meeting and are final.

Court of Honour is to report to General Meeting for its work.

article 37

Court of Honours issues appropriate decisions referring to resolving of particular cases and draws minutes. A complaint against Court of Honour decision can be lodged to Society General Meeting within 15 days after receipt of the decision. General Meeting decision is final.

V. Material and Financial Operations

article 38

Society material resources are the following:

- a) property - assets
- b) resources on the basis of agreements
- c) supports and donations
- d) revenues realised by publications, conferences, seminars and other Society activity within the frame of legal regulations
- e) membership fees.

article 39

Society property is represented by all fixed assets and movable goods that are its property and are registered into inventory list. It is the Executive Board that manages the property.

article 40

Material and financial transactions are to be in accordance to rules that are in force for Societies.

Accounting Records are kept in compliance with Cash and Material operating principles.

Material and financial operations are managed on the basis of yearly adopted Financial Plan.

Each Society member is entitled to insight into material and financial operations.

Financial transactions are executed through the current account opened at Social Accountancy Service (SDK).

VI. Administration Service

article 41

Society can dispose of Administration Service for preparing and implementing of professional, financial, technical and other duties. Administration Service creating, its members rights and duties are regulated by agreement that is to be in accordance with legal regulations and is to be approved by the Executive Board.

article 42

Administration Service operating means are determined and ensured from the Society resources by the Annual Plan.

article 43

Administration Service is managed by Secretary who has been nominated by Executive Board and is not a corporate body.

article 44

Administration Service work and organisation are given by Enactment that is to be adopted by the Executive Board.

VII. GENERAL STIPULATIONS

article 45

Society operating is put to an end in the following cases:

- a) by the General Meeting conclusion adopted by 2/3 members majority
- b) by competent administration authority decision on its operating inhibition
- c) if number of members goes below 10

article 46

Providing that Society MIDE M is put to liquidation its property managing is to be taken over by Elektrotehniška zveza Slovenije until a new Society for microelectronics, electronic elements and materials or some similar professional Society will have been established.

article 47

Modifications and amendments to this statute are to be adopted according to same procedure that is foreseen for this statute adoption.

article 48

This Statute was adopted during the General Meeting session that took place on 01.10.1992.

Secretary: Meta Limpel, M.Sc.

President: Rudi Ročak, D.Sc.

VESTI

EVROPSKI PATENTI

U "Evropskoj zajednici" dogovoreno je ustanoviti instituciju "Evropski patent". Za cijelo područje zajednice postojati će jedna ustanova za odobravanje i registraciju патената, EPO (European Patent Office) u München-u, SR Njemačka. Patent će pokrivati sve zemlje Evropske zajednice i one zemlje van zajednice koje ratificiraju "Eurpoean Patent Convention". Evropski patent će, u odnosu na nacionalne patente, pružati nekoliko prednosti: jednostavnost, ekonomičnost i zakonsku sigurnost. Jednostavnost se očituje u tome da se jednom prijavom patenta, na jednom jeziku, dobiva zaštita u cijeloj zapadnoj Evropi. Taksa za "Evropski patent" biti će niža od takse koju bi trebalo platiti za patentnu zaštitu u tri zemlje. U tome se očituje ekonomičnost patenta. Zakonska sigurnost "Evropskog patenta" proističe iz male vjerojatnosti da bi mogao biti odobren patent za nešto što je već negdje patentirano. Prije prihvatanja patenta pretražuje se banka podataka koja sadrži više od 26 milijuna dokumenata. Evropski patent, velika banka podataka kod EPO-a i brza dostupnost tih podataka pomoći će smanjivanju paralelnih razvojnih radova u Evropi. Prema podacima iz EZ-a sada "ponovna

otkrića" koštaju evropsku industriju do 24 milijarde \$ godišnje.

Institucijom patenta EZ-a neće se ukinuti već postojeći patenti. I dalje će biti moguće zatražiti nacionalni patent u bilo kojoj zemlji Zajednice ili zatražiti internacionalni patent u nekoj od 49 zemalja, koje su članice "Patent Cooperation Treaty".

Postupak za dobivanje patenta Evropske Zajednice sličan je postupcima za dobivanje nacionalnih патената. Patent mora zadovoljiti neke osnovne kriterije. Patent mora predstavljati neku novost; mora prikazati neko otkriće ili novi princip i mora biti industrijski primjenjiv. Prijava se podnosi na jednome od tri zvanična jezika EPO-a: engleskom, francuskom ili njemačkom.

Više informacija o patentu Evropske zajednice može se dobiti na adresi: European patent Office, Erhardstrasse 27, D-8000 München 2, SR Njemačka. Telefon 9949 89-23990, fax 9949 89-2399- 2850.

TEHNOLOŠKE NOVOSTI

Prenosimo čitaocima našega časopisa nekoliko informacija o tehnološkim novostima u svijetu. Informacije su prikupljene u različitim stručnim časopisima.

THIN FILM FOUNDRY OFFERS SUPERCONDUCTORS

Stepping out of research papers and into reality, a first-of-its-kind foundry now offers thin-film high-temperature superconductor films. Superconductor Technologies Inc., Santa Barbara, Calif., will fabricate these films on 2-in. wafers. The company implemented various functions, such as microwawe phase shifter that demonstrates linear performance up to 36 W (developed as part of a contract with the Electronic Warfare division of Wright Laboratory at the Wright-Patterson Air Force Base). To handle the high power, the firm created a novel conductor configuration that prevents damage to the thin films. Other devices fabricated with the 77K thin films include a Schiffman phase detector and delay lines. The phase shifter demonstrated an $86^{\circ} \pm 2^{\circ}$ phase effect over a 2.4-GHz bandwidth at 6.5 GHz, and its insertion less than 0.1 dB at 77K. The superconducting thin films consist of thallium compounds on a lanthium-

aluminum-oxide (LaAlO_3) substrate. Foundry services can create 0.01 or 0.02-in.-thick films. Prices range from \$175 for a 1-cm² gold film, to over \$11,000 for a 2-in. double-sided wafer with the thallium thin films. Custom fabrication services like patterning start at \$250 for a 1-cm² chip. Design kits containing substrates and even a cold test fixture are available as well. Off-the-shelf resonators with frequencies of 2.3 or 5 GHz and Qs of greater than 10,000 or 8000, respectively, are available for evaluation and sell for \$1500 each. Contact Jim Bybokas at (805)683-7646.

8-BIT MICROCONTROLLERS HOLD 2.25-KBYTE RAM

Fewer external components and lower cost can be achieved with two 8-bit microcontrollers featuring expanded memory. The SAB80C515A and SAB80C517A from Siemens AG offer 1.25 and 2.25 kbytes of ram, respectively. The Munich-based firm claims that they contain more memory than other 8051-compatible microcontrollers. Also, a 32-kbyte program memory has been integrated in the corresponding SAB83Cd515A-5 and SAB83C517A-5 ROM versions. Now available, the

devices use a maximum clock frequency of 18 MHz, which increases CPU performance by 50%. In the 80C515A, fast computation is supported by the integrated 32-bit multiply/divide unit-two 32- and 16-bit operands can be divided in 4 μ s-and by eight data pointers. The controllers come with intelligent and powerful integrated peripheral modules. A 10-bit analog-to-digital converter offers a resolution of about 5 mV with either 8 or 12 input channels. The 80C515A incorporates three 16-bit-wide timers for digital-signal generation. Another first is a hardware power-down mode that's switched on and off via a control line. In this mode, the ports go to the tristate condition to further reduce consumption. A programmable watchdog time reensures reliable CPU operation. The clock supply is monitored by an oscillator watchdog.

HBT SILICON TRANSISTOR OPERATES UP TO 53GHz

A silicon-based heterojunction bipolar transistor (HBT) that can handle frequencies up to 53 GHz has been developed by the Daimler-Benz Research Laboratories, the Ulm-based research facilities of the major German producer Mercedes-Benz cars and trucks. According to the company, only IBM Research Labs in Yorktown Heights, NY., has attained similar speed performance. This development leaves in possibility of integrating high-frequency devices and conventional silicon circuits on the same chip. The HBT outperforms conventional silicon technologies not only in speed, but also with

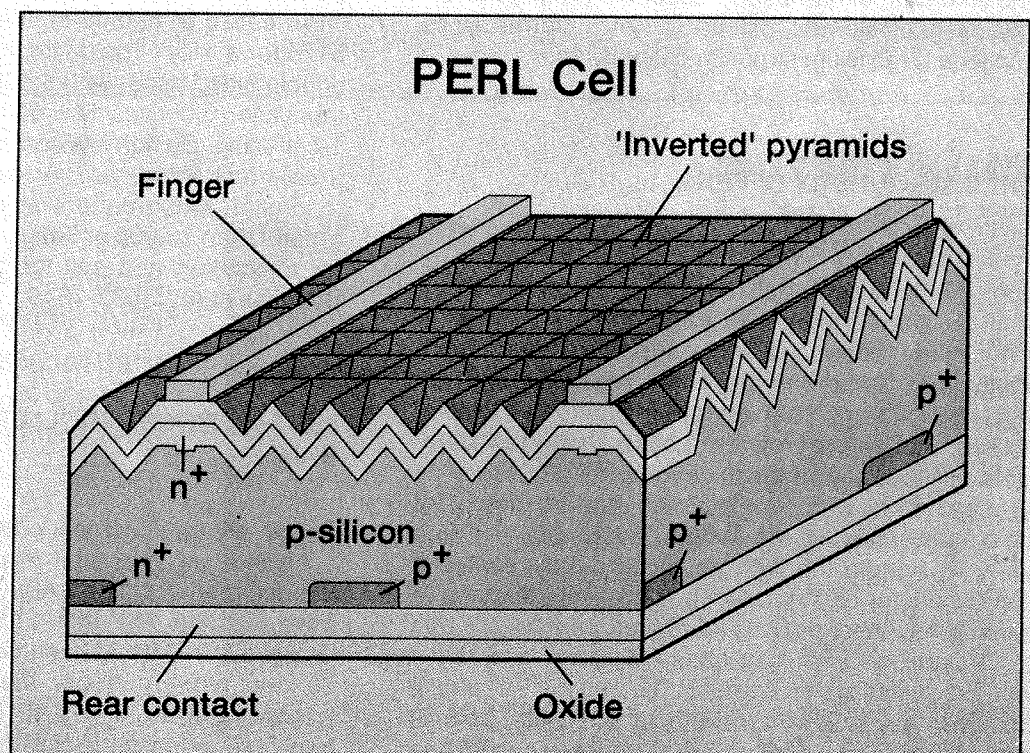
higher current amplification and lower noise and power consumption.

Lying at the heart of the new transistor is a 50-n silicon-germanium base layer. High boron doping levels are responsible for a high charge carrier density. This creates a low resistance, the prerequisite for fast switching. In contrast to conventional silicon transistors, HBTs consist not just of silicon, but of layers of different semiconductor material. To obtain such a structure, germanium is usually added to silicon. Even though germanium atoms are bigger than those of silicon, making them impossible to fit into the silicon crystal lattice, the Ulm researchers managed to make the different layers monocrystalline throughout. This was achieved by using molecular-beam epitaxy to grow extremely thin layers atop one another. With the technique, all transistor layers are made in one process. HBTs also offer lower process temperatures-typically 550°C-over conventional silicon structures.

ENHANCED ARCHITECTURE UPS FPGAs TO 20K GATES

Taking advantage of its licences for all of the Xilinx patents on the RAM-based programmable-logic arrays, AT&T Microelectronics, Berkeley Heights, N.J., has developed proprietary architecture that hosts from 3000 to 20,000 usable gates. Dubbed ORCA (optimized, reconfigurable cell architecture), the forth-coming family of arrays includes 64-bit configurable lookup tables in each logic block to help optimize logic utilizations. With the

This solar cell is capable of converting 45% of the energy for a monochromatic light source to electrical energy.



large lookup tables, more logic can be combined into one programable logic cell, reducing the number of cell-to-cell critical paths. The same lookup table can also be configured to perform multiple smaller functions, reducing the need for large numbers of cells and minimizing the amount of unused logic. Three major types of functions are supported by the arrays: data path, user-accessible SRAM, and glue logic. Data paths enable operations on two used signals, whether 4-, 8-, or 16-bits wide, and perform nibble-wide operations at a time—a unique feature. For routing resources, the ORCA family will include passive, active, and log-line routing paths so that the automatic routing tools can optimize their use of the resources for short-, medium-, and long-distance routes. The initial family member will contain 3000 usable gates and pack 120 I/O pads; the largest will have 20,000 usable gates and offer 288 I/O lines. Contact Ajay Shingal at (215)439-6004.

PHOTOVOLTAICS MORE EFFICIENT THAN EVER

Converting sunlight to electricity using silicon "solar cells" is a well known research effort, but what about converting monochromatic **laser light** to electricity? That's an area that some researchers are very interested in, for applications such as transmission of power by line-of-sight by fiber optics. It's also being considered for powering space missions or extraterrestrial bases.

Although this may sound far-fetched, consider that energy conversion efficiencies of 45% have already been

demonstrated. That's close to double the 23% efficiency achieved by today's best solar cells in converting sunlight to electricity.

The cell structure that has produced the high efficiency silicon solar cells is the passivated emitter, rear locally diffused cell (PERL cell), as shown in the picture. Under solar illumination, these cells demonstrate overall energy conversion efficiencies above 23%.

As Martin Green of the Centre for Photovoltaic Devices and Systems, University of New South Wales (Kensington, Australia) reported in the June 1992 issue of IEEE Electron Device Letters, several features of this device make it a particularly efficient converter of long-wavelength monochromatic light.

For example, the textured top surface resulting from the "inverted pyramid" structure shows reduces reflection loss from the top surface by ensuring that reflected at the first point of incidence is reflected downwards and so has a second chance of being coupled into the cell. Long-wavelength light is only weakly absorbed in silicon and a reasonable fraction will reach the rear of the cell. The rear reflector consists of aluminium displaced from the silicon interface by a layer of thermally grown silicon dioxide. Over 95% of the light reaching this rear surface is reflected. Upon reaching the top surface, any remaining light strikes the inverted pyramids from within the semiconductor materials. In this way, the effective path of light in silicon is increased by about 26 times.

POSLOVNE NOVOSTI

EAST EUROPEAN FACILITIES MAY DISAPPEAR

A report published by SEI in May, "Semiconductor Technology Capability in the Former Soviet Union and Eastern Europe", presents a bleak assessment of the chip-making capability of this region. It expects few, if any, of the 66 wafer fabrication facilities in this former communist block to survive the transition to market economies.

These facilities are some six years behind western technology and are still producing 256 k DRAMs. They average an output of only \$21 million per year. The report anticipates that various plants will close and that a pan-eastern European chip making combine will emerge that may have a structure similar to that of the SGS-Thomson Microelectronics Group.

A DAY OF NEW ALLIANCES: IBM, TOSHIBA AND SIEMENS; AMD AND FUJITSU

July 13, 1992 may go down as one of the most significant days in the history of the global semiconductor industry.

In two separate announcements, five of the world's leading semiconductor companies announced major alliances that span U.S., Europe and Japan.

First, IBM Corp., Siemens AG and Toshiba Corp. announced an alliance to develop a 256 Mb DRAM chip and its process. Then, in an unrelated but similar announcement, Advanced Micro Devices and Fujitsu announced plans to collaborate on the development, manufacturing and sale of EPROM and flash memories, including the construction of a new \$700 million fab facility in Japan.

These announcements are significant for two reasons: they may help to somewhat ease international tensions in the semiconductor arena, and they clearly illustrate the escalating costs of developing new, leading-edge semiconductor technologies.

In the IBM/Siemens/Toshiba alliance, teams of developers will begin work immediately at IBM's Advanced Semiconductor Technology Center (ASTC) about 70 miles north of New York City. Siemens and Toshiba

will also conduct project-related activities at their own facilities. At the peak of the development phase, more than 200 researchers from the three companies will support effort. By teaming up, the three firms aim to speed up the multi-year development process and be first with a 0.25 μm 256Mb DRAM technology.

"This alliance is built on a record of successful cooperation among three of the world's pre-eminent technology companies" said Jack D. Kuehler, president of IBM in a prepared statement. "Together, we will put unprecedented value and computing capability in customers' hands, while maintaining crucial technological infrastructures in key geographies".

The AMD/Fujitsu agreement is somewhat further reaching in that in addition to development, it includes manufacturing and sales. Also, the two companies intended to establish a \$700 million wafer fabrication facility to produce the devices. Under the agreement, Fujitsu will acquire position in AMD, and AMD will acquire a minority equity position in Fujitsu (both < 5%).

The new facility, to be located in Japan, is expected to be operational in 1994 and will use 8 in. wafers and process technologies capable of producing products with geometries of 0.5 μm and smaller. Each company will contribute equally toward the cost of the joint venture.

LITERATURA

NAJPOPULARNIJE KNJIGE U SILICON VALLEY (Prvo polugodište 1992.)

ELEKTRONIKA

1. Noise Reduction Techniques in Electronic Systems, 2nd ed. by Henry W. Ott. John Wiley & Sons, 188. \$51.95.
2. PSpice & Circuit Analysis by John Keown. Mcmillan Publishing Co. 1991. &25.
3. Fax: Digital Facsimile Technology & Applications by Kenneth McConnell. Artech House, 1992. &78.
4. The Art of Electronics, 2nd ed., by Paul Horowitz and Winifield Hill. Cambridge University Press, 190. \$59.95.
5. Wire and Cable for Electronics: A User's Handbook by Neil Sclater. T.A. Books, 1991. \$29.95.

KOMPJUTORSKE ZNANOSTI

1. C++ Programming Language, 2nd edition, by Bjarne Stroustrup. Addison-Wesley, 1991. \$34.50.
2. Tog on Interface by Bruce Tognazzini, Addison-Wesley, 1992. \$26.95.
3. Object-oriented Design with Applications by Grady Booch. Benjamin-Cummings, 1991. \$46.25.
4. C++ Primer, 2nd edition by Stanley B. Lippman. Addison-Wesley, 1991. \$32.25.
5. Programming Perl by Larry Wall. O'Reilly & Associates, 1990. \$29.95.

(Popis knjiga preuzet je iz časopisa "Electronic Design", od 14.5.1992., a na osnovu podataka od "Stacey's Bookstore, 219 University Ave., Palo Alto, CA 94301:(415)326-0681; fax (415)326-0693").

AMS first to install Test Station for Telephones

AMS is the first European ASICs manufacturer to install a test station for telephones. This new test equipment (Brüel & Kjær, Denmark), consisting of an artificial telephone test head, mouth simulator, ear simulator, telephone interface and audio analyzer is used for the development, and quality control testing of the electroacoustic performance of ICs and other transducers in telephones.

At AMS the system will primarily be used for measuring transmission characteristics of its ASICs¹⁾ in the telephone environment itself, including free-field response of loudspeaking telephones. Measurements of Receive,

Send and Sidetone response and Loudness ratings as well as Return Loss, Noise and distortion are recorded. Tone Ringer, DTMF (Dual Tone Multi Frequency) and the switching characteristics of hands-free and mobile telephones are measured and analyzed.

The new test station also offers three powerful and noteworthy measurement techniques: Time Selective response, Steady State response and FFT Spectrum techniques combined with full complex processing, ensuring that it will solve almost any electroacoustic measurement problem.

This tester will enable AMS to further enhance the performance of its ASICs for its customers by fully taking the manufacturer's complex telephone environment into account. Thus, AMS is in the unique position of providing all relevant telecom ASICs and a dedicated testing service for the complete system analysis of any telephone.

AMS now offers its telephone testing service to interested parties and customers. For further information please contact your local AMS Sales Office or AMS,

Telecom Applications Group, Mr. Herbert Truppe, Schloss Premstätten, a-8141 Unterpremstätten: Phone (43) (3136) 500 ext. 482.

1) Note: AMS specialized in the development, design and production of ASICs for the telecommunications market; AMS has only recently announced the availability of a new and flexible chip set which requires very few external components and which can be adapted to most PTT specifications for building complete modular telephones.

AMS and SUN - World Leaders optimize ASIC - Design

The AMS HIT-KIT (Release 2.0) is now available on the Sun SPARC platform. By supporting Sun System, AMS now provides HIT-KIT to the growing number of SUN Users in the digital and mixed signal domain. With a world wide market share of 40% (installed systems), Sun is the leading supplier of RISC workstations and servers, running the Solaris operating system. While HIT-KIT is already available for HP/Apollo workstations. AMS is now planning to support the HP700 series platform.

The **AMS Mixed Signal High Performance Interface Tool KIT (AMS HIT-KIT)** is a unique utility kit consisting of software programmes and libraries which contain full front-end information (symbols, simulation models, etc.) for the development of digital and mixed signal circuits in a Mentor Graphics CEA design environment.

As a result of the close cooperation between Mentor Graphics and AMS, the new version of the AMS HIT-KIT is integrated into the Falcon Framework of mentor Version 8 Software. And, AMS uses the new advanced modeling process AMP from Quicksim II for the digital libraries to increase accuracy and performance of simulation result.

Depending on the customer's needs and experience, several versions of the AMS HIT-KIT are available:

Basic Digital: This design kit enables the user to design digital circuits on cell level. It is based on Mentor Graphic

IDEA Series software and AMS cell libraries which are available for a variety of processes in standard cell technologies. The most common interface mode to AMS is via a netlist.

Mixed Signal: This kit, based on the Mentor Capture Station and the Explorer LSIM mixed-signal simulator, is intended for the development of cell based mixed-signal circuits using AMS' digital and analogue cell libraries. Simulation is performed on the functional level for all digital and analogue components. In addition, the user has access to detailed transistor descriptions, in particular those of the analogue blocks of the library (including parametrical data). It provides for multi-level mixed-signal simulation and enables the user to do front-end design of analogue blocks. The usage of this kit requires working expertise in mixed-signal design and adherence to AMS design procedures.

The AMS design department assists customers in every stage from logic conversion through to the tooling tape and test programme generation. Furthermore, the easy to use AMS HIT-KIT user's and reference guide together with various AMS databooks and design manuals offer customers all the information required to successfully design digital and mixed-signal ASICs within any design environment.

Pripred M. Turina

KOLEDAR PRIREDITEV 1993

MAY
24.-28. MIPRO 93, Rijeka-Opatija

SEPTEMBER
6.-9. EuMC'93 23rd European Microwave Conference, Madrid
13.-17. EPE'93 5th European Conference on Power Electronics and Applications
Brighton

29.-01.10 MIEL-SD 93 21st International Conference on Microelectronics, Bled, Slovenia

OKTOBER
5.-9. Sodobna elektronika, Ljubljana
7.-8. ISEP 93, International Symposium on electronics in traffic, Ljubljana
7.-8. VAES 93, International symposium on control and automation of electroenergetic systems



**Iskra
Semicon**

ISKRA SEMICON
Gabrsko 12
61420 Trbovlje
tlx. - 35004 Isem
telefon - 0601-24-155
tel. / Fax - 0601-22-376,
- 0601-22-233

PROIZVODNJA

Usmerniške diode

Hitre usmerniške diode

Ultra hitre diode

Usmerniški mostički

Diodne verige

Supresorske diode

ZASTOPSTVA

* INTERNATIONAL RECTIFIER

Močnostne komponente

* KINGBRIGHT

Led - display program

* MOTOROLA

Diode, transistorji

Integrirana vezja, razvojne enote

PROIZVODNJA & PRODAJA

Iskra SEMICON

* DIODE

1N4001 - 1N4007

1N5390 - 1N5399

BY140 - BY 145

1N5400 - 1N5408

BY550 - 50 BY550 - 800

* HITRE DIODE

BYF401 - BYF407

SRP100A - SRP100K

BYF501 - BYF508

SRP300D - SRP300K

BY500 - 100 BY500 - 800

* ZENER DIODE

BZX85C5V1 - BZX85C33

* MOSTIČKI

BxxC800 - BxxC3700

KBPC3 - KBPC 35

KBU4 - KBU8

International Rectifier

* MOČNOSTNE DIODE

50 - 1000 A

* MOČNOSTNI TIRISTORJI

50 - 1000 A

* MOČNOSTNI MODULI

D-D, T-T, T-D, D-T

26 - 260 A

* FET TRANSISTORJI

* FET DRIVERJI

* MIKROELEKTRONSKI RELEJI

MOTOROLA

* TRANSISTORJI

100 mA - 70 A

* TIRISTORJI

800 mA - 30 A

* TRIAKI

800 mA - 30 A

* LINEARNA INT. VEZJA

nap. regulatorji, ojačevalci

* DIGIT. INT. VEZJA

MC400X 74LS 74AC 74HC 74HCT

Kingbright

* LED DIODE

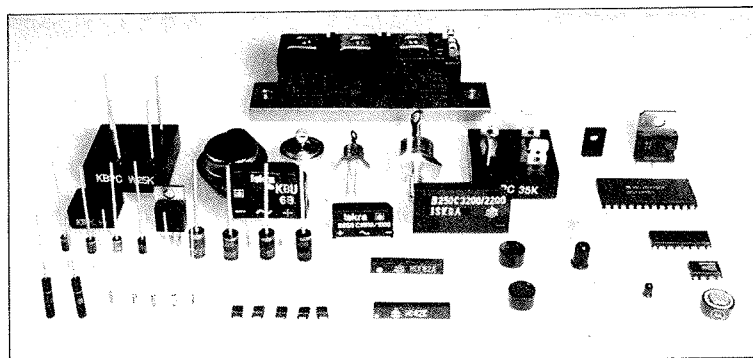
* LED DISPLAYI

* MIKROPROCESORJI

* KONTROLERJI

* MEMORIJE

* PERIFERIJA



MIDEM
Strokovno društvo za mikroelektroniko,
elektronske sestavne dele in materiale
Dunajska 10, Ljubljana
tel.(0)61 - 316 886

MIDEM SOCIETY REGISTRATION FORM

Please, use upper case letters!!

1. First Name Last Name

Address.....

City.....

Country Postal Code

2. Date of Birth

3. Education (please, circle whichever appropriate)

PhD MSc BScHigh School Student

3. Profession (please, circle whichever appropriate)

Electronics Physics Chemistry Metallurgy Material Sc.

4. Company

Address.....

City.....

Country Postal Code

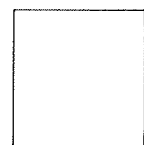
5. Your Primary Job Function

R&D Fabrication Engineering Facilities QA/QC Management
Purchasing Consulting Other

6. Please, send mail to a) Company adress b) Home Adress

7. I will regularly pay MIDE M membership fee, 10,00 DEM/year MIDE M members receive Journal "Informacije MIDE M" for free !!!

Signature Date



**MIDEM
Dunajska 10
61000 Ljubljana
SLOVENIJA**



NAVODILA AVTORJEM

Informacije MIDE M je znanstveno-strokovno-društvena publikacija Strokovnega društva za mikroelektroniko, elektronske sestavne dele in materiale MIDE M. Časopis objavlja prispevke domačih in tujih avtorjev, še posebej članov MIDE M, s področja mikroelektronike, elektronskih sestavnih delov in materialov, ki so lahko:

izvirni znanstveni članki, predhodna sporočila, pregledni članki, razprave z znanstvenih in strokovnih posvetovanj in strokovni članki.

Članki bodo recenzirani.

Časopis objavlja tudi novice iz stroke, vesti iz delovnih organizacij, inštitutov in fakultet, obvestila o akcijah MIDE M in njegovih članov ter druge relevantne prispevke.

Strokovni prispevki morajo biti pripravljeni na naslednji način:

- 1. Naslov dela, imena in priimki avtorjev brez titula.
- 2. Ključne besede in povzetek (največ 250 besed).
- 3. Naslov dela v angleščini.
- 4. Ključne besede v angleščini (Key words) in podaljšani povzetek (Extended Abstract) v angleščini.
- 5. Uvod, glavni del, zaključek, zahvale, dodatki in literatura.
- 6. Imena in priimki avtorjev, titule in naslovi delovnih organizacij, v katerih so zaposleni.

Ostala splošna navodila

1. V članku je potrebno uporabljati SI sistem enot oz. v oklepaju navesti alternativne enote.

2. Risbe je potrebno izdelati s tušem na pavi ali belem papirju. Širina risb naj bo do 7.5 oz. 15 cm. Vsaka risba, tabela ali fotografija naj ima številko in podnapis, ki označuje njeno vsebino. Risba, tabela in fotografija ni potrebno lepiti med tekst, ampak jih je potrebno ločeno priložiti članku. V tekstu je potrebno označiti mesto, kjer jih je potrebno vstaviti.

3. Delo je lahko napisano in bo objavljeno v kateremkoli jugoslovanskem jeziku v latinici in v angleščini.

Uredniški odbor ne bo sprejel strokovnih člankov, ki ne bodo poslani v dveh izvodih.

Avtorji, ki pripravljajo besedilo v urejevalnikih besedil, lahko pošljejo zapis datoteke na disketi (360 ali 1,2) v formatih ASCII, wordstar (3.4, 4.0), wordperfect, word, ker bo besedilo oblikovano v programu Ventura 2.0. Grafične datoteke so lahko v formatu HPL, SLD (AutoCAD), PCX ali IMG/GEM.

Avtorji so v celoti odgovorni za vsebino objavljenega sestavka. Rokopisov ne vračamo.

Rokopise pošljite na naslov

Uredništvo Informacije MIDE M
Elektrotehniška zveza Slovenije
Dunajska 10, 61000 Ljubljana

UPUTE AUTORIMA

Informacije MIDE M je znanstveno-stručno-društvena publikacija Stručnog društva za mikroelektroniku, elektronske sestavne dijelove i materijale - MIDE M. Časopis objavljuje priloge domaćih i stranih autora, naročito članova MIDE M, s područja mikroelektronike, elektronskih sastavnih dijelova i materijala koji mogu biti:

izvirni znanstveni članci, predhodna priopćenja, pregledni članci, izlaganja sa znanstvenih i stručnih skupova i stručni članci.

Članci će biti recenzirani.

Časopis također objavljuje novosti iz struke, obavijesti iz radnih organizacija, instituta i fakulteta, obavijesti o akcijama društva MIDE M i njegovih članova i druge relevantne obavijesti.

Stručni članci moraju biti pripremljeni kako slijedi:

- 1. Naslov članka, imena i prezimena autora bez titula.
- 2. Ključne riječi i sažetak (najviše 250 riječi).
- 3. Naslov članka na engleskom jeziku.
- 4. Ključne riječi na engleskom jeziku (3 Key Words) i produženi sažetak (Extended Abstract) na engleskom jeziku.
- 5. Uvod, glavni dio, zaključni dio, zahvale, dodaci i literatura.
- 6. Imena i prezimena autora, titule i naslovi institucija u kojima su zaposleni.

Ostale opšte upute

1. U prilogu treba upotrebljavati SI sistem jedinica od u zagradi navesti alternativne jedinice.

2. Crteže treba izraditi tušem na pausu ili bijelom papiru. Širina crteža neka bude do 7.5 odnosno 15 cm. Svaki crtež, tablica ili fotografija treba imati broj i naziv koji označuje njen sadržaj. Crteže, tabele i fotografije nije potrebno lijepiti u tekst, već ih priložiti odvojeno, a u tekstu samo naznačiti mjesto gdje dolaze.

3. Rad može biti pisan i biti će objavljen na bilo kojem od jugoslavenskih jezika u latinici i na engleskom jeziku.

Autori mogu poslati radove na disketama (360 ili 1,2) u formatima tekst procesora ASCII, wordstar (3.4. i 4.0), word, wordperfect pošto će biti tekst dalje obrađen u Venturi 2.0. Grafičke datoteke mogu biti u formatu HPL, SLD (AutoCAD), PCX ili IMG/GEM.

Urednički odbor će odbiti sve radove koji neće biti poslani u dva primjerka.

Za sadržaj članaka autori odgovaraju u potpunosti. Rokopisi se na vraćaju.

Rokopise šalijte na adresu:

Uredništvo Informacije MIDE M
Elektrotehnička zveza Slovenije
Dunajska 10, 61000 Ljubljana
Slovenija

INFORMATION FOR CONTRIBUTORS

Informacije MIDE M is professional-scientific-social publication of Professional Society for Microelectronics, Electronic Components and Materials. In the Journal contributions of domestic and foreign authors, especially members of MIDE M, are published covering field of microelectronics, electronic components and materials. These contributions may be:

original scientific papers, preliminary communications, reviews, conference papers and professional papers.

All manuscripts are subject to reviews.

Scientific news, news from the companies, institutes and universities, reports on actions of MIDE M Society and its members as well as other relevant contributions are also welcome.

Each contribution should include the following specific components:

- 1. Title of the paper and authors' names.
- 2. Key Words and Abstract (not more than 250 words).
- 3. Introduction, main text, conclusion, acknowledgements, appendix and references.
- 4. Authors' names, titles and complete company or institution adress.

General information

1. Authors should use SI units and provide alternative units in parentheses wherever necessary.

2. Illustrations should be in black on white or tracing paper. Their width should be up to 7.5 or 15 cm. Each illustration, table or photograph should be numbered and with legend added. Illustrations, tables and photographs are not to be placed into the text but added separately. However, their position in the text should be clearly marked.

3. Contributions may be written and will be published in any Yugoslav language and in english.

Authors may send their files on formatted diskettes (360 or 1,2) in ASCII, wordstar (3.4 or 4.0), word, wordperfect as text will be formatted in Ventura 2.0. Graphics may be in HPL, SLD (AutoCAD), PVX or IMG/GEM formats.

Papers will not be accepted unless two copies are received.

Authors are fully responsible for the content of the paper. Manuscripts are not returned.

Contributions are to be sent to the address:

Uredništvo Informacije MIDE M
Elektrotehniška zveza Slovenije
Dunajska 10, 61000 Ljubljana,
Slovenia

TERMINOLOŠKI STANDARDI

1	2	3	4
2.1.23	• Holov efekt • Hallov efekt • Холов эффект • Hallov pojav	147-0/0-1.23 • Hall effect • Effet Hall	Anizotropija električnega prevajanja v prevodniku ali polprevodniku, katero povzroča namagnetnost, ki je pravokotna na vektor gostote toka. Le-ta oklepa, namesto da bi bil vzporeden z električnim poljem, z njim določen kot.
2.1.24	• Holov koeficient (poluprovodnika) • Hallov koeficient (poluprovodila) • Холов коэффициент (на полупроводник) • Hallov koeficient (poluprovodnika)	147-0/0-1.24 • Hall coefficient (of a semiconductor), Hall constant • Coefficient de Hall (d'un semiconducteur), constante de Hall	Sorazmernostni koeficient R v odvisnosti $\vec{E}_h = R (\vec{J} \times \vec{B})$ kjer je $\vec{E}_h$ – rezultirajoče prečno električno polje, $\vec{J}$ – gostota toka, $\vec{B}$ – gostota magnetnega pretoka. Opomba: Tip večinskih nosilcev elektrine je lahko določen s predznakom Hallovega koeficienta..
2.1.25	• Fotoelektrični efekt • Fotoelektrički efekt • Фотоелектричен эффект • Fotoelektrični pojav	147-0/0-1.25 • Photo-electric effect • Effet photoélectrique	Pojav medsebojnega učinkovanja med sevanjem in materijo, ki absorbira fotone in tvori premične nosilce elektrine.
2.1.26	• Fotonaponski efekt • Fotonaponski efekt • Фотонапонский эффект • Fotonapetostni pojav	147-0/0-1.26 • Photovoltaic effect • Effet photovoltaïque	Fotoelektrični pojav, pri katerem se pojavi električna napetost.

TERMINOLOŠKI STANDARDI

2.2 Vrste elementov

1	2	3	4
2.2.1	● Poluprovodniška komponenta ● Poluvodiška komponenta ● Полупроводнический элемент ● Polprevodniški element, polprevodniška komponenta	147-0/0-2.1 ● Semiconductor device ● Dispositif à semiconducteurs	Element, katerega lastnosti so bistveno povezane s pretokom nosilcev elektrine skozi polprevodnik.
2.2.2	● Poluprovodniška dioda ● Poluvodiška dioda ● Полупроводническая диода ● Polprevodniška dioda	147-0/0-2.2 ● Semiconductor diode ● Diode à semiconducteurs	Polprevodniški element z dvema priključkoma, ki ima asimetrično napetostno-tokovno karakteristiko. Opomba: V kolikor ni drugače določeno, ta definicija običajno označuje element z napetostno-tokovno karakteristiko, ki je tipična za P-N spoj.
2.2.3	● Dioda referentnog napona ● Dioda referentnog napona ● Диода за референтен напон ● Referenčna dioda	147-0/0-2.3 ● Voltage reference diode ● Diode de tension de référence	Dioda, ki na svojih priključkih ohranja referenčno napetost predpisane točnosti, kadar deluje v predpisanem tokovnem območju.
2.2.4	● Dioda za stabilizacijo napona ● Dioda za stabilizacijo napona ● Диода за стабилизација на напон ● Stabilizacijska dioda	147-0/0-2.4 ● Voltage regulator diode ● Diode régulatrice de tension	Dioda, ki ohranja na svojih priključkih konstantno napetost v označenem tokovnem območju.
2.2.5	● Poluprovodniška ispravljačka dioda ● Poluvodiška ispravljačka dioda ● Полупроводническа насочувачка диода ● Polprevodniška usmerjalna dioda	147-0/0-2.5 ● Semiconductor rectifier diode ● Diode de redressement à semiconducteurs	Polprevodniška dioda, namenjena za usmerjanje, vključno s приборom za pritrditev in hlajenje, če tvori z diodo celoto.

TERMINOLOŠKI STANDARDI

1	2	3	4
2.2.6	• Poluprovodnički ispravljački blok (slog) • Poluvodič ki ispravljač ki slog • Полупроводнички насочувачки блок • Polprevodniški usmerjalni stavek	147-0/0-2.6 • Semiconductor rectifier stack • Bloc de redressement á semiconducteurs	Kombinacija ene ali več usmerjalnih diod s priborom za pritrditev in hlajenje, če obstoji.
2.2.7	• Tunelska dioda • Tunelska dioda • Тунел-диод • Tunelska dioda	147-0/0-2.7 • Tunnel diode • Diode tunnel	Dioda, ki ima PN spoj, v katerem nastaja tunelski proces, ki privede do pojava dinamične prevodnosti v določenem področju prevodne smeri tokovno-napetostne karakteristike.
2.2.8	• Foto-dioda • Foto-dioda • Фото-диода • Fotodiode	147-0/0-2.12 • Photo-diode • Photo-diode	Dioda, v kateri se izkorišča fotoelektrični pojav.
2.2.9	• Signalna dioda • Signalna dioda • Сигнална диода • Signalna dioda	147-0B/0-2.14 • Signal diode • Diode de signal	Dioda, ki se uporablja za izločanje in obdelavo informacij v obliki električnega signala, ki se spreminja s časom in je lahko analogen ali digitalen.
2.2.10	• Protivsmerna dioda • Protusmjerna dioda • Едиоточна диода • Unitunelska dioda	147-0B/0-2.15 • Unitunnel diode, backward diode • Diode unitunnel	Tunelska dioda, pri kateri sta temenski in dolinski tok približno enaka.
2.2.11	• Ispravljačka dioda s lavinskim probojem • Ispravljačka dioda s lavinskim probojem (lavinska dioda) • Насочувачка диода со лавински пробив • Plazovna usmerjalna dioda	147-0B/0-2.16 • Avalanche rectifier diode • Diode de redressement á avalanche	Usmerjalna dioda, katere prebojna napetost je nad določeno vrednostjo in ki lahko omejen čas prenese impulzno obremenitev v prebojnem področju inverzne karakteristike.

TERMINOLOŠKI STANDARDI

1	2	3	4
2.2.12	• Ispravljačka dioda s prinudenim lavinskim prebojem • Ispravljačka dioda s prisilnim lavinskim prebojem • Исполнительная диода контролируемого лавинного пробоя • Krmiljena plazovna usmerjalna dioda	147-OB/0-2.17 • Controlled avalanche rectifier diode • Diodé de redressement à l'avalanche contrôlée	Usmerjalna dioda, katere prebojna napetost je med maksimalno in minimalno vrednostjo in ki se lahko stalno obremenjuje v prebojnem področju inverzne karakteristike.
2.2.13	• Transistor • Transistor • Транзистор • Transistor	147-0/0-2.8 • Transistor • Transistor	Poprečniški element, ki omogoča ojačitev moči in ima tri ali več priključkov. Opomba: Drugi izrazi se lahko uporabljajo za opis določenih posebnih vrst polprevodniških elementov, na katere se nanaša ta definicija.
2.2.14	• Bipolarni tranzistor • Bipolarni tranzistor • Биполярный транзистор • Bipolarni transistor	• Transistor bipolaire • Bipolar transistor	Transistor, ki uporablja nosilce elektrine obeh polaritet.
2.2.15	• Unipolarni tranzistor • Unipolarni tranzistor • Униполярный транзистор • Unipolarni transistor	147-0/II-1.4 • Unipolar transistor • Transistor unipolaire	Transistor, ki uporablja nosilce elektrine samo ene polaritete.
2.2.16	• Transistor sa efektom polja • Transistor s efektom polja • Полев транзистор • Transistor na poljski pojav, poljski transistor	147-OC/0-2.18 • Field-effect transistor • Transistor à effet de champ	Unipolarni transistor, v katerem se tok med izvorom in ponorom krmili z električnim poljem, nastalim s priključitvijo napetosti med priključkoma izvora in ponora.

TERMINOLOŠKI STANDARDI

1	2	3	4
2.2.17	- Foto- tranzistor - Foto- tranzistor - Фото-транзистор - Fototransistor	147-0/0-2.13 - Photo-transistor - Photo-transistor	Transistor, v katerem se izkorišča fotoelektrični pojav.
2.2.18	- Tiristor - Tiristor - Тиристор - Tiristor	147-0A/0-2.9 - Thyristor - Thyristor	Bistabilni polprevodniški element s tremi ali več PN-spoji, ki se dajo prekllopiti iz neprevodnega v prevodno stanje in nasprotno. Opomba: Izraz „tiristor“ je rodovni izraz za celo vrsto stikal tipa PNPN. Uporabi se lahko za kateri koli tip iz družine tiristorjev, če uporaba ne povzroča dvoumnosti ali nerazumevanja. Pogosto se skrajšani izraz „tiristor“ uporablja za zapomo neprevodne tiristorje s tremi priključki.
2.2.19	- Fotoprovodna celija - Fotovočljiva celija - Фотопроводная ячейка - Fotoprevodna celica	147-0/0-2.10 - Photoconductive cell - Cellule photoconductrice	Element, v katerem se izkorišča fotoprevodnostni pojav.
2.2.20	- Fotonaponska celija - Fotonaponska celija - Фотогальваническая ячейка - Fotonapetostna celica	147-0/0-2.11 - Photovoltaic cell - Cellule à effet photovoltaïque	Element, v katerem se izkorišča fotonapetostni pojav.
2.2.21	- Selenski odvodnik prenapona - Selenski odvodnik prenapona - Селенский одводник на перенапони - Selenski omejevalnik prenapetosti	147-0C/0-2.19 - Selenium transient overvoltage suppressor - Limiteur de surtensions transitoires au sélénium	Element, ki izkorišča oster naklon blokime tokovno-napetostne karakteristike selenskih plošč za zaščito pred prehodnimi prenapetostmi.

UDK 621.3:(53+54+621+66),ISSN0352-9045

Informacije MIDEM 22(1992)1,Ljubljana

R. Ročak: Raziskovalna polja v Sloveniji	2	R. Ročak: Research Fields in Slovenia
ZNANSTVENO STROKOVNI PRISPEVKI		PROFESSIONAL SCIENTIFIC PAPERS
F. Vodopivec, D. Gnidovec, M. Torkar, B. Breskvar: Raziskava mikrostrukture in magnetnih lastnosti v zlitini FeCrCo s povišanim kobaltom	3	F. Vodopivec, D. Gnidovec, M. Torkar, B. Breskvar : Research of Microstructure and Magnetic Properties of FeCrCo Alloy with Increased Cobalt
D. Kek, J. Jamnik, S. Pejovnik: Elektrokemijski kondenzator	9	D. Kek, J. Jamnik, S. Pejovnik : Electrochemical Capacitor
M. Milanović, F. Mihalič, K. Jezernik, D. Zadavec, A. Planinc, U. Milutinovič: Vezje za korekcijo faktorja moči zasnovano na BOOST-BUCK enosmernem presmerniku s sklopljeno induktivnostjo	15	M. Milanović, F. Mihalič, K. Jezernik, D. Zadavec, A. Planinc, U. Milutinovič : Unity Power Factor Correction Circuit Based on BOOST-BUCK DC-to- DC Converter with Coupled Inductance
V. Kunc, J. Trontelj, L. Trontelj, G. Shenton: Integrirani elektronski vezji za polje senzorjev za skaniranje	21	V. Kunc, J. Trontelj, L. Trontelj, G. Shenton : Integrated Scanner Sensor Array Electronics
A. Suhadolnik, M. Čmigoj, J. Možina : Senzor višine gladine s prepletanim optičnim vlaknom	29	A. Suhadolnik, M. Čmigoj, J. Možina : Twisted Optical Fiber Liquid Level Sensor
R. Sernec: Primerjava FPGA arhitektur in univerzalnih programskih orodij	36	R. Sernec: A Comparison of FPGA Architectures and Device Independent Software Design Tools
PRIKAZI DOGODKOV, DEJAVNOSTI ČLANOV MIDEM IN DRUGIH INSTITUCIJ		REPRESENT OF EVENTS, ACTIVITIES OF MIDEM MEMBERS AND OTHER INSTITUTIONS
Raziskovalna polja v Sloveniji	45	Research Fields in Slovenia
KONFERENCE, POSVETOVANJA, SEMINARJI, POROČILA		CONFERENCES, COLLOQUIUMS, SEMINARS, REPORTS
Elementi in sklopi za elektroniko, pripadajoče tehnologije, materiali in oprema	48	Components and Subsystems for Electronics, Relevant Technologies, Materials and Equipment
PREDSTAVLJAMO DO Z NASLOVNICE		REPRESENT OF COMPANY FROM FRONT PAGE
Centralni sesalni sistemi	58	Central Cleaning Systems
ČLANI MIDEM		MIDEM MEMBERS
Andreju Banovcu v spomin	61	In Memoriam Andrej Banovec
VESTI		NEWS
Prikazi magistrskih del in materialov	62	Ms. and Ph.D. Abstracts
TERMINOLOŠKI STANDARDI	73	TERMINOLOGICAL STANDARDS
Slika na naslovnici : CSS - Centralni sesalni sistem, podna vakuumška vtičnica		Front page : CSS - Central Cleaning System, Floor Vacuum Dose

UDK 621.3:(53+54+621+66),ISSN0352-9045

Informacije MIDEM 22(1992)2,Ljubljana

R. Ročak: Predlog novih pravil društva MIDEM	84	R. Ročak: Outline for New MIDEM Society Rules
ZNANSTVENO STROKOVNI PRISPEVKI		PROFESSIONAL SCIENTIFIC PAPERS
A. Žnidaršič, M. Limpel, M. Drogenik: Raziskave močnostnih feritov	85	A. Žnidaršič, M. Limpel, M. Drogenik: Investigation of Power Ferrites
F. Vodopivec, D. Gnidovec, J. Žvokelj, B. Breskvar, M. Torkar: Mikrostruktura, duktilnost in magnetne lastnosti zlitine Fe12Co10W	89	F. Vodopivec, D. Gnidovec, J. Žvokelj, B. Breskvar, M. Torkar: Microstructure, Ductility and Magnetic Properties of Fe12Co10W Alloy
J. Holc: Senzorji vlage	95	J. Holc: Humidity Sensors
R. Babič, T. Dogša, M. Solar, A. Vesenjak, S. Solar, A. Rečnik: Mikroelektronski krmilnik za elektronske sanitarne baterije	100	R. Babič, T. Dogša, M. Solar, A. Vesenjak, S. Solar, A. Rečnik: Microelectronic Sanitarian Batteries Driver Circuit
L. Mikola, D. Donlagić: Zanesljivost merilnih sistemov	107	L. Mikola, D. Donlagić: Reliability of Measuring Systems
A. Suhadolnik, A. Babnik, J. Možina: Merjenje lomnega količnika s fiberoptičnim odbojnostnim senzorjem	112	A. Suhadolnik, A. Babnik, J. Možina: Refractive Index Measurement Using Optical Fiber Reflection Sensor
Z. Bele: T9000 - Transputer nove generacije	117	Z. Bele: T9000 - A New Generation Transputer
PRIKAZI DOGODKOV, DEJAVNOSTI ČLANOV MIDEM IN DRUGIH INSTITUCIJ		REPRESENT OF EVENTS, ACTIVITIES OF MIDEM MEMBERS AND OTHER INSTITUTIONS
R. Ročak: Raziskovalno polje	122	R. Ročak: Research Field
ELEKTRONSKE KOMPONENTE IN TEHNOLOGIJE		ELECTRONIC COMPONENTS AND TECHNOLOGIES
KONFERENCE, POSVETOVANJA, SEMINARJI, POROČILA		CONFERENCES, COLLOQUIUMS, SEMINARS, REPORTS
Dejan Križaj: Konferenca NASECODE VIII	130	Dejan Križaj: NASECODE VIII Conference
M. Vujatović: MIPRO '92	131	M. Vujatović: MIPRO '92
PREDSTAVLJAMO DO Z NASLOVNICE		REPRESENT OF COMPANY FROM FRONT PAGE
Austria Mikro Systeme International GmbH	132	Austria Mikro Systeme International GmbH
ČLANI MIDEM		MIDEM MEMBERS
Sklic občnega zbora društva MIDEM za leto 1992	134	Call for MIDEM 1992 General Assembly
Finančno poročilo strokovnega društva MIDEM za leto 1991	134	MIDEM 1991 Financial Report
Pravila strokovnega društva za mikroelektroniko, elektronske sestavne dele in materiale	135	Society for Microelectronics, Electronic Components and Materials, MIDEM - Rules
VESTI	139	NEWS

MIEL-SD '92, program	144	Advance Program, MIEL-SD'92
Slika na naslovnici: Austria Mikro Systeme International, AMS, je firma, ki se je specializirala za razvoj in proizvodnjo integriranih vezij po naročilu (ASIC) in standardnih integriranih vezij za specifično uporabo (ASSP). Firma zaseda posebej močan položaj na trgu vezij za telekomunikacije, avtoelektronike in industrijske elektronike.		Front page: Austria Mikro Systeme International, or AMS, specializes in the development and production of application specific integrated circuits (ASICs) and application specific standard products (ASSPs). The company is in a strong position within the market segments telecommunications, automotive and industrial electronics.

UDK 621.3:(53+54+621+66),ISSN0352-9045

Informacije MIDEM 22(1992)3,Ljubljana

R. Ročak : Nova vrata v Evropo	157	R. Ročak : New Gate to Europe
ZNANSTVENO STROKOVNI PRISPEVKI		PROFESSIONAL SCIENTIFIC PAPERS
D. Strle, J. Trontelj: Analiza in načrtovanje nizkonapetostnih konverterjev DELTA/SIGMA s prevzortčenjem	158	D. Strle, J. Trontelj: Analysis and Design of Low Voltage Oversampling DELTA/SIGMA Converters
B. Gspan: Uporaba difuzijskega procesa za izdelavo kolektorskega vložka v BiCMOS vezijih	169	B. Gspan: Use of Diffusion for Making Collector Plugs in BiCMOS Integrated circuits
R. Hrovatin, J. Možina: Laserski ultrazvočni defektoskop	174	R. Hrovatin, J. Možina: Laser Ultrasonic Defectoscope
A. Žabkar, A. Cvelbar, P. Panjan, B. Navinšek, M. Ambrožič, E. Karič, J. Gasperič: Toplotno obdelane hladno triodno napršene YBaCuO plasti	180	A. Žabkar, A. Cvelbar, P. Panjan, B. Navinšek, M. Ambrožič, E. Karič, J. Gasperič: Thermally Treated Cold Sputtered YBaCuO Films by Triode Sputtering
Z. Bele: T9000 - Transputer nove generacije II.	185	Z. Bele: T9000 - A New Generation Transputer II.
PRIKAZI DOGODKOV, DEJAVNOSTI ČLANOV MIDEM IN DRUGIH INSTITUCIJ	191	REPRESENT OF EVENTS, ACTIVITIES OF MIDEM MEMBERS AND OTHER INSTITUTIONS
T. Tekavec: Mednarodni sistem ocenjene kakovosti elektronskih elementov - IECQ		T. Tekavec: IECQ System
PREDSTAVLJAMO PODJETJE Z NASLOVNICE	198	REPRESENT OF COMPANY FROM FRONT PAGE
Gorenje Point		Gorenje Point
VESTI	200	NEWS
TERMINOLOŠKI STANDARDI	203	TERMINOLOGICAL STANDARDS
Slika na naslovnici: GORENJE POINT - nova vrata v Evropo za azijske in ameriške računalniške proizvode		Front page: GORENJE POINT - New Gate of Asian and American Computer Products to Europe

UDK 621.3:(53+54+621+66),ISSN0352-9045

Informacije MIDEM 22(1992)4,Ljubljana

R. Ročak : MIDEM je končno postalo mednarodno društvo	214	R. Ročak : MIDEM has Finally Become International Society
ZNANSTVENO STROKOVNI PRISPEVKI		PROFESSIONAL SCIENTIFIC PAPERS
V.C.Alves, M.S.Lubaszewski, M.Nicolaidis, B.Courtois: Vgrajeni samotest vložnega pomnilnika z večkratnim dostopom	215	V.C.Alves, M.S.Lubaszewski, M.Nicolaidis, B.Courtois: BIST Scheme for Embedded Multiport RAMS
M.Maček, A.V.Kordesh : Visokopospešeno testiranje elektromigracije v Al vodnikih na nivoju rezin	222	M.Maček, A.V.Kordesh : Highly Accelerated Electromigration Test of Al Conductors on Wafer-level
M.Godec, P.Panjan : Silicidi v mikroelektroniki	229	M.Godec, P.Panjan : Silicides in Microelectronics
D.Ročak, J.Fajfer, J.Potočar : Spajkanje hibridnih vezij s fluksi "brez ostankov"	235	D.Ročak, J.Fajfer, J.Potočar : Hybrid Circuits Soldering with "No Residue" Fluxes
B.Šuštaršič, S.Beseničar, J.Holc, Z.Lengar, S.Tašner : Vodno atomizirani Fe-Co prahovi primerni za izdelavo Alnico magnetov	240	B.Šuštaršič, S.Beseničar, J.Holc, Z.Lengar, S.Tašner : Water Atomized Fe-Co Based Powders for Alnico Magnets
V.Murko : Zaščita proti strelj in prenapetostim	245	V.Murko : Lightning and Overvoltage Protection
B.Praček, M.Kern : AES študija aktivne površine znotraj kanalov pri mikrokanalnih ploščicah	254	B.Praček, M.Kern : AES Studies of Active Intrachannel Surface in Microchannel Plates
PRIKAZI DOGODKOV, DEJAVNOSTI ČLANOV MIDEM IN DRUGIH INSTITUCIJ		REPRESENT OF EVENTS, ACTIVITIES OF MIDEM MEMBERS AND OTHER INSTITUTIONS
Stanje in načrti Slovenskega polprevodništva	257	Status and Plans of Semiconductors in Slovenia
KONFERENCE, POSVETOVANJA, SEMINARJI, POROČILA		CONFERENCES, COLLOQUIUMS, SEMINARS, REPORTS
M.Slokan : MIEL-SD'92	265	M.Slokan : MIEL-SD'92
R.Babič : ERK'92	265	R.Babič : ERK'92
PREDSTAVLJAMO PODJETJE Z NASLOVNICE	266	REPRESENT OF COMPANY FROM FRONT PAGE
ISKRA ZAŠČITE		ISKRA ZAŠČITE
ČLANI MIDEM		MIDEM MEMBERS
Zapisnik občnega zbora društva MIDEM 1992	268	MIDEM Assembly Annual Meeting 1992 - Report
Pravila Strokovnega društva za mikroelektroniko, elektronske sestavne dele in materiale	269	Statute of Society for Microelectronics, Electronic Components and Materials
VESTI	279	NEWS
MIDEM Prijavnica	285	MIDEM Registration form
TERMINOLOŠKI STANDARDI	288	TERMINOLOGICAL STANDARDS
VSEBINA LETNIKA 1992	293	CONTENT - VOLUME 1992
Slika na naslovnici: ISKRA ZAŠČITE - izdelki za prenapetostno zaščito in zaščito proti strelj		Front page: ISKRA ZAŠČITE - Products for Lightning and Overvoltage Protection